



TECHNISCHE
UNIVERSITÄT
WIEN



DIPLOMARBEIT

AUSWERTESCHALTUNG FÜR DIE GENERIERUNG VON ZUFALLSZAHLEN IN 350 nm CMOS TECHNOLOGIE

ausgeführt zum Zwecke der Erlangung des akademischen Grades eines
Diplom-Ingenieurs

eingereicht an der Technischen Universität Wien Fakultät für Elektrotechnik
und Informationstechnologie

am

Institute of Electrodynamics, Microwave and Circuit Engineering

unter der Leitung von

Univ.Prof. Dr.-Ing. Horst Zimmermann
Dr.techn. Bernhard Goll

durch

David Bugl
Mat. Nr.: 0925718

Wien, Juni 2017

David Bugl



Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar.
The approved original version of this thesis is available in print at TU Wien Bibliothek.



TECHNISCHE
UNIVERSITÄT
WIEN



DIPLOMA THESIS

INTERFACE CHIP FOR RANDOM NUMBER GENERATION
IN 350 nm CMOS

Institute: Institute of Electrodynamics, Microwave
and Circuit Engineering

Supervisor: Univ.Prof. Dr.-Ing. Horst Zimmermann
Dr.techn. Bernhard Goll

Author: David Bugl
Mat. Nr. 0925718

Vienna, June 2017



Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar.
The approved original version of this thesis is available in print at TU Wien Bibliothek.

Kurzfassung

In dieser Arbeit wurde eine analoge Auswerteschaltung entworfen und gefertigt, die aus den Ausgangspulsen einer integrierten LED-SPAD-Quencher Kombination, Zufallszahlen bereitstellt. Die Zufallszahlen werden durch den Vergleich der Zeitabstände zwischen aufeinanderfolgenden Detektionen der SPAD ermittelt, wobei das Design darauf abzielt, eine vollständig integrierbare Lösung zu ermöglichen.

Zu diesem Zweck wurde die Schaltung in einem 350 nm CMOS Prozess entwickelt, wobei eine Konstantstromquelle genutzt wird, um den Zeitvergleich zweier Intervalle, durch Ladung und Entladung eines Kondensators, durchzuführen. Die Auswertung des Messergebnisses übernimmt ein Komparator mit extern abgleichbarem Offset. Eine Signalaufbereitung mit nachfolgendem Verstärker sorgt für definierte Ausgangssignale, in 3,3 V CMOS-Logik, der Schaltung und die Möglichkeit eine Last von 50 Ω treiben zu können.

Es wird das entwickelte Schaltungskonzept vorgestellt und mit Hilfe von Simulationen deren Funktionsfähigkeit unterlegt. Weiters ist ein Chip produziert und in Betrieb genommen worden. Die aufgenommenen Zufallszahlen werden durch ein Testprogramm des National Institute of Standards and Technology (NIST) kontrolliert.

Die Schaltung ist im Stande zwei aufeinanderfolgende Zeitintervalle im Bereich von 10 ns bis 10 μ s zu vergleichen. Die Leistungsaufnahme der, mit 3,3 V versorgten, Auswerteschaltung ist, je nach Impulsfolge, im Bereich von 1,1 mW bis 4,55 mW gemessen worden.

Es wurde erreicht, dass eine 2 Gbit lange binäre Zufallszahlenfolge, nach einer Bearbeitung mittels „XOR-Hashing“ (Reduktion auf 1 Gbit), alle NIST-Tests schafft.



Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar.
The approved original version of this thesis is available in print at TU Wien Bibliothek.

Abstract

This thesis shows the development of an interface circuit which allows the use of a LED-SPAD-Quencher combination as a quantum random number generator. The random bits are created by comparison of two consecutive time intervals between photon detection events of the SPAD. With this on-chip solution a fully integrated approach for such a random number generator is presented.

For this purpose a circuit in 350 nm CMOS has been designed which executes the comparison by charging and discharging a capacitor with a constant current source. A comparator design which allows to compensate its offset with an external voltage is used to evaluate the result of the comparison by measuring the polarity of the capacitor voltage. A postprocessing circuit followed by an output stage provides well defined output signals for 3,3 V CMOS logic at a load of 50 Ω .

Simulations as well as measurements of a developed chip design are presented and confirm the functionality of the circuit. Random number sequences are recorded and analyzed with the help of the statistical test suite from the National Institute of Standards and Technology (NIST).

The chip is capable of comparing two consecutive time intervals with durations from 10 ns to 10 μ s. The power consumption of the interface circuit starts from 1,1 mW and can reach up to 4,55 mW depending on the pulse repetition rate delivered from the SPAD. The supply voltage of the chip is 3,3 V.

After using „XOR-Hashing“ as post processing function which reduces a 2 Gbit random sequence to a 1 Gbit file it was possible to pass all tests provided by the NIST Test suite.



Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar.
The approved original version of this thesis is available in print at TU Wien Bibliothek.

Inhaltsverzeichnis

Kurzfassung	I
Abstract	III
Abkürzungsverzeichnis	VII
1. Einleitung	1
2. Schaltung	5
2.1. Verwendeter Prozess X-FAB XO035	5
2.2. Integrierte LED - SPAD Kombination	6
2.3. Quencher	7
2.4. Schaltungskonzept	8
2.4.1. Lade-/Entladesignal	10
2.4.2. Integrator-Reset-Schaltung	11
2.4.3. Integrator	13
2.4.4. Komparator und Ausgangssignalgenerierung	14
2.5. Schaltungstechnische Realisierung	16
2.5.1. Eingangsstufe	16
2.5.2. Integratoransteuer- und Komparatortakt	18
2.5.3. Integrator	18
2.5.4. Einstellbare Stromquelle	29
2.5.5. Komparator	30
2.5.6. T-FlipFlop	33
2.5.7. Zeitverzögerungen und Impulse	34
2.5.8. Endstufe	36
2.6. Gesamtschaltung	36
3. Messungen	45
3.1. Testplatine	46
3.2. Inbetriebnahme	48
3.2.1. Komparatorabgleich	49
3.2.2. Stromaufnahme	50
3.2.3. Ausgangsimpulse	51
3.2.4. Inbetriebnahme der LED	54
3.2.5. Messung der Photonenzählrate	57
3.3. Aufnahme von Zufallszahlen	59
4. Zusammenfassung und Schlussbetrachtung	63
A. Anhang	65
A.1. NIST-Ergebnis ohne Nachbehandlung	65
A.2. NIST-Ergebnis mit Nachbehandlung	68



Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar.
The approved original version of this thesis is available in print at TU Wien Bibliothek.

Abkürzungsverzeichnis

CMOS	Complementary Metal-Oxide-Semiconductor
FPGA	Field Programmable Gate Array
LED	Light-Emitting Diode
MIM	Metal Insulator Metal
MOSFET	Metal Oxide Semiconductor Field-Effect Transistor
NIST	National Institute of Standards and Technology
OPV	Operationsverstärker
PRNG	Pseudo Random Number Generator
QRNG	Quantum Random Number Generator
RIO	Reconfigurable Input/Output
SPAD	Single-Photon Avalanche Diode
TRNG	True Random Number Generator
USB	Universal Serial Bus



Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar.
The approved original version of this thesis is available in print at TU Wien Bibliothek.

1. Einleitung

Zufallszahlen und deren Qualität haben für eine Vielzahl von Anwendungen grundlegende Bedeutung. Beispiele dafür sind Verschlüsselungsalgorithmen, Simulationen, Monte Carlo Methoden und statistische Berechnungen. Für viele der Anwendungen ist es essentiell echte Zufallszahlen zu verwenden, um gute Ergebnisse zu erlangen. Am Verständlichsten wird das durch die vielen Einsatzgebiete von Verschlüsselungen, welche bei der Übertragung von vertraulichen oder sicherheitskritischen Daten besonders wichtig sind. Als Beispiel seien hier etwa Banktransaktionen oder der Datenverkehr zur Regelung von Smart Grids genannt, bei denen durch schwache Verschlüsselungsmechanismen ermöglichte Manipulationen besonders große Auswirkungen haben könnten.

Bis heute ist es ein Problem echte Zufallszahlen massentauglich und somit preiswert zu generieren. Lösungen welche durch eine Software realisiert werden, haben in der Regel eine deterministische Funktion zu Grunde liegen, die durch einen Startwert, dem „Seed“ definiert ist. Für diesen Startwert wird oft eine variable Größe, wie zum Beispiel die Startzeit der Zufallszahlengenerierung, herangezogen. Durch diese Konstruktionsweise einer großen Zufallszahl, durch einen relativ kleinen Seed, welcher meist keine echte Zufallszahl ist und der Tatsache, dass der Zahl ein Algorithmus zu Grunde liegt, besitzt eine solche „Zufallszahl“ gewisse Abhängigkeiten in sich selbst. Generatoren dieser Kategorie werden Pseudozufallsgenerator (PRNG - Pseudorandom Generator) genannt. [1]

Im Gegensatz zu PRNGs nutzen echte Zufallszahlengeneratoren (TRNG True Random-number Generator) physikalisch zufällige Ereignisse, um daraus ihre Ergebnisse zu generieren. Da der zugrundeliegende Prozess ein nicht deterministischer Vorgang sein muss, eignen sich die meisten, makroskopischen, physikalischen Vorgänge nicht, um als Grundlage für einen TRNG zu dienen. Aufgrund der nicht vorherbestimmbaren Zeitpunkte der Energieübergänge in der Quantenphysik, scheinen sich quantenoptische Prozesse, durch ihre relativ einfache Implementierbarkeit, gut zur Konstruktion eines TRNG zu eignen. [2]

Dieses Prinzip verlangt danach Photonen zu generieren und wieder zu detektieren. Ein möglicher Ansatz einer solchen Photonenquelle ist eine Silizium LED, welche in Sperrrichtung betrieben wird. Der Photonendetektor kann dann, ebenfalls auf Siliziumbasis, durch eine Single Photon Avalanche Diode (SPAD) realisiert werden. Beide Baugruppen

lassen sich mit einem Standard-CMOS Prozess herstellen, wobei im Zuge dieser Arbeit der optische 350 nm CMOS-Prozess „XO035“ der Firma X-FAB verwendet wurde.

Die durch die LED-SPAD Kombination geschaffenen Signale müssen durch ein Verfahren in Bits umgelegt werden, welches die Aufgabenstellung dieser Arbeit war. Der hierfür gewählte Ansatz ist die Messung der Photonendetektionszeit. Dabei wird der zeitliche Abstand aufeinanderfolgender Impulse gemessen und miteinander verglichen (Abbildung 1.1). Ist die Zeitspanne t_2 länger als t_1 , so wird eine logische „1“, bei längerer Dauer von t_1 wird eine „0“ ausgegeben. Im Fall von Intervallen identer Dauer wird das Ergebnis verworfen.

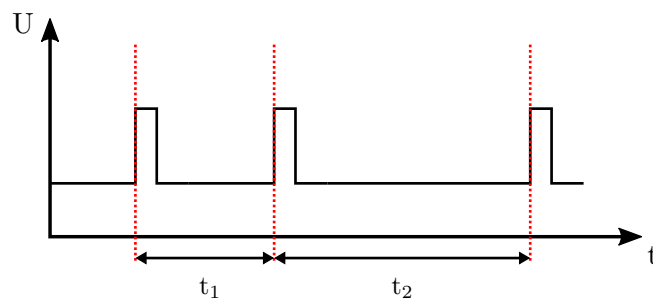


Abb. 1.1.: Prinzip der Zufallszahlgenerierung. Aus $t_2 > t_1$ folgt eine „1“, aus $t_2 < t_1$ eine „0“ und im Fall von $t_2 = t_1$ wird die Messung verworfen.

Das zugrundeliegende Messprinzip wurde schon erfolgreich bei der Generierung von Zufallszahlen angewendet. [3] Der dabei verwendete Aufbau war meist teuer und unhandlich, da diskrete LEDs und Photonendetektoren verwendet wurden. [1] Für die Messung der Zeitabstände benötigt man eine relativ schnelle Hardware, wie einen FPGA, um die Zeitintervalle zwischen den Impulsen, mit ausreichender Genauigkeit, zu messen.

Das Ziel dieser Arbeit ist es, eine Schaltung zu entwickeln, welche den Vergleich der beiden Intervalle t_1 und t_2 durch einen analogen Integrationsprozess vornimmt.

Die Idee dahinter ist die Zeit durch die Ladung, welche in einem Kondensator aufintegriert wird, zu messen. Dabei nutzt man einen konstanten Ladestrom, um den Kondensator, für die Dauer des ersten Vergleichsintervalls, zu laden. Während des zweiten Intervalls wird der Kondensator mit einem gleich großen, entgegengesetzten Strom entladen. Am Ende des Vergleichs spiegelt sich das Messergebnis in der Kondensatorspannung wieder. Diese kann mit einem Komparator einfach ausgewertet werden.

Abbildung 1.2 veranschaulicht das Prinzip des Vergleichvorganges. Ein FPGA, oder eine sonstige externe Messvorrichtung zum Vergleich der Zeitintervalle, könnte hier durch einen Integrator direkt am Chip ersetzt werden.

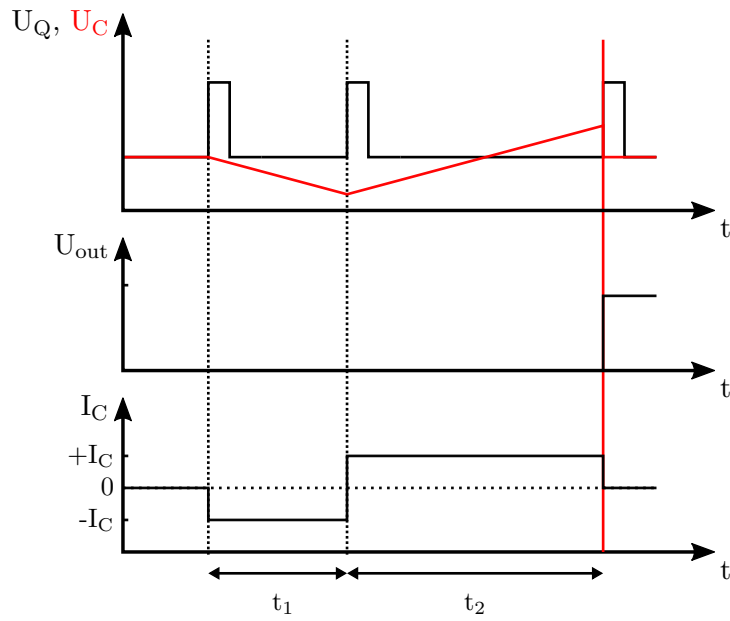


Abb. 1.2.: Zeitvergleich durch Aufintegration der Ladung in einem Kondensator durch einen konstanten Strom. Oben: Eingangsimpulse und Kondensatorspannung, Mitte: Komparatorausgang, Unten: Ladestrom

Das Ziel dieses Ansatzes ist es, den gesamten QRNG mit einem üblichen CMOS Prozess zu fertigen und somit einen Schritt in Richtung einer integrierten, kostengünstigen Lösung zur Erstellung echter Zufallszahlen zu gehen.



Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar.
The approved original version of this thesis is available in print at TU Wien Bibliothek.

2. Schaltung

In diesem Kapitel werden die einzelnen Schaltungsteile und deren Funktion näher besprochen. Den Anfang macht eine kurze Vorstellung der verwendeten LED-SPAD Kombination und des verwendeten Quenchers, welcher zum Betrieb einer SPAD notwendig ist.

Danach wird die, im Zuge dieser Arbeit entwickelte, Schaltung behandelt. In 2.4 „Schaltungskonzept“ werden zuerst die Randbedingungen abgesteckt und das schaltungstechnische Konzept vorgestellt. Die Realisierung der einzelnen Funktionsgruppen wird in 2.5 „Schaltungstechnische Realisierung“ näher behandelt.

2.1. Verwendeter Prozess X-FAB X0035

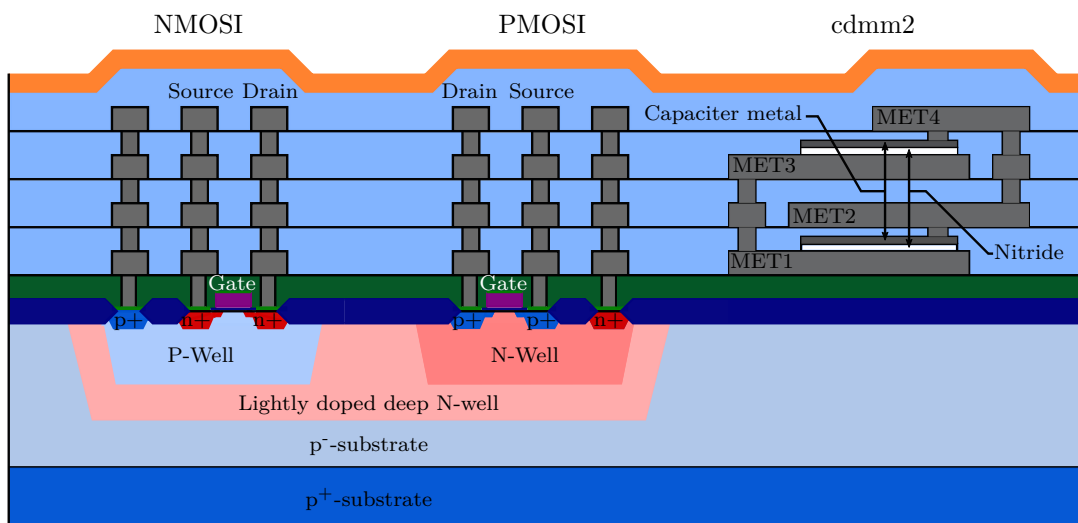


Abb. 2.1.: Aufbau der MOSFET-Typen und des Kondensators im Prozess, welcher zur Erstellung der Schaltung verwendet wurden (nicht maßstabsgetreu)

Dieser, zur Simulation und Produktion verwendete, Prozess weist eine minimale Strukturweite von 350 nm auf und ist speziell für optische Anwendungen optimiert. Zur Realisierung von CMOS Strukturen kann auf 3,3 V und 5 V n- und p-MOSFETs zurückgegriffen werden, wobei nur von den ersten Gebrauch gemacht wurde. Der Prozess bietet vom Sub-

strat isolierte MOSFETs an (PMOSI, NMOSI). Da zum Betrieb der SPAD das Substrat negativ vorgespannt werden muss, ist diese Möglichkeit wichtig, um SPAD und Schaltung auf einem Chip integrieren zu können. Zur Erstellung der elektrischen Verbindungen stehen vier Metalllagen zur Verfügung und als Kondensatoren werden MIM (Metall, Isolator, Metall)-Kapazitäten verwendet. [4]

2.2. Integrierte LED - SPAD Kombination

Die LED ist die Photonenquelle, von welcher die Zufallsimpulse aus den Zeitdifferenzen der Eintreffzeitpunkte gewonnen wird. Wie schon beschrieben wird eine Silizium LED, welche in einem handelsüblichen CMOS Prozess hergestellt werden kann, verwendet. Betrieben wird das Bauteil in Sperrrichtung, wobei die Photonen hauptsächlich durch Intradbandübergänge im Leitungsband generiert werden.[5] Die Quanteneffizienz ist jedoch bei Silizium, da es sich um einen indirekten Halbleiter handelt, sehr gering. Für die Funktion als eine Art Einzelphotonenquelle ist dieser Nachteil jedoch verkräftbar.

Der Aufbau der LED ist kreisförmig, wobei die Anode mittig sitzt und von einem Kathodenring umgeben wird. Außerhalb der Kathode befindet sich ein Injektionsring, welcher dafür vorgesehen ist, zusätzliche Ladungsträger in die Raumladungszone der LED injizieren zu können und so deren Effizienz zu erhöhen.

Umschlossen wird die LED durch einen SPAD-Ring, in dem die in der LED generierten Photonen detektiert werden sollen.

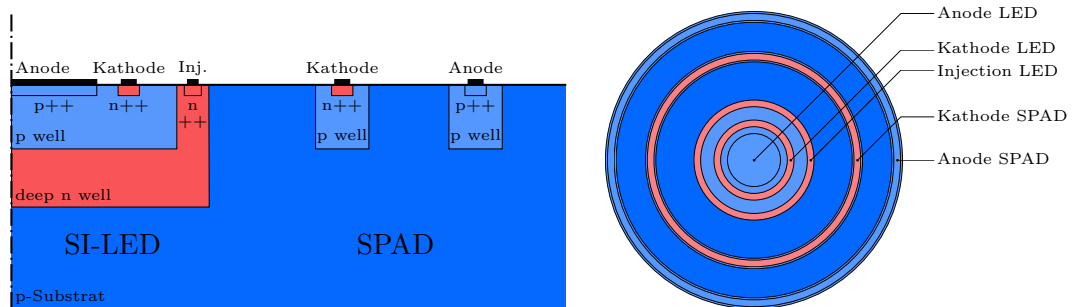


Abb. 2.2.: Nicht maßstabsgetreue Abbildung des LED und SPAD Aufbaus (Querschnitt links, Ansicht von oben rechts)

Der geschilderte kreisförmige Aufbau ist in Abbildung 2.2, nicht maßstabsgetreu, illustriert. Die Photonen werden in der Raumladungszone, zwischen Kathode und Anode der LED, generiert und müssen, durch das Substrat, bis zur Absorptionszone, im Bereich der SPAD-Kathode, gelangen, um detektiert zu werden.

2.3. Quencher

Eingangs wurde bereits erwähnt, dass die zu entwickelnde Schaltung von einer LED-SPAD Kombination getriggert wird. Eine SPAD ist eine Photodiode, welche in Sperrrichtung, oberhalb der Durchbruchspannung, im sogenannten Geiger-Modus, betrieben wird. Durch diesen Zustand herrscht ein großes elektrisches Feld in der Verarmungszone des pn-Übergangs. Wird nun ein Ladungsträger in diese Zone injiziert, zum Beispiel durch ein Photon welches ein Elektron-Loch-Paar erzeugt, startet durch Stoßionisation ein Lawinenprozess und der Strom steigt schlagartig an. Um diesen Betriebsfall wieder zu beenden, muss die Spannung an der SPAD, bis unter die Durchbruchspannung, verringert werden. Dadurch reicht das elektrische Feld nicht mehr aus und die anhaltende Ladungsträgerlawine verschwindet. Dieser Vorgang kann entweder passiv, durch einen Widerstand, an welchem sich, durch den steigenden Strom, die Spannung erhöht und somit die Diodenspannung ausreichend verringert wird, oder durch einen aktiven Quencher, welcher die Spannung an der Diode unter die Durchbruchspannung verringert, erfolgen.

Es wird angestrebt die SPAD so schnell als möglich wieder einsatzbereit zu bekommen. Wenn die SPAD gezündet hat, werden, durch den nun fließenden Strom, Ladungen an Störzentren im pn-Übergang gespeichert, die verzögert wieder freigegeben werden. Solange in der SPAD noch solche Ladungen vorhanden sind, können diese beim Anlegen einer Sperrspannung wieder einen Durchbruch verursachen. Das sogenannte „Afterpulsing“ hat nichts mit Photonendetektion zu tun und ist somit unerwünscht. Die gespeicherte Ladung wird umso geringer, je früher der Durchbruch detektiert und somit der Quenchvorgang eingeleitet wird. Dies kann durch einen aktiven Quencher gewährleistet werden.

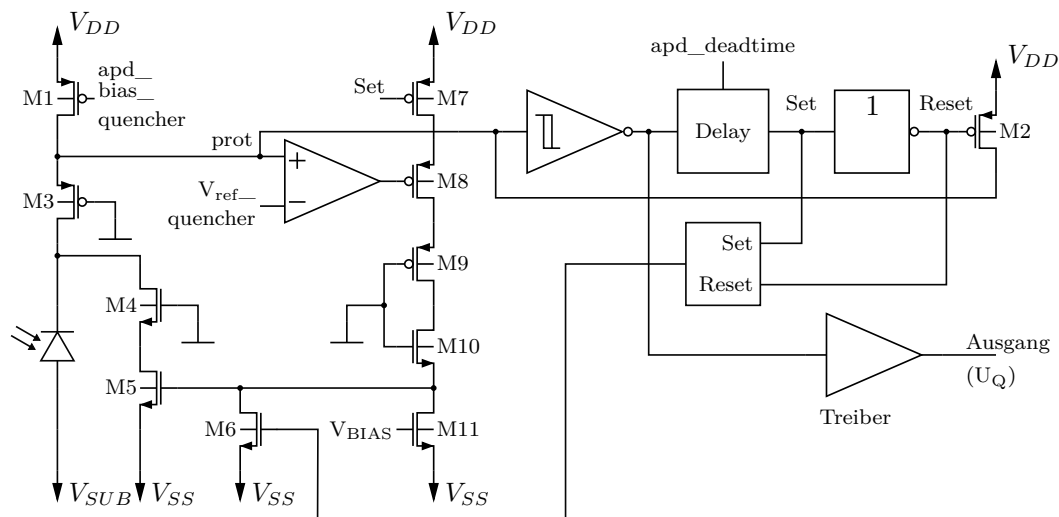


Abb. 2.3.: Schaltungsprinzip des verwendeten aktiven Quenchers

Abbildung 2.3 zeigt das Prinzipschaltbild des verwendeten Quenchers.[6]

Die Transistoren M_3 und M_4 dienen nur als Schutz der restlichen Schaltung, um den Knoten „prot“, als auch den Drain von M_5 , vor Spannungen unterhalb V_{SS} zu schützen. Die Funktionsweise des Quenchers ist folgende, über M_1 kann aufgrund der Spannung „apd_bias_quencher“ Strom fließen und somit liegt an der SPAD-Kathode, solange diese sperrt, V_{DD} . Damit ist diese vorgespannt und kann Photonen detektieren. Zündet die SPAD, kommt es zu einem Spannungseinbruch, welcher vom Komparator detektiert wird, wobei die Detektionsschwelle die Spannung an $V_{ref_quencher}$ vorgibt und somit den MOSFET M_8 einschaltet. Da nun in diesem Zweig Strom fließt, wird M_5 eingeschaltet und zieht die SPAD Kathode auf V_{SS} , die SPAD wird somit „gequencht“. Der invertierenden Schmitttrigger gibt, durch den Spannungsabfall am Punkt „prot“, ein Signal an den Treiber, wodurch das Ausgangssignal zustande kommt und an eine Verzögerungsschaltung „Delay“, deren Verzögerung durch „apd_deadtime“ bestimmt werden kann, weiter. Nach dieser Verzögerungszeit sorgt das Signal „Set“ dafür, dass mit dem Durchschalten von M_6 der Transistor M_5 wieder sperrt und den Quenchvorgang beendet. Das Signal „Set“ beendet auch den Stromfluss im Zweig mit M_7 , wodurch die Beendigung des Quenchens erst ermöglicht wird, da dieser Zweig ansonsten M_5 weiter leitend halten würde. Die SPAD und M_5 leiten nun nicht mehr. Ebenfalls wird M_2 durch „Reset“ durchgeschaltet und legt den Punkt „prot“ auf V_{DD} , der invertierende Schmitttrigger hat wieder „low“ am Ausgang und der Punkt „Reset“ schaltet M_2 wieder aus, womit die SPAD nur mehr über M_1 an V_{DD} liegt und somit wieder bereit zur Detektion ist.

2.4. Schaltungskonzept

Die zu entwerfende Schaltung soll am Eingang mit den Ausgangssignalen, des bereits vorhandenen Quencher-Layouts, arbeiten können. Ausgangsseitig soll eine Last von $50\ \Omega$ stark genug getrieben werden können, um noch ausreichende Pegel für $3,3\text{ V}$ Logik zu bieten. Somit ist es ohne weitere Pegelwandlung möglich, den Ausgangsdatenstrom mit handelsüblichen Schaltungen, welche mit einer Spannung von $3,3\text{ V}$ versorgt werden, weiterverarbeiten zu können.

Mit den zeitlichen Charakteristiken des Quenchers und der Forderung ein, dem Ausgangssignal voreilendes, Freigabesignal zu generieren, ergeben sich die folgenden Eckpunkte zur Auslegung der Schaltung:

- $0,6\text{ V}$ Eingangsspannung
- mindestens 6 ns Eingangspulsbreite
- Messintervalle bis zu $10\ \mu\text{s}$
- $50\ \Omega$ Ausgangstreiber für Daten- und Steuerleitung (Gleichspannung)
- mindestens 3 ns vor Freigabesignal beginnendes Datenbit

- mindestens 6 ns Pulsbreite des Datenbits
- Möglichkeit jedes zweite Ausgangsbit zu invertieren

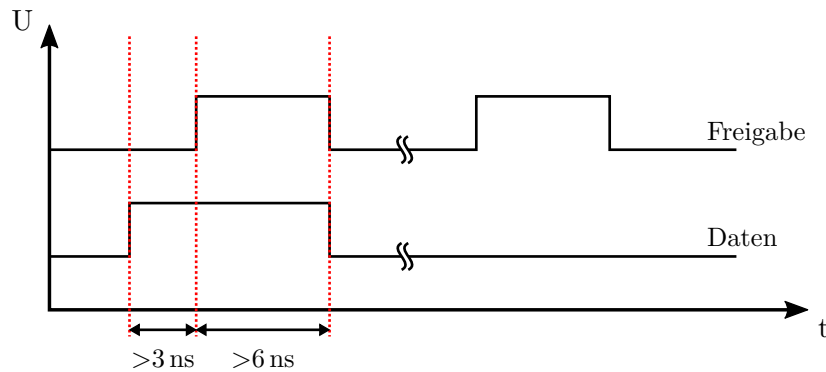


Abb. 2.4.: Gefordertes zeitliches Verhalten des Ausgangssignals. Oben: Freigabesignal, unten: Datensignal

Der Signalverlauf in Abbildung 2.4 stellt das geforderte Ausgangssignal und deren Mindestzeiten der Impulse dar. Durch die Vorlaufzeit des Datenbits gegenüber dem Freigabesignal ist sichergestellt, dass beim Einlesen des Datenbits, zum Beispiel durch einen FPGA, welcher durch das Freigabesignal getriggert wird, bereits das richtige Signal, mit vollem Pegel, am Datenausgang anliegt.

Nachdem die LED-SPAD Kombination mit der Schaltung auf einem Chip gefertigt werden soll, muss ein Herstellungsprozess verwendet werden, welcher die Integration von Fotodetektoren zulässt und für die geforderten Betriebsspannungen ausgelegt ist. Wesentlich ist auch die Möglichkeit zur Verwendung von ausreichend isolierten Bauelementen, da zum Betrieb der SPAD eine negative Spannung größer -10 V am Substrat notwendig ist und dadurch die Substratspannung von der negativen Schaltungsversorgung abweicht. Der am Institut verwendete 350 nm Prozess XO035 der Firma XFAB bietet diese Voraussetzungen und wurde zur Simulation und Fertigung der Schaltung verwendet.

Für die Erfüllung der an die Schaltung gestellten Anforderungen ist es notwendig einen Eingangsverstärker zu entwerfen, welcher die Ausgangsspannung des Quenchers von $0,6\text{ V}$ auf die Betriebsspannung von $3,3\text{ V}$ hebt. Aus diesen Impulsen muss ein Ansteuersignal für die Integratorströme und den Auswertekomparator generiert und das Datenfreigabesignal für den Ausgang abgeleitet werden. Weder der Komparatorausgang, welcher die Entscheidung über den Ausgangswert vornimmt, noch das Datenfreigabesignal erfüllen ohne weitere Behandlung die zeitlichen Anforderungen, welche an die Schaltung gestellt werden. Zu diesem Zweck wird ein Schaltungsblock integriert, welcher die Verknüpfungen, um das geforderte Timing zu gewährleisten, vornimmt. Schließlich muss eine Endstufe die

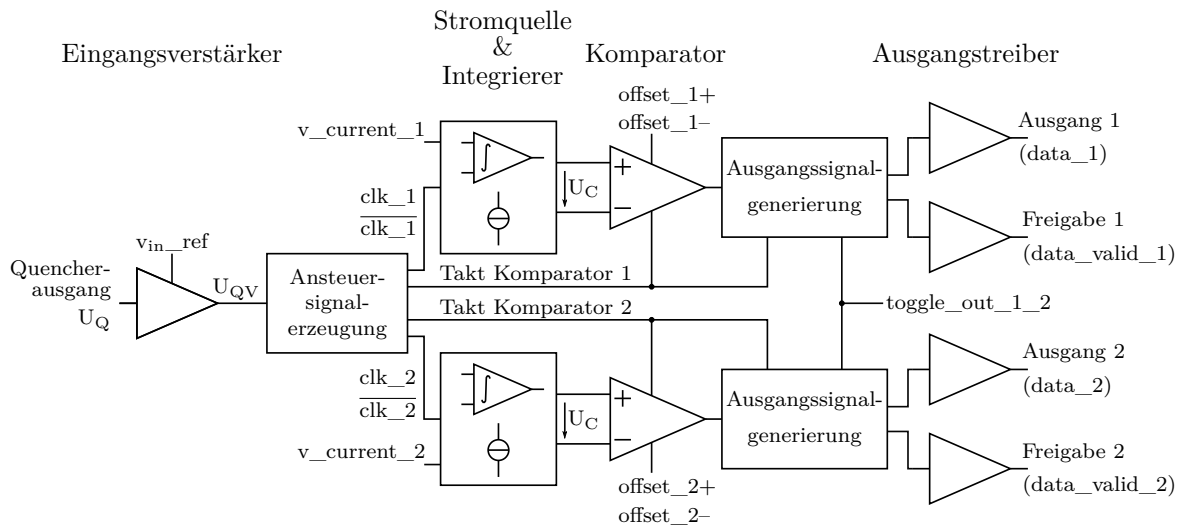


Abb. 2.5.: Schaltungsblöcke und Signale der gewählten Realisierung

Signale stark genug treiben, um auch bei $50\ \Omega$ Last noch ausreichende Pegel liefern zu können (Abbildung 2.5).

Nach einem Vergleichszyklus ist im Kondensator des Integrators noch Ladung gespeichert und es wird ein zusätzlicher Zyklus benötigt, bis wieder der Ausgangszustand für die Folgemessung hergestellt ist. Aus diesem Grund wurden am Chip zwei Vergleichszweige realisiert, die zeitlich verschachtelt arbeiten. Somit können alle Eingangsimpulse zur Zufallszahlengenerierung genutzt und eine hohe Bitrate gewährleistet werden.

2.4.1. Lade-/Entladesignal

Wie zuvor erwähnt, muss aus den Eingangsimpulsen ein Ansteuersignal zum Laden und Entladen des Integrationskondensators abgeleitet werden. Um das zu erreichen werden die, auf Versorgungsspannung verstärkten, Impulse an ein T-FlipFlop gelegt. Dessen Ausgangspegel wechselt bei jeder positiven Flanke am Eingang und generiert damit die Lade-/Entladeregel für die Integratorstufe (Abbildung 2.7 a, b).

Das gewählte Konzept zur Ladung und Entladung des Integrationskondensators (siehe 2.4.3 Integrator) erfordert einen zueinander invertierten Takt, welcher überlappungsfrei zur Verfügung stehen muss. Ist das nicht der Fall und die beiden Signale überschneiden sich, würde der Integrationskondensator kurzgeschlossen und somit entladen werden. Ein aussagekräftiger Vergleich wäre damit nicht mehr möglich. Dieser Takt besitzt keine fixe Frequenz, sondern leitet sich direkt von den Eingangsimpulsen der Schaltung (U_{QV}) ab. Der nicht überlappende Takt wird von der, dem T-FlipFlop folgenden, Schaltung in Ab-

bildung 2.6 geschaffen, welche aus einfachen CMOS-Invertern und CMOS-NAND-Gattern besteht.[7]

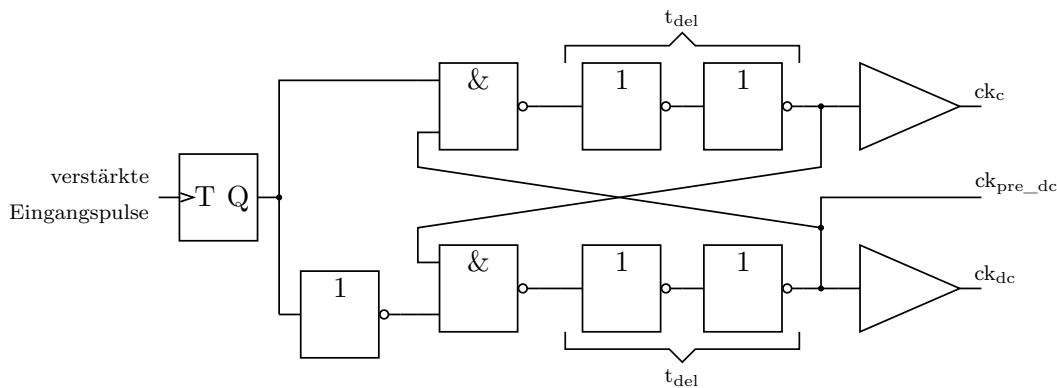


Abb. 2.6.: Schaltung zur Generierung des überlappungsfreien Integratoransteuertakts

Es werden hier zwei idente Schaltungsstrukturen, mit zueinander invertierten Takt, angesteuert, wobei dieser Takt die Ausgangspulse des Quenchers (U_Q) repräsentiert. Am Ausgang der beiden NAND-Gatter wird der Pegel nur „low“, wenn beide Eingänge „high“ sind. Dadurch erhält man in dem Zweig, an dem am NAND-Eingang ein „low“ liegt, sofort einen „high“ Pegel an dessen Ausgang. Am jeweils anderen Kanal liegen erst nach einer kurzen Verzögerungszeit, welche durch zwei Inverter realisiert wird, am NAND-Eingang zwei „high“ Pegel und somit schaltet dessen Ausgang erst zeitverzögert auf „low“. Da das so generierte Signal um die verzögerte Zeit überlappt, muss es noch invertiert werden und man erhält als Resultat einen nicht überlappenden Takt, wie er in Abbildung 2.7, ohne Berücksichtigung sonstiger Verzögerungszeiten, dargestellt ist. Der eingezeichnete Intervall t_{del} stellt die Verzögerungszeit der Inverterstufe zwischen NAND-Gatter und Rückkopplung zum jeweils anderen Kanal dar.

Dem Punkt der Rückkopplung folgend, sorgen einige Inverterstufen dafür, die nachfolgenden Stufen treiben zu können. Zusätzlich wird deren Verzögerungszeit dazu genutzt, um die Signallaufzeit der Komparatortaktgenerierung, welche den Auswertungszeitpunkt des zeitlichen Vergleichs bestimmt, zu kompensieren. Somit wird die Auswertung der Kondensatorspannung möglichst genau am Ende der Vergleichsperiode erreicht.

2.4.2. Integrator-Reset-Schaltung

Damit sich zu Messbeginn keine Restladung im Kondensator des Integrators befindet, muss dieser nach jedem Vergleichszyklus entladen werden. Aufgrund der gespeicherten Energie und des verbleibenden Einschaltwiderstandes des zuständigen Transmission-Gates, ist eine vollständige Entladung nur in endlicher Geschwindigkeit möglich. Aus diesem Grund

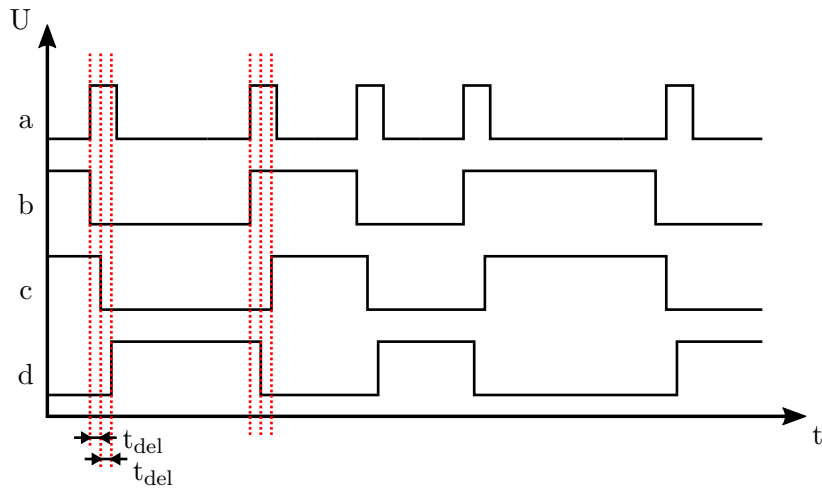


Abb. 2.7.: Verstärktes Eingangssignal (a), T-FlipFlop Ausgangssignal (b) und überlappungsfreier Takt (c)(d)

wurde jeder zweite Messzyklus ignoriert und als Entladezyklus verwendet. Dies entspricht einer Halbierung des Integratoransteuertaktes als Entladetakt. Somit sorgt ein weiteres T-FlipFlop, welches den vorgezogenen Entladetakt (Abbildung 2.6 ck_{pre_dc}) als Eingangssignal besitzt, für die Signalgenerierung.

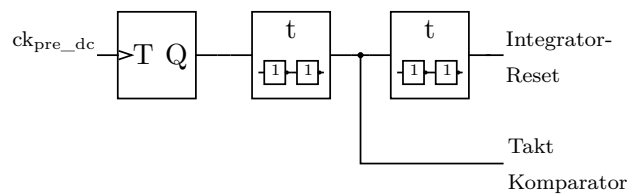


Abb. 2.8.: Schematische Darstellung der Signalwege zur Komparatortriggerung und Reset-Auslösung

Diese Schaltung sorgt auch für die Triggerung des Auswertekomparators. Damit dieser nicht den bereits kurzgeschlossenen Kondensator am Triggerzeitpunkt sieht, muss kurz bevor die Integratorschaltung zurückgesetzt wird, die Auswertung der Integrationskondensatorspannung ausgeführt werden. Dies wird durch eine Inverterkette erreicht, welche zum einen eine ausreichende Treiberstärke für die zu treibenden Gates bewirkt und zum anderen die nötige Zeitverzögerung bereitstellt, um vor dem Reset die Integrationsspannung auswerten zu können. Zu diesem Zweck wird das Komparatortaktsignal in der Inverterkette vor dem Entladesignal „Integrator-Reset“ herausgeleitet (Abbildung 2.8).

2.4.3. Integrator

Aufgrund des gewählten Verfahrens, zwei Zeitintervalle durch einen Integrationsprozess miteinander zu vergleichen, ist der Integrator die zentrale Funktionseinheit der Gesamtschaltung. Die Integration geschieht durch einen Kondensator, welcher mit einem konstanten Strom geladen wird. Um den zeitlichen Vergleich durchzuführen, nutzt man einen gleich großen, entgegengerichteten Strom, welcher den Kondensator wieder entlädt.

Wegen des Integrationsprozesses durch einen Konstantstrom, welcher in einem eigenen Schaltungsteil generiert wird, wirkt sich die Verstärkung des OPVs bei hohen Frequenzen, nicht sonderlich auf das Messergebnis aus. Er dient primär dazu, den Stromeinspeisungspunkt für den Kondensator auf einem einigermaßen konstanten Potential zu halten, welches ermöglicht diesen in negative und positive Richtung zu laden. Er verschiebt also das Potential des Integrationskondensators und gewährleistet dadurch zusätzlich konstante Verhältnisse am Ausgang der Stromquelle, was einem konstanten Stromwert zu Gute kommt.

Die Übereinstimmung des Lade- und Entladestroms ist für die Qualität des Vergleichs maßgebend. Aufgrund von Fertigungstoleranzen wäre die Verwendung von zwei getrennten Stromquellen, für die beiden nötigen Stromrichtungen, problematisch. Deshalb wird eine Stromquelle für beide Vergleichsperioden herangezogen und der Stromrichtungswechsel durch vier Schalter erreicht, welche den Kondensator in der jeweiligen Orientierung in den Strompfad schalten. Zu diesem Zweck ist entweder das Schaltungspaar $S_1 - S_2$ geschlossen, oder das Paar $S_3 - S_4$. Der Schalter S_5 dient zum Entladen der Kapazität während des Resetzyklus (Abbildung 2.9). Für eine möglichst zufällige Bitfolge ist es essentiell, den Kondensator bestmöglich zu entladen, damit die Restladung des vorhergehenden Vergleichs, die aktuelle Messung nicht beeinflusst.

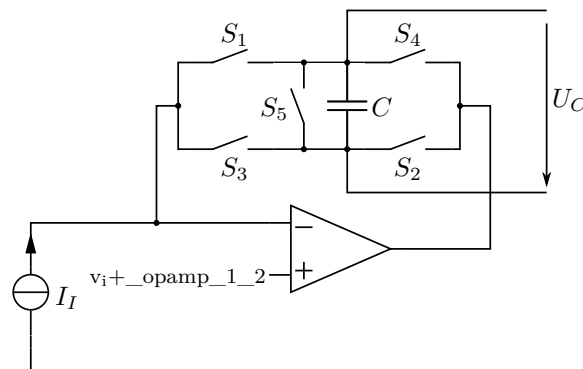


Abb. 2.9.: Schaltungskonzept der Integratorstufe

2.4.4. Komparator und Ausgangssignalgenerierung

Am Ende eines Vergleichsintervalls ist es notwendig, die Spannung am Kondensator auszuwerten. Dazu wird ein Komparator, dessen Eingangspins mit den zwei Polen des Integratorkondensators verbunden sind, verwendet. Hat der Ladevorgang länger gedauert als der Entladevorgang, ist die Spannung am Kondensator positiv und der Komparator liefert einen „high“-Pegel am Ausgang. Ist das erste Zeitintervall länger, hat der Entladevorgang länger gedauert und es liegt, bezogen auf den Komparatoreingang, eine negative Spannung an diesem und der nicht invertierende Ausgang gibt einen „low“ Pegel aus (Abbildung 2.10).

Dieser Auswertevorgang der Kondensatorspannung hat im richtigen Zeitpunkt zu erfolgen und der Komparatorausgang muss das Ergebnis am Ausgang halten können. Durch einen taktgesteuerten Komparatorentwurf werden diese Anforderungen erfüllt.

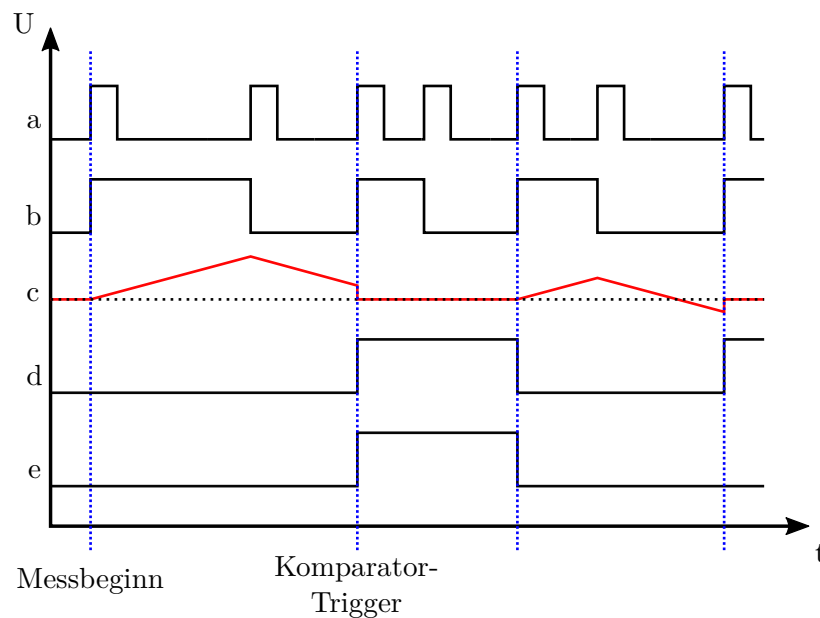


Abb. 2.10.: Symbolhafte Darstellung der Signalverläufe zur Ausgangspegelgenerierung. Quencher-Signal (a), Lade-/Entladesignal (b), Kondensatorspannung U_C (c), Komparator-Triggersignal (d), Komparator-Ausgang (e)

Um undefinierte Zustände (Metastabilität des Komparators) nicht an den Ausgang weiterzuleiten, wird der invertierende und nicht invertierende Ausgang an ein EXOR-Gatter gelegt und dessen Ausgang mit dem Komparatorausgangssignal über ein UND-Gatter verknüpft. Somit wird nur dann ein Ausgangssignal weitergegeben, wenn der nicht-invertierende und invertierende Ausgang des Komparators auch wirklich einen zueinander inversen Zustand haben. Damit ist sichergestellt, dass sich dieser Schaltungsteil in einem zulässigen Zustand befindet.

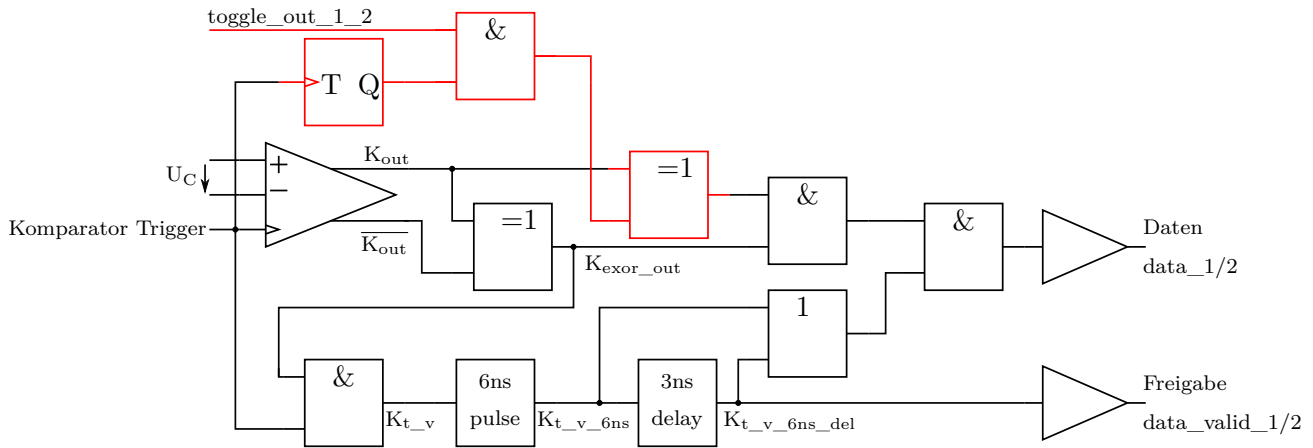


Abb. 2.11.: Logische und zeitliche Verknüpfung von Takt- und Komparatorsignal zur Generierung der Ausgangssignale

Der Ausgang soll aus zwei Signalen bestehen, dem eigentlichen Datenbit und einem Freigabesignal, welches ein gerade gültiges Datenbit anzeigt. Dies hat zur Folge, dass bei jedem Auswertetakt, sofern am Komparatorausgang ein gültiges Signal liegt, auch ein Freigabesignal ausgegeben werden muss. Dazu wird das Taktsignal des Komparators mit dem Ausgangssignal des zuvor erwähnten EXOR-Gatters, welches einen ordnungsgemäßen Komparatorausgangszustand sicherstellt, mit einem UND-Gatter verknüpft. Liegt nun auf diesen beiden Leitungen ein „high“-Pegel, dies entspricht einem zulässigen Zustand am Komparatorausgang, wird die Erzeugung eines 6 ns Impulses angetriggert. Dieser wird um 3 ns verzögert an den Ausgang als Freigabesignal gelegt. Der nicht verzögerte 6 ns $K_{t_v_6ns}$ Impuls wird mit dem verzögerten $K_{t_v_6ns_del}$ „ODER“ verknüpft und es entsteht ein 9 ns Impuls. Die „UND“ Verknüpfung dieses Signals mit dem Ausgangssignal des Komparatorzweiges sorgt, nach Verstärkung durch die Treiberstufe, für das 9 ns dauernde „data“ Signal. Das Signal $K_{t_v_6ns_del}$ stellt nach dem Treiber das um 3 ns verzögertes Freigabesignal dar, welches 6 ns dauert.

Um der Forderung nachzukommen, jedes zweite Ausgangsbit invertieren zu können, wird das Signal „Komparator Trigger“ mittels eines T-FlipFlop halbiert und das so erschaffene Signal mit dem Komparatorausgang „EXOR“ verknüpft. Das Gatter invertiert den Pegel am zweiten Eingang, wenn am anderen „high“ liegt. In diesem Fall jedes zweite Bit.

Zur besseren Verständlichkeit sind in Abbildung 2.11 die genannten Signalwege und Verknüpfungen noch einmal dargestellt.

2.5. Schaltungstechnische Realisierung

Zur Schaltungserstellung, Simulation und zum Layout des Chips wurde das „Virtuoso Design Environment“ von „Cadence“ verwendet. In dieser Entwicklungsumgebung wurde zuerst der Schaltplan erstellt und die Dimensionierung der Gatelängen und -breiten mittels Simulation und Überprüfung der Auswirkungen auf die jeweiligen Signale, vorgenommen. Nach Beendigung dieser Simulationen wurde das Chipdesign erstellt und mittels Parasiten-Extraktion das Simulationsmodell in Bezug auf das Layout verfeinert.

Um die Schaltungsbilder übersichtlich zu halten, wurden die Verbindungen der Substratanschlüsse nicht eingezeichnet. In den folgenden Schaltungen sind diese bei allen n-Kanal MOSFETs auf „gnd“ und bei allen p-Kanal MOSFETs auf die jeweilige positive Versorgungsspannung („v+_logic“ oder „v+_pwr“) gelegt worden.

2.5.1. Eingangsstufe

Da Impulse mit einer Amplitude von 0,6 V als Eingangssignal ausreichen sollen, muss eine Verstärkerschaltung den Pegel erhöhen, damit CMOS-Inverterstufen getrieben werden können. Zur Erfüllung dieser Aufgabe wurde eine einfache OPV-Schaltung gewählt. [8] An dessen nicht invertierenden Eingang wird das Eingangssignal U_Q geführt und durch die Spannung v_{in_ref} , welche man am invertierenden Eingang vorgibt, definiert man die Schaltschwelle, ab der eine logische „1“ erkannt wird.

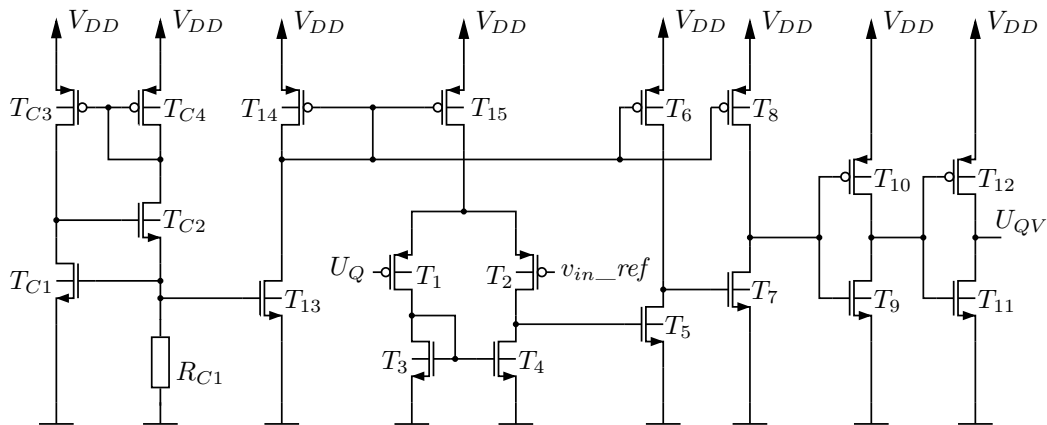


Abb. 2.12.: Eingangsstufe (OPV), links: Arbeitspunkteinstellung der Stromquellen, mitte: Differenzverstärker, rechts: Ausgangsstufe

Die Differenzverstärkerstufe des Operationsverstärkers wurde, aufgrund der geringen Eingangspegel, mit p-Kanal MOSFETs ausgeführt. Um die Arbeitspunkteinstellung der Strom-

quellen vorzunehmen, wurde der linke Schaltungsteil in Abbildung 2.12 eingesetzt.[9] Darin wird die Schwellspannung U_{th_C1} des MOSFETs T_{C1} ausgenutzt, um eine ausreichend konstante Spannung zu erzeugen, welche, in Verbindung mit dem Widerstand R_{C1} , eine Einstellung des Längsstromes im Widerstandszweig ermöglicht.

$$I_{RC1} = \frac{U_{GS_C1}}{R_{C1}} \approx \frac{U_{th_C1}}{R_{C1}}$$

Der Stromspiegel, welcher durch T_{C3} und T_{C4} gebildet wird, bewirkt einen zum Widerstandszweig proportionalen Strom und führt so zu weitgehend von der Versorgung entkoppelten Verhältnissen an T_{C1} .

Der so generierte Strom wird zum Differenzverstärker und dem Pegelwandler gespiegelt, wobei durch das Breite zu Länge Verhältnis der MOSFET-Gates der gewünschte Stromwert, für den jeweiligen Zweig, eingestellt wird. T_1 bis T_4 bilden den Differenzverstärker, dessen Ausgangspegel von einer Verstärkerstufe (T_5 bis T_8) auf einen ausreichenden Wert gehoben wird, um die Gegentaktendstufe (T_9, T_{10}) zu treiben. Die beiden Transistoren T_5 und T_6 dienen dabei als Pegelwandler für T_7 und T_8 . Mit den beiden CMOS-Invertern am Ausgang, werden ausreichend steile Flanken und Belastbarkeit, für die weitere Signalverarbeitung erreicht.

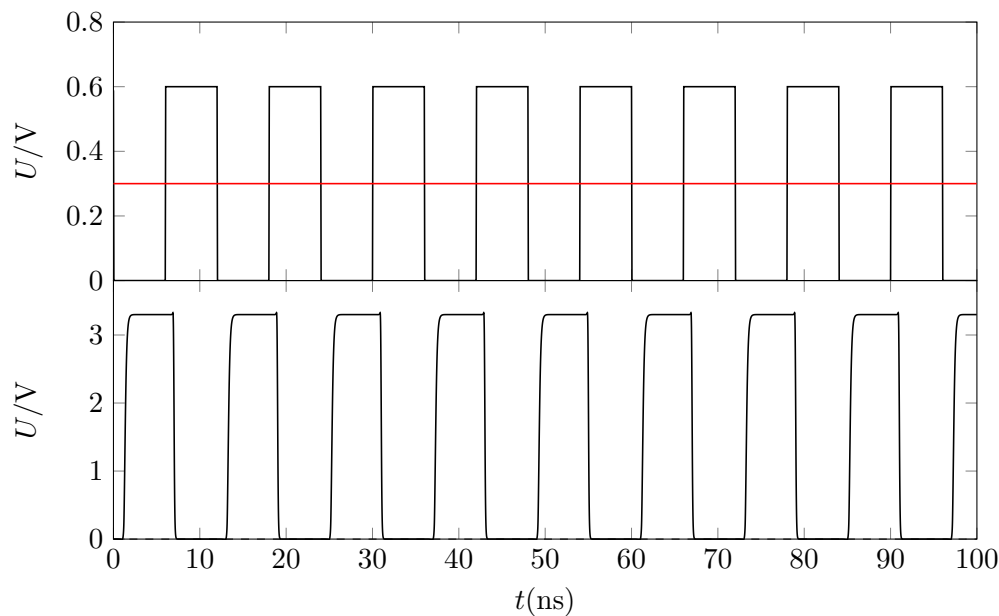


Abb. 2.13.: Simulation der Eingangsverstärkerstufe. Eingangsspannung: $U_q = 0,6 \text{ V}$, Impulsdauer: 6 ns , $v_{in_ref} = 0,3 \text{ V}$

2.5.2. Integratoransteuer- und Komparatortakt

Der Forderung, eine Verzögerungszeit zwischen dem Umschalten der beiden Stromrichtungen einzufügen, um eine Entladung des Integrationskondensators über die Stromrichtungsschalter zu vermeiden, steht entgegen, dass bei langer Verzögerung diese Zeit zum Aufintegrieren der Spannung und somit Messzeit, verloren geht. Um beiden Forderungen zu entsprechen, wurde bei der Dimensionierung der Schaltung aus Abbildung 2.6 nur eine kurze überlappungsfreie Zeit, im Bereich von 300 ps, gewählt (siehe Simulation in Abbildung 2.14).

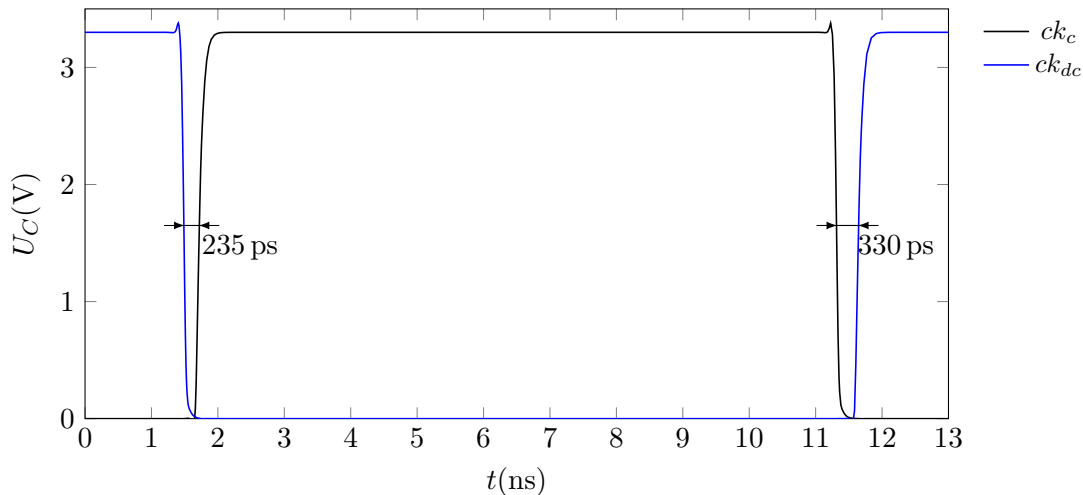


Abb. 2.14.: Ansteuersignal der MOSFETs zur Steuerung der Stromrichtung durch den Integrationskondensator

Damit zum Auswertzeitpunkt des Komparators der Kondensator noch nicht entladen wird, sorgen einfache CMOS-Inverterstufen (Abbildung 2.8) für eine kurze Verzögerungszeit zwischen den beiden Ansteuersignalen zur Komparator Triggerung und der Kondensatorentladung. (Abbildung 2.15).

2.5.3. Integrator

Bereits in Unterabschnitt 2.4.3 „Integrator“ wurde erwähnt, dass durch das gewählte Messkonzept die Stromrichtung durch den Kondensator umgedreht werden muss. Um dies zu realisieren wird, mit Hilfe von vier Schaltern, siehe Abbildung 2.18, der Strom in die, für den Betriebszustand notwendige, Richtung geleitet.

Diese Schalter sind als sogenannte Transmission-Gates [10], also parallelgeschaltete n- und p-Kanal MOSFETs, welche mit zueinander invertiertem Signal angesteuert werden,

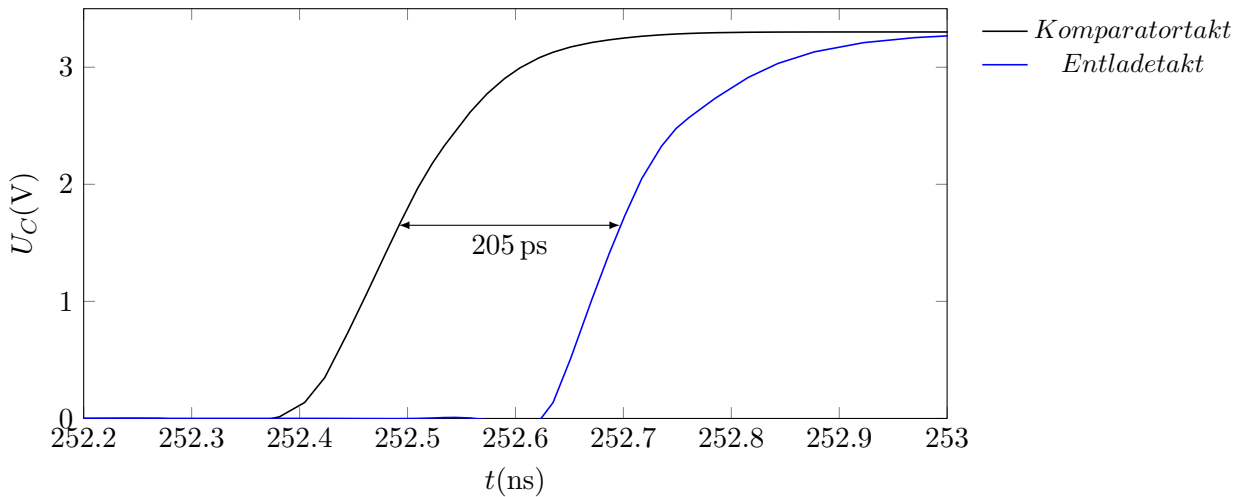


Abb. 2.15.: Verzögerung zwischen dem Komparatortaktsignal und dem Kondensatorentladesignal

ausgeführt. Im Falle des eingeschalteten Transmission-Gates, sorgt die Parallelschaltung der beiden unterschiedlichen MOSFETs dafür, dass, unabhängig von der zu schaltenden Spannung, immer einer oder beide leiten.

Bei ähnlichen zu vergleichenden Zeiten sind am Kondensator sehr geringe Spannungen zu erwarten. Weiters sollen die Schaltvorgänge möglichst kurz dauern. Aus diesen Gründen wurde bei der Dimensionierung der Transmission-Gate MOSFETs darauf geachtet, eine möglichst geringe parasitäre Kapazität zu schaffen. Dadurch werden Umladeprozesse aus oder in den Integrationskondensator minimiert und die Schaltgeschwindigkeit verbessert. Darum wurde von der minimalen, im verwendeten Prozess verfügbaren, Gatelänge von 350 nm Verwendung gemacht. Die mit $1\ \mu\text{m}$ für den n-Kanal MOSFET und $3\ \mu\text{m}$ für den p-Kanal MOSFET, relativ unterschiedlich gewählten Gatebreiten, ergaben sich aus der Schaltungssimulation, die zur Optimierung hinsichtlich möglichst geringer Störungen der Kondensatorspannung beim Schaltvorgang, herangezogen wurde. Hervorgerufen werden diese Störungen durch Takteinkopplungen und Umladevorgänge der Schalttransistoren.

Zur Entladung des Kondensators wurde ein Transmission-Gate mit größerer Gateweite verwendet ($10\ \mu\text{m}$ für p- und n-Kanal MOSFET). Da dieser Schalter in den kritischen Messphasen nicht geschaltet wird, spielt die parasitäre Kapazität nur eine untergeordnete Rolle. Wichtiger ist, aufgrund der Auswirkung auf die Entladezeitkonstante, ein geringerer Widerstand im eingeschalteten Zustand. Geschieht die Entladung nicht in ausreichend kurzer Zeit, ist zum Start der Folgemessung noch eine Spannung am Kondensator vorhanden und die Folgemessung wäre verfälscht. Die minimale Zeit, welche zur Entladung bereitstehen kann, ist die doppelte Dauer der kürzest möglichen Eingangspulse, also 12 ns.

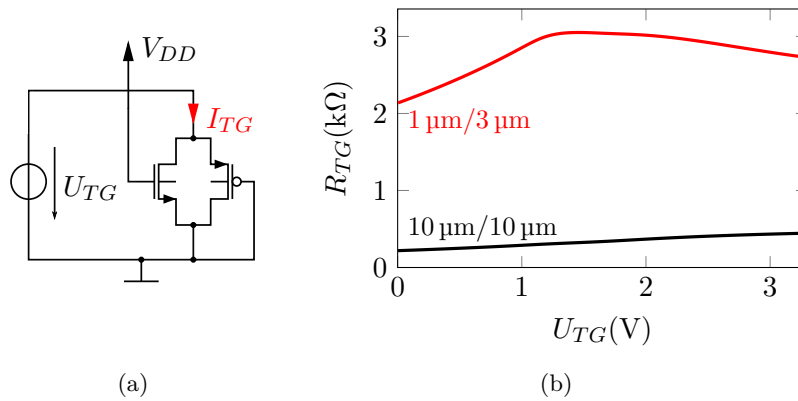


Abb. 2.16.: (a) Transmission-Gate (mit Beschaltung zur Simulation der Kennlinie rechts), (b) Widerstand des Transmissiongates in Abhängigkeit der angelegten Spannung U_{TG} im eingeschalteten Zustand (n-Kanal/p-Kanal Gateweite)

Durch die gewählte Gateweite kann selbst im Fall eines auf Versorgungsspannung geladenen Kondensators, welcher innerhalb der geforderten Betriebsbereiche nicht vorkommt, dessen Entladung gewährleistet werden (siehe Abbildung 2.17).

Abbildung 2.16 b zeigt die Simulation des eingeschalteten Transmission-Gate Widerstands, in Abhängigkeit der angelegten Spannung. Der Widerstand bleibt für die Stromrichtungsschalter über den gesamten Bereich zwischen $2\text{ k}\Omega$ und $3\text{ k}\Omega$ und ruft somit bei einem Ladestrom im Bereich von $1\text{ }\mu\text{A}$ nur wenig störenden Spannungsabfall hervor. Der Widerstand des Entladeschalters ist durch die größere Gateweite geringer und beträgt über den gesamten Spannungsbereich unter $500\text{ }\Omega$. Mit der verwendeten Kapazität von 5 pF (siehe Abschätzung in den folgenden Absätzen) ergibt sich somit eine Entladezeitkonstante von weniger als $\tau = 500\text{ }\Omega * 5\text{ pF} = 12\text{ ns}$. Die Mindestzeit zur Entladung des Kondensators beträgt somit 5τ , praktisch wird jedoch ein vielfaches davon erreicht, da die durchschnittlichen, zeitlichen, Abstände der Eingangsimpulse in einem Bereich liegen müssen, die nicht an den Geschwindigkeitsgrenzen der Schaltung liegen, um die Messung von längeren und kürzeren Zeiten, im Verhältnis zum Vergleichsintervall, zu ermöglichen.

Wesentlicher Bestandteil des Integrators ist der OPV, welcher, als Kompromiss aus Geschwindigkeit und Verstärkung, zwar einstufig, am Ausgang jedoch als gefaltete Kaskode ausgeführt wurde (Abbildung 2.19).[8] Die Simulation des OPVs ergab eine Gleichspannungsverstärkung von $53,6\text{ dB}$ bei einer Grenzfrequenz von $f_{-3\text{dB}} = 64,4\text{ kHz}$ mit einer Phasenreserve von $\varphi = 76^\circ$. Die Simulation fand im unbelasteten Zustand mit einer Ausgangskapazität von 150 fF statt. In Abschnitt 2.4.3 „Integrator“ wurde bereits erklärt, dass durch den Ladevorgang mit einer Konstantstromquelle keine extrem hohe Grenzfrequenz notwendig ist.

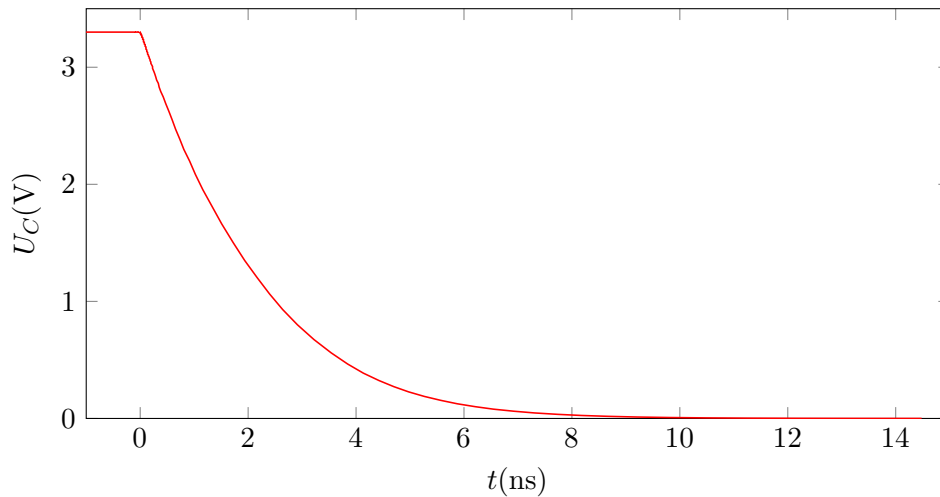


Abb. 2.17.: Entladung des Integrationskondensators über das Transmission-Gate

Die benötigten Biasströme werden wieder durch eine, dem OPV der Eingangsstufe baugleichen, Stromquelle bereitgestellt (Abbildung 2.12).

Durch die geforderten Messzeiten von einigen μs und dem Ladestrom von unter $1\ \mu\text{A}$, ergibt eine Abschätzung für den Integrationskondensator eine Kapazität von:

$$C = \frac{I_I \cdot \Delta t}{\Delta U_C} = \frac{1\ \mu\text{A} \cdot 5\ \mu\text{s}}{1\ \text{V}} = 5\ \text{pF}$$

Dabei wurde der Spannungshub am Kondensator pro Messintervall, um nicht in die Aussteuerung des OPV zu geraten, mit maximal $1\ \text{V}$ festgesetzt. Durch diese Annahme geht man bei der Dimensionierung davon aus, dass sich ein Pol des Kondensators, welcher typisch um die halbe Versorgungsspannung, also $1,65\ \text{V}$, geladen wird, maximal auf $2,65\ \text{V}$ auflädt oder sich minimal bis $0,65\ \text{V}$ entlädt. Die Spannung, um die der Ladevorgang stattfindet, ist über das Potential am, an einen Pin hinausgeführten, nicht invertierenden Eingang des OPVs einstellbar.

Die Begrenzung des Ladestroms, auf weniger als $1\ \mu\text{A}$, ergibt sich durch den beschränkten Platz am Chip, welcher keine beliebig großen Kapazitäten zulässt und dem Umstand, dass der Kondensator in kurzer Zeit wieder entladen werden muss. Weiters beschränkt die maximal geforderte Messzeit und der verfügbare Spannungsbereich den Strom.

Die Simulation in Abbildung 2.20 zeigt die Spannung U_C am Kondensator des Integrators und den dazugehörigen Stromverlauf I_C . Der Spannungsverlauf entspricht der Theorie und nimmt, durch den Ladevorgang mit einem konstanten Strom, den typischen dreiecksfö-

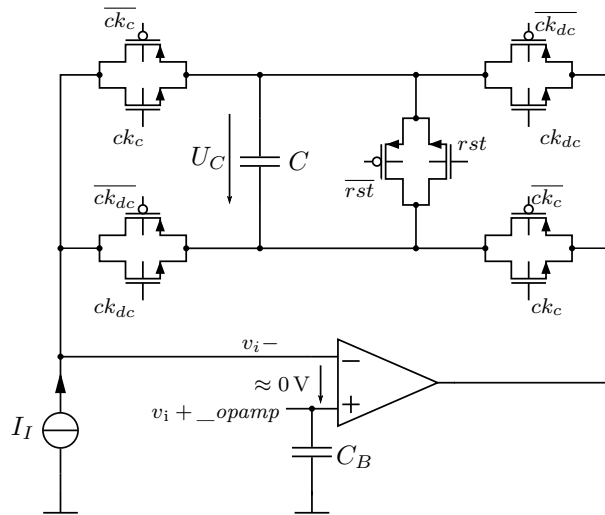


Abb. 2.18.: Beschaltung des Integrationskondensators mit den Transmission-Gates zur Stromumschaltung und Entladung

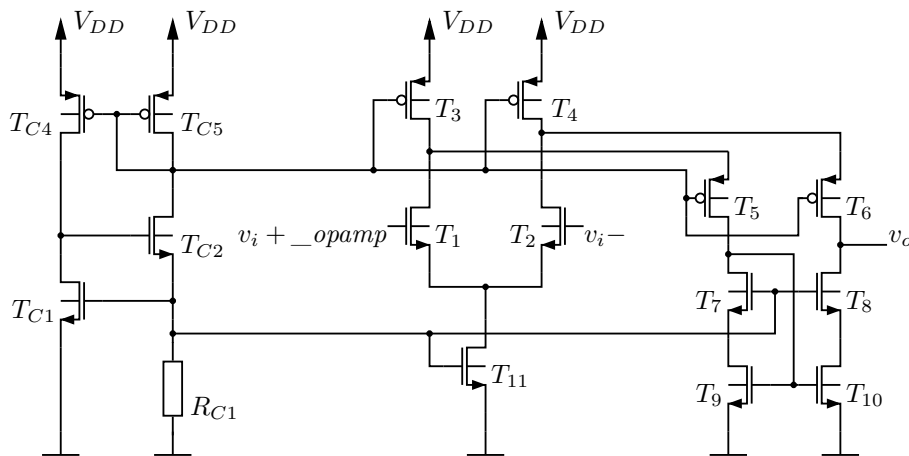


Abb. 2.19.: OPV (gefaltete Kaskode) mit n-Kanal Eingangsstufe

migen Verlauf an. In der Entladeperiode sollte, im Idealfall, die Spannung 0 V betragen. Da das Transmission-Gate, welches in dieser Zeit den Kondensator kurzschließt, einen Restwiderstand besitzt, ruft der Ladestrom, welcher weiter durch die Schaltung läuft und nun den Weg über das Transmission-Gate nimmt, einen Spannungsabfall, in der Höhe von etwa 0,2 mV, hervor. Dieser deterministische, systematische Offset, wirkt sich jedoch nicht negativ auf das Ergebnis aus, da der produzierte Chip, aufgrund der Fertigungstoleranzen, ohnedies einen Offset besitzt, der einen Abgleich des Komparators nötig macht. Hervorgerufen wird dieser Offset durch Unsymmetrien in den Eingangs-MOSFETs der Differenzverstärkerstufe. Solche leichten Variationen sind bei der Produktion unvermeidbar, deswegen wurde beim Komparatorentwurf eine Schaltungsstruktur gewählt, bei welcher sich, durch ein zweites Eingangspaar, dieser Offset mit einer extern angelegten Spannung kompensieren lässt. Durch diesen Abgleich wird auch diese Spannung, welche konstant ist,

mit ausgeglichen und verfälscht somit nicht mehr die Messung, da sie bei jeder Messung unabhängig von der Bitfolge auftritt (siehe 3.2.1 Komparatorabgleich).

Die Simulationen der Ströme weisen zwar zu den Schaltzeitpunkten Peaks, welche durch parasitäre Kapazitäten hervorgerufen werden, auf, verhalten sich aber weitestgehend so wie erwartet. Besonders der Strom aus der Stromquelle I_I bleibt konstant bei 798 nA, der Strom I_C , welcher direkt am Kondensator simuliert wurde, wird durch Umladeprozesse beeinflusst und es sind im Schaltzeitpunkt Stromspitzen und ein Einschwingvorgang ersichtlich (Abbildung 2.20). Die Betrachtung der Kondensatorspannung lässt jedoch darauf schließen, dass sich dieses Verhalten nicht zu stark auf die Funktion der Schaltung auswirkt.

Abbildung 2.21 zeigt schließlich die simulierte Kondensatorspannung für die drei Fälle eines kürzeren ersten, zwei gleich langen und eines längeren zweiten Intervalls. Der Lade-, wie auch Entladevorgang weisen eine hohe Symmetrie auf und finden demnach wie erwartet statt. Im Gegensatz zur Simulation aus Abbildung 2.20, bei der die Lade- und Entladezeiten im Bereich einiger 10 ns waren, sind bei dieser Simulation Ladezeiten bis zu 10 μ s angewendet worden. Dadurch wird die Funktionsfähigkeit auch am längsten Ende des Messspektrums gezeigt. In beiden Fällen betrug der Ladestrom 798 nA.

Um die Linearität der Spannung am Kondensator (U_C) zum Auswertzeitpunkt und somit die Linearität der Messung, zu überprüfen, wurde diese Spannung in Abhängigkeit zur Differenz von Lade- (t_{12}) und Entladezeit (t_{11}) simuliert. Dies geschah für drei verschiedene Entladezeiten t_{11} (12 ns, 505 ns, 5 μ s), die Ladezeit t_{12} wurde jeweils zwischen 12 ns und 14 μ s variiert. Die Ergebnisse der Simulation in Abbildung 2.22 bis 2.24 zeigen eine sehr gute Linearität über den gesamten Messbereich. Nur im Fall eines langen ersten Messintervalls in Kombination mit einem zweiten Intervall, im Bereich der kürzest möglichen Auflösung (<20 ns), sind aufgrund der größeren Ladung und somit höheren Spannung am Integrationskondensator, stärkere Umladeeffekte zu beobachten und es kommt zu einer Abweichung der Linearität (Abbildung 2.24, rechts). Nachdem dieser Effekt erst durch eine höhere Spannung am Kondensator hervorgerufen wird, muss, im Zeitraum dieses Einschwingvorganges, die Spannung am Kondensator relativ groß sein. Damit birgt dieser Effekt keine Gefahr einer falschen Entscheidung des Komparators. In Abbildung 2.26 wird dieser Effekt nach einer Entladezeit t_{11} von 5 μ s dargestellt, der Vergleich mit der Spannung U_C aus Abbildung 2.20, bei der dieser Effekt viel geringer ausfällt, zeigt, dass die höhere Kondensatorspannung der Grund für dieses Verhalten ist.

In orange sind Geraden eingezeichnet, welche den simulierten Kurvenverlauf mit dem Idealfall vergleichen sollen. Bei der Betrachtung von Simulationen, die einer Kondensatorspannung von unter 1 V Spannungshub pro Messintervall entsprechen, ergeben sich maximale Abweichungen von der Geraden, in der Höhe von 63 μ V bei der Simulation aus

Abbildung 2.22 ($t_{11} = 10 \text{ ns}$), 0,5 mV für die Simulation aus Abbildung 2.23 ($t_{11} = 505 \text{ ns}$) und 3,2 mV für die Simulation in Abbildung 2.24 ($t_{11} = 5 \text{ }\mu\text{s}$).

Die „Corner-“simulation in Abbildung 2.25 zeigt die Variaton der Kondensatorspannung U_C durch die Eckpunkte der Prozesstoleranzen. Dadurch ändern sich Bauteilparameter wie der Widerstand zur Ladestromeinstellung und die Thresholdspannung der Transistoren, als auch die Größe des Integrationskondensators. Dementsprechend weisen die Geraden nun verschiedene Steigungen auf, die Linearität des Spannungsverlaufs ändert sich hingegen nicht. Die Kurven „tm“, „wo“ und „wz“ liegen dabei so knapp beieinander, dass sie in der Grafik nicht einzeln sichtbar sind. Folgende Tabelle zeigt die Bedeutung der Kurvennamen, welche den Simulatoreinstellungen entsprechen: [4]

tm	typical mean	typische Geschwindigkeiten
wp	worst case power	schneller NMOS & schneller PMOS
ws	worst case speed	langsamer NMOS & langsamer PMOS
wo	worst case one	schneller NMOS & langsamer PMOS
wz	worst case zero	langsamer NMOS & schneller PMOS

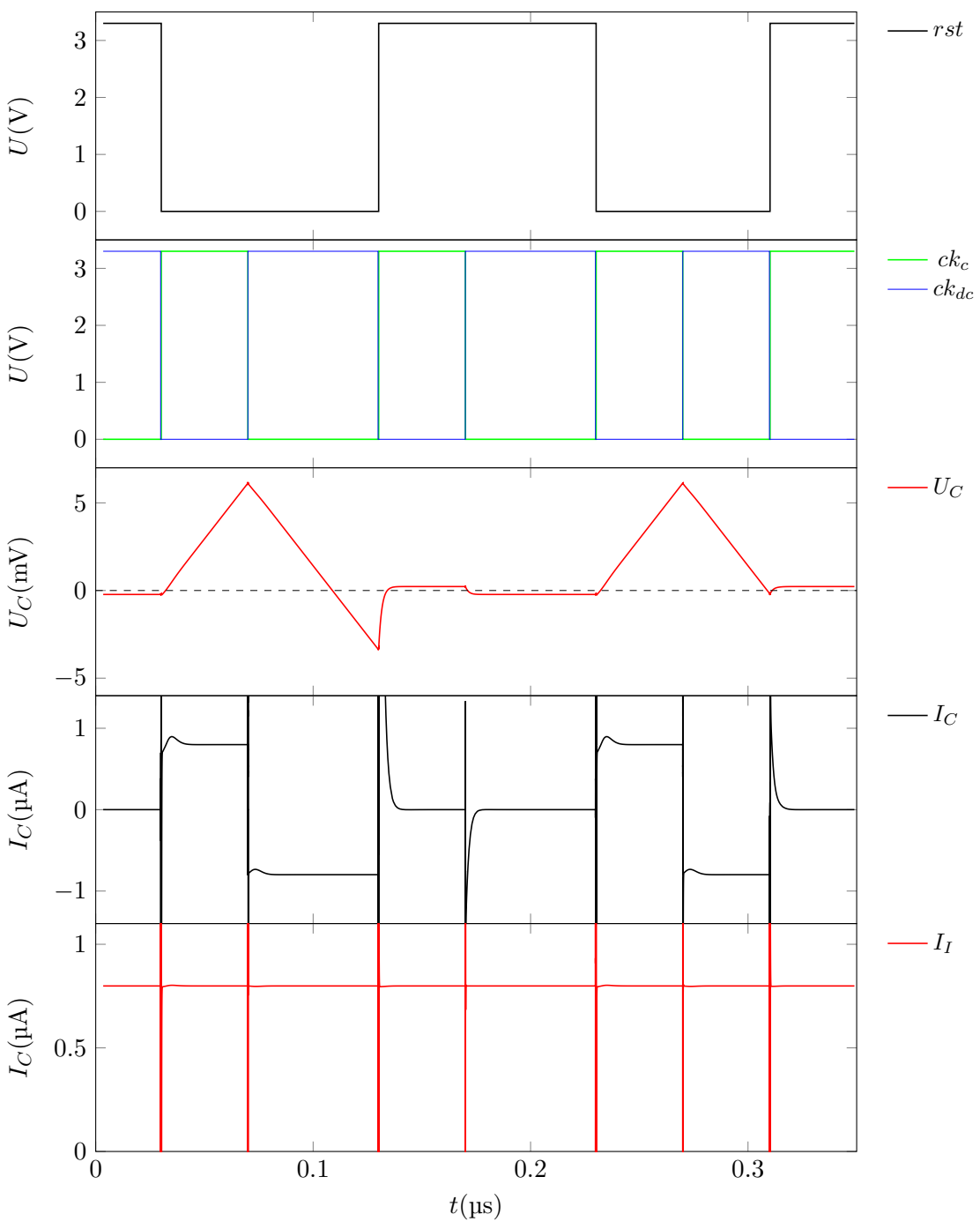


Abb. 2.20.: Simulation der Kondensatorspannung U_C und des Kondensatorstromes I_C bei unsymmetrischer (60 ns Lade-, 40 ns Entladezeit) und bei einer symmetrischen Lade- und Entladezeit von 40 ns

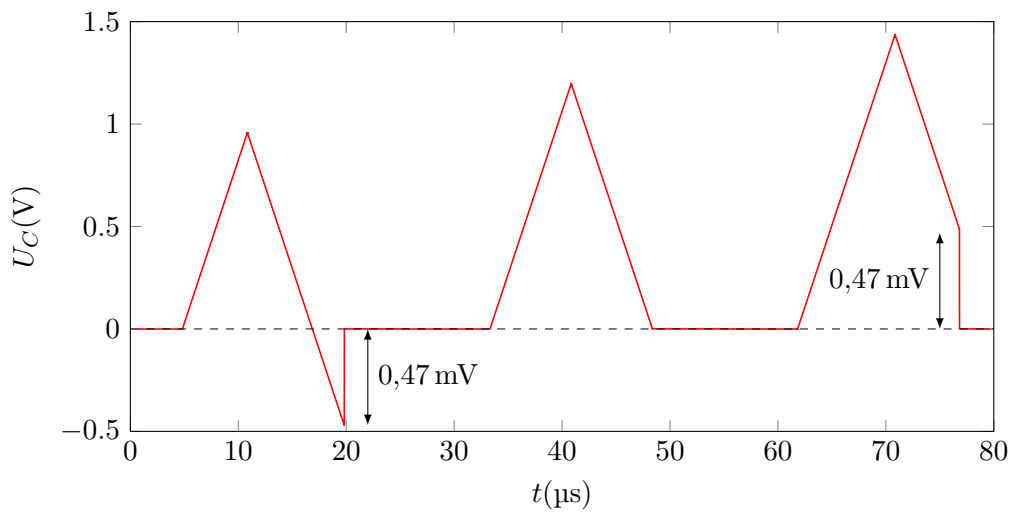


Abb. 2.21.: Simulation der Kondensatorspannung U_C für drei verschiedene Tastverhältnisse der Lade- Entladeansteuerung (40:60, 50:50 und 60:40)

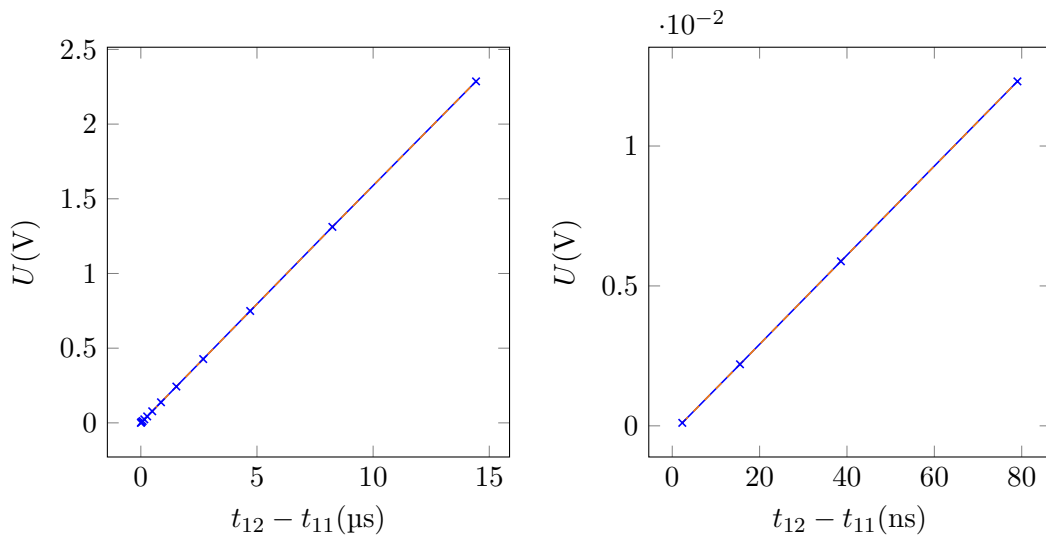


Abb. 2.22.: Kondensatorspannung (blau) zum Zeitpunkt der Auswertung durch den Komparator in Abhängigkeit zur Differenz von Lade- (t_{12}) und Entladezeit (t_{11}) des Integrators. Der erste Intervall beträgt hier 12 ns. Die rechte Grafik zeigt die ersten 100 ns vergrößert. In orange ist, strichliert, eine Gerade im Vergleich zur blauen Simulationskurve eingezeichnet.

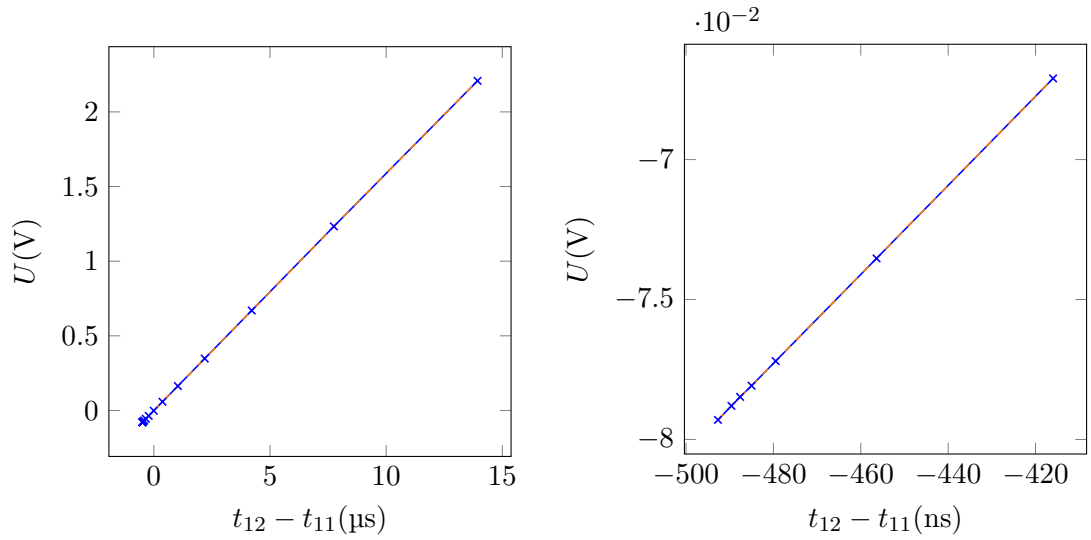


Abb. 2.23.: Simulation wie in Abbildung 2.22, jedoch mit längerem ersten Intervall $t_{11} = 505 \text{ ns}$

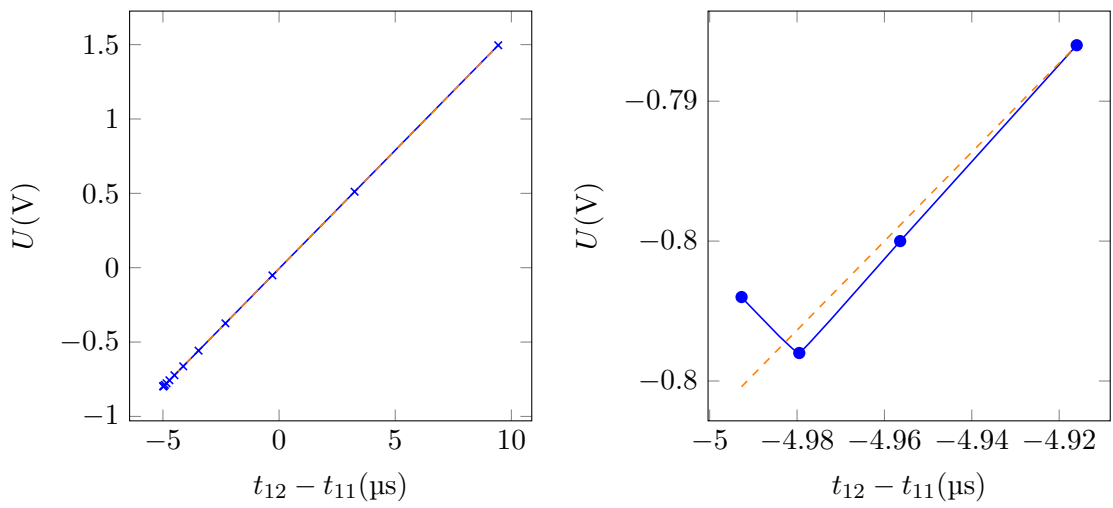


Abb. 2.24.: Simulation wie in Abbildung 2.22, jedoch mit längerem ersten Intervall $t_{11} = 5 \mu\text{s}$

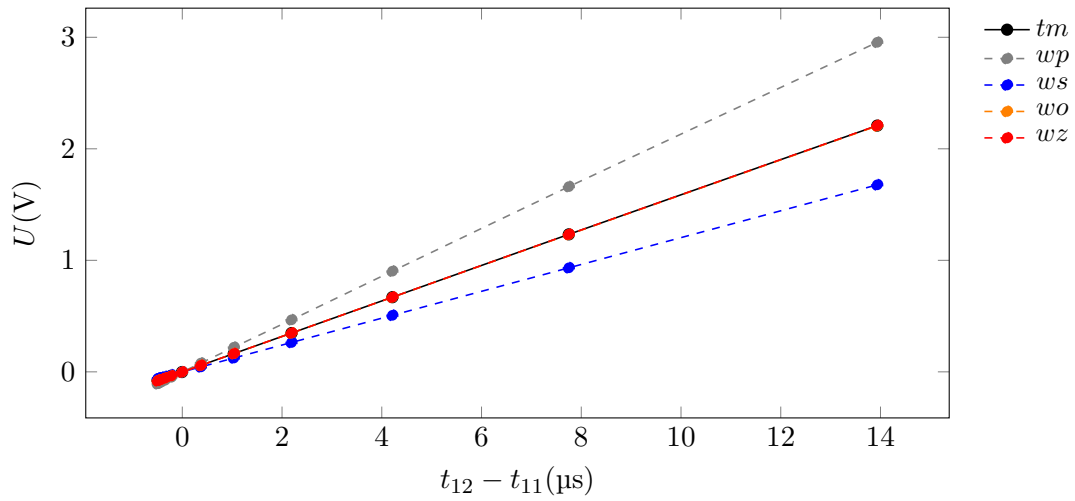


Abb. 2.25.: „Corner“-simulation mit $t_{11} = 505$ ns. Es werden Simulationsparameter für die Grenzfälle der, vom Hersteller (X-FAB), spezifizierten Toleranzen, des verwendeten Prozesses, verwendet. tm ... typical mean, wp ... worst case power, ws ... worst case speed, wo ... worst case one, wz ... worst case zero

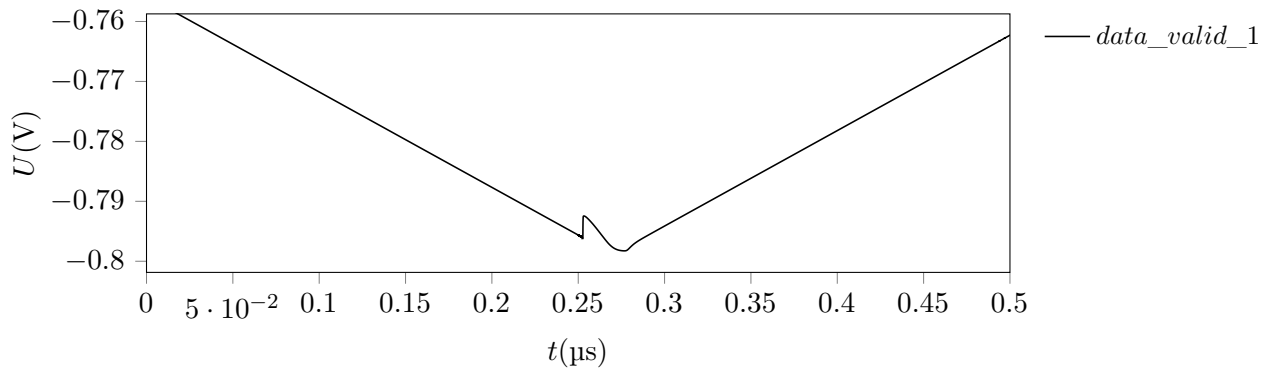


Abb. 2.26.: Einschwingvorgang im Umladezeitpunkt bei 5 μs Entladezeit vor dem Schaltzeitpunkt.

2.5.4. Einstellbare Stromquelle

In der Integratorschaltung wird ein konstanter Strom zur Ladung des Kondensators benötigt. Dieser wird durch die, in Abbildung 2.27 abgebildete, Konstantstromquelle bereitgestellt, welche am Ausgang einen konstanten, durch eine Regelspannung am nicht invertierenden Eingang des OPV variierbaren, Strom im sub μA Bereich liefert. Der verwendete OPV ist ident mit dem in der Integratorschaltung und dient zum Nachregeln der Spannung am MOSFET T_{CS1} .

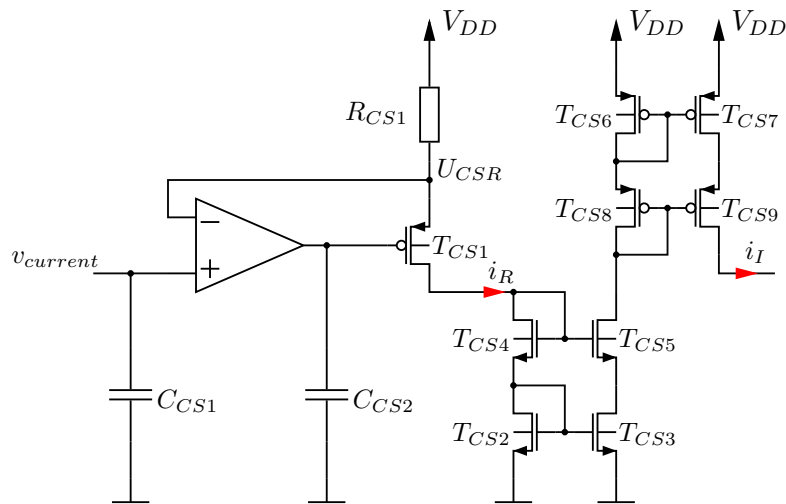


Abb. 2.27.: Konstantstromquelle

Die Regelung geschieht durch die, an den invertierenden Eingang rückgekoppelte, Spannung U_{CSR} zwischen Widerstand und p-Kanal MOSFET. Fließt ein zu geringer Strom durch den Widerstand, ruft dieser einen zu geringen Spannungsabfall hervor und es wird folgedessen eine zu hohe Spannung rückgekoppelt. Durch die invertierende Konfiguration des OPVs verringert sich dessen Ausgangsspannung und führt damit zu einer Erhöhung der Gate-Source Spannung des Regel-MOSFETs. Somit steigt der Strom in diesem Pfad wieder und bei zu hohem Strom tritt die Regelung im entgegengesetzten Sinn in Kraft. In Abbildung 2.20 ist die Konstanz des so erreichten Stromes bereits ersichtlich.

Die Höhe des eingestellten Stromes ergibt sich aus der Differenz von Versorgungsspannung und Regelspannung $V_{DD} - U_{CSR}$, dem Widerstand von $300\text{ k}\Omega$ und dem Spiegelverhältnis der nachgeschalteten Stromspiegel. Die Stromspiegel bewirken eine bessere Entkopplung vom strombestimmenden Regelpfad und ermöglichen durch ihr Spiegelverhältnis, die Verwendung eines kleineren Widerstandes zur Strombestimmung. Die Verkleinerung des Widerstandes ist gewünscht, da die Herstellung eines Widerstandes mit einigen $100\text{ k}\Omega$ einen hohen Einsatz an Chipfläche benötigt. Als weitere Maßnahme zur Erlangung eines möglichst konstanten Stroms, wurden kaskodierte Stromspiegel verwendet. Dadurch er-

hört sich der Ausgangswiderstand der Stromquelle und die Schaltung nähert sich weiter einem idealeren Verhalten an.

$$I_{out} \approx \frac{V_{dd} - v_{current}}{R_{CS1}} \cdot \frac{\left(\frac{W}{L}\right)_{CS3}}{\left(\frac{W}{L}\right)_{CS2}} \cdot \frac{\left(\frac{W}{L}\right)_{CS7}}{\left(\frac{W}{L}\right)_{CS6}}$$

Die Kondensatoren am OPV Ein- und Ausgang sollen für ein möglichst ruhiges Potential sorgen und dienen ebenfalls als Stabilisierungsmaßnahme des Stromes.

Das Simulationsergebnis in Abbildung 2.28 zeigt den nominalen Einstellbereich der Stromquelle. Der Maximalstrom beträgt 868 nA und kann bis 0 A verringert werden.

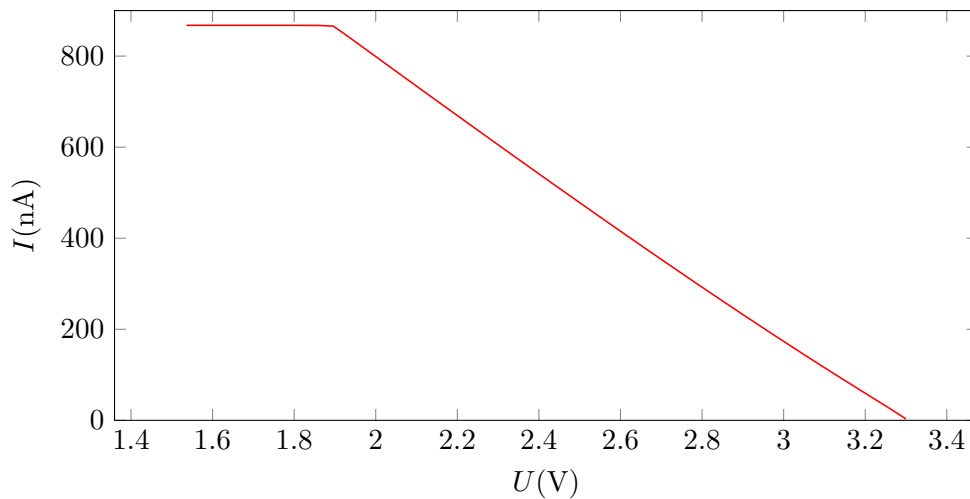


Abb. 2.28.: Kennlinie der Stromquelle zur Bereitstellung des Integratorstromes

2.5.5. Komparator

Wie bereits in Unterabschnitt 2.4.4 „Komparator und Ausgangssignalgenerierung“ beschrieben, muss die Auswertung der Komparatoreingangsspannung getaktet erfolgen, um diese Aufgabe zu erfüllen, wurde die folgende Schaltung entworfen.

Die verwendete Topologie (Abbildung 2.29) erlaubt das Ausgleichen eines herstellungsbedingten Spannungsoffsets, am Eingang des Komparators, durch eine externe Spannung an einem zusätzlichen Eingangspaar.[11] Diese beiden Paare werden durch die Gates der MOSFETs T_1 , T_2 und T_3 , T_4 gebildet.

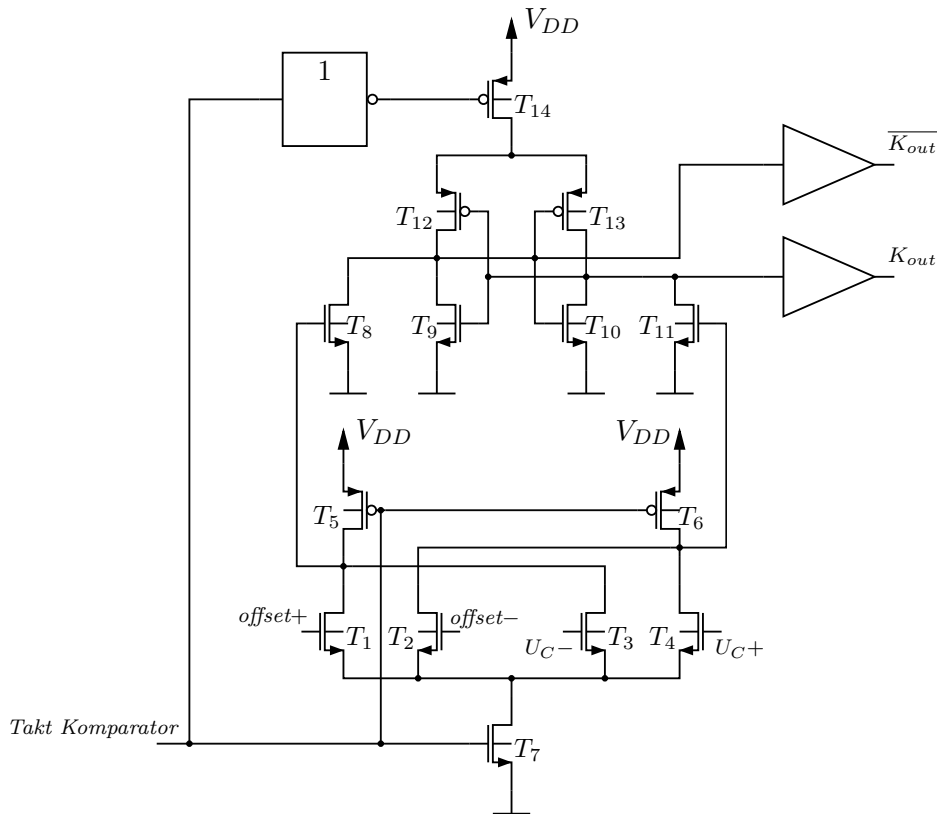


Abb. 2.29.: Auswertekomparator mit zwei Eingangspaaren

Liegt die auszuwertende Spannung, wie in diesem Fall, zwischen den Gates von T_3 und T_4 an, so kann man durch eine, extern an den Chip angelegte, Spannung zwischen den Gates von T_1 und T_2 einen Offset kompensieren.

Die untere Hälfte in Abbildung 2.29 stellt den eigentlichen Komparator, also eine Art Differenzverstärkerstufe, dar. Diese ist nur für einen kurzen Moment aktiv, wenn die Taktleitung auf „high“ springt. Es wird dabei der n-Kanal MOSFET T_7 leitend, gleichzeitig bewirkt das Taktsignal aber auch die Deaktivierung des Strompfades durch diesen Schaltungsteil durch die p-Kanal MOSFETs T_5 und T_6 . Durch T_{14} wird die Kippstufe in der oberen Hälfte zur selben Zeit in Betrieb genommen. Durch eine Spannungsdifferenz zwischen den Eingangssignalen U_{C+} und U_{C-} kommt es zu einer Stromdifferenz durch T_1 und T_2 . Folgedessen entsteht eine Potentialdifferenz am Gate von T_8 und T_9 , welche beim Inbetriebnahmezeitpunkt der Kippschaltung, diese in einen definierten Zustand leitet. Liegt zwischen $offset+$ und $offset-$ eine Differenzspannung, so verursacht diese ebenfalls eine Stromdifferenz in den Differenzverstärkerzweigen, die sich zur der des anderen Eingangspaares addiert.

Die Kippschaltung besteht aus zwei Invertern, von denen jeweils der Ausgang auf den Eingang des anderen geführt ist. Dadurch hält sich diese Stufe, wenn sie in einen Zustand

gebracht wurde, selbst in diesem, bis die Versorgung des Schaltungsteiles wieder durch T_{14} unterbrochen wird.

An den Ausgängen dieser Schaltung, invertiert und nicht invertiert, sind jeweils zwei Inverterstufen geschaltet. Dadurch kann die Kippschaltung nicht von der Last am Ausgang beeinflusst werden und die Komparatorstufe ist in der Lage ausreichend Strom treiben zu können.

Das verwendete Taktsignal in der abgebildeten Simulation (Abbildung 2.30) besitzt eine Pulsbreite von 15 ns. Damit arbeitet die Schaltung im Bereich der maximal zu erwartenden Geschwindigkeiten und sie kann dabei die Eingangsimpulse noch gut verarbeiten. Man erkennt wie der Komparator bei der steigenden Flanke den Vergleich vornimmt und das Ergebnis, für die Zeit währenddessen das Taktsignal aktiv ist, am Ausgang hält. Eine Differenzspannung am zweiten Eingang addiert sich zur eigentlichen Eingangsspannung, verschiebt so die Entscheidungsschwelle und ermöglicht den erwähnten Ausgleich eines parasitären Komparatoreingangsoffsets.

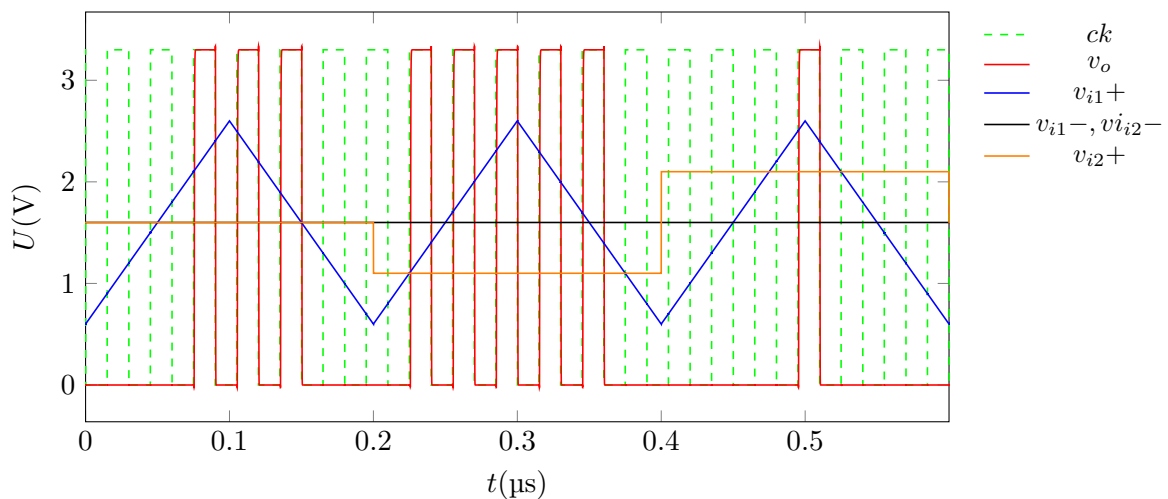


Abb. 2.30.: Ausgangssignal des Komparators in Abhängigkeit vom Taktsignal und der Spannung am Eingangspaar T_3, T_4 .

Zur Überprüfung, wie sehr der Eingangsoffset variiert, wurde eine Monte-Carlo Analyse durchgeführt. Es kam zu einer Standardabweichung von 21 mV des Eingangsoffsets, welcher in dieser Simulation einen durchschnittlichen Offset von 2,1 mV zeigte (Abbildung 2.31). Dieser Offset kann durch eine extern angelegte Spannung kompensiert werden. Größere Transistoren T_1 bis T_4 würden den Offset verringern, aber auch mehr Störungen, aufgrund des Schaltens des Komparators, an den OPV-Ausgang und somit der Spannung U_C einkoppeln.

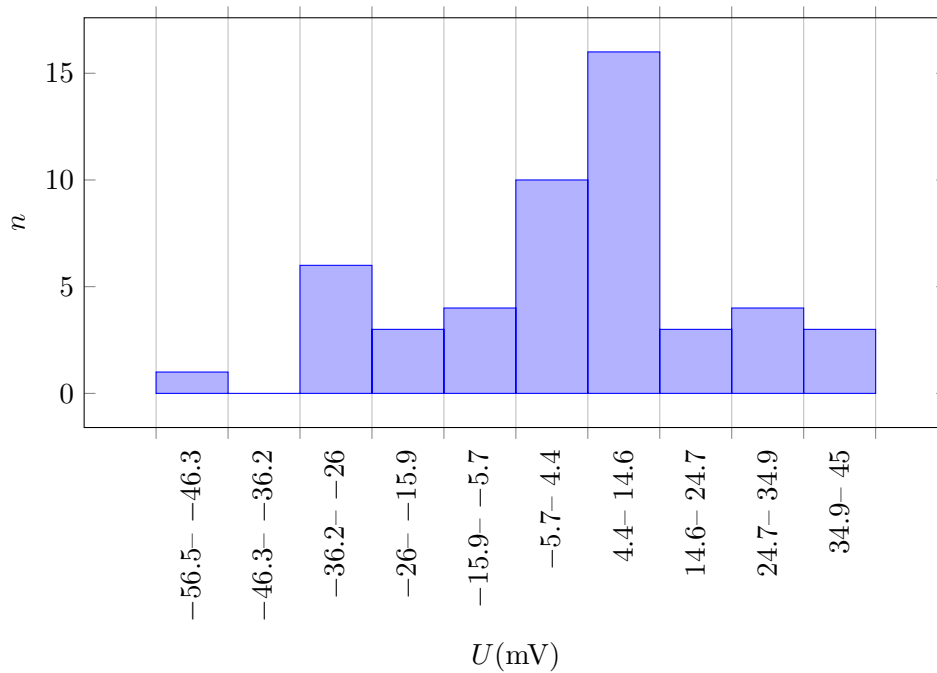


Abb. 2.31.: Histogramm des Komparatoroffsets am Eingang. Berechnet mittels Monte-Carlo Analyse mit 50 Durchläufen. (Durchschnittswert: 2,1 mV, Standardabweichung: 20,8 mV)

2.5.6. T-FlipFlop

Ein T-FlipFlop kann schaltungstechnisch als D-FlipFlop, dessen invertierter Ausgang an den Eingang rückgekoppelt wird, realisiert werden. Der Takteingang agiert dann als Eingang des T-FlipFlops.

Da diese Rückkopplung bei einer Realisierung des D-FlipFlops mit logischen Gattern, durch deren fehlende Trennung der Eingangssignalerkennung und der Ausgangssignalgenerierung, zu Problemen führt, wird die Schaltung in Abbildung 2.32 verwendet. Dieser Ansatz trennt Eingabe und Ausgabe zeitlich und lässt weiters das Rücksetzen der Schaltung, unabhängig vom Takt, zu. Realisiert wird die Reset-Funktion, welche für einige Schaltungsteile notwendig ist, durch die beiden MOSFETs T_{rst1} und T_{rst2} .

Die Schaltung funktioniert durch diesen Aufbau taktflankengesteuert. Nach einer steigenden Flanke am Takteingang, unterbricht das Transmission-Gate TG_1 die Verbindung zum Dateneingang. Durch die beiden Inverter und das nun geschlossene Transmission-Gate TG_2 , hält sich der zum Zeitpunkt der Flanke anliegende Eingangszustand selbst. In diesem Zeitintervall ist auch TG_3 leitend und der gespeicherte Zustand wird an den Ausgang

ausgegeben. Durch TG_4 hält sich der Zustand am Ausgang auch dann selbst, wenn die Taktleitung „low“ ist, bis dass der nächste Impuls am Takteingang anliegt.

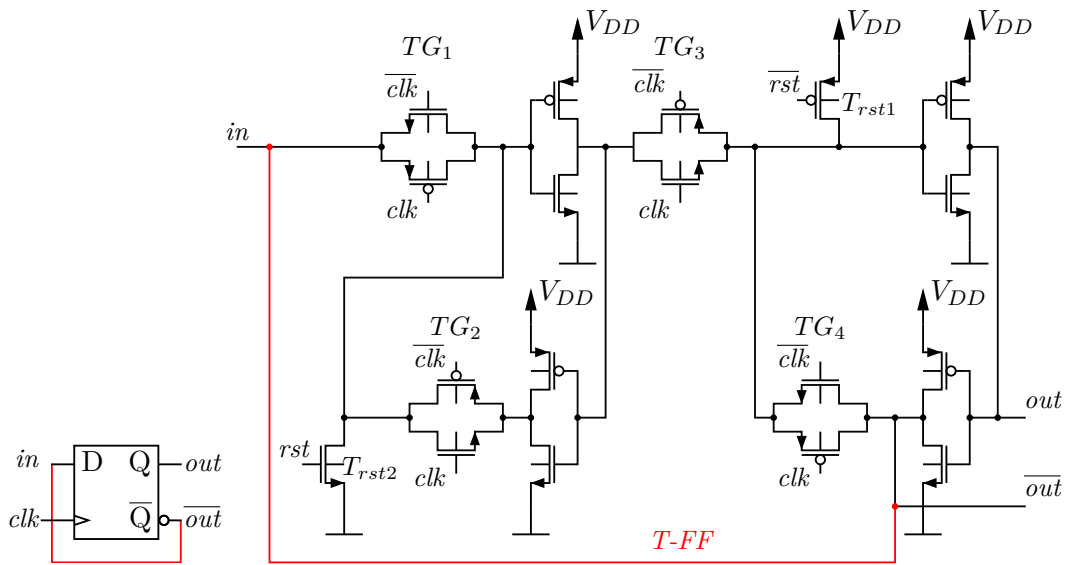


Abb. 2.32.: D-FlipFlop mit eingezeichneter Rückkopplung zur Konfiguration als T-FF

2.5.7. Zeitverzögerungen und Impulse

In Kapitel 2.4.4 „Komparator und Ausgangssignalgenerierung“ wurde bereits die Verwendung von Signalverzögerungen und Impulsen definierter Länge angesprochen. Um diese zu erreichen wurde ein Schaltungsblock, bestehend aus einer Inverterkette, geschaffen, welcher einen Eingangsimpuls um etwa 3 ns verzögert. Die Abstimmung der Gatelängen und -breiten geschah, unter Berücksichtigung der Flankensteilheit und ausreichender Symmetrie der verzögerten Impulse, mit Hilfe der Schaltungssimulation.

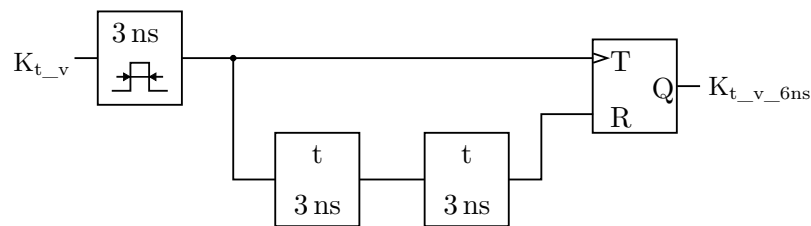


Abb. 2.33.: Schaltung zur Generierung eines 6 ns Impulses

Zur Generierung eines mindestens 6 ns andauernden Impulses dient ein T-FlipFlop mit Reset, bei dem, der auf 3 ns beschränkte Eingangsimpuls den Ausgang auf „high“ setzt und dasselbe Eingangssignal um 6 ns verzögert den Reset-Eingang des FlipFlops ansteuert und so den Ausgang der Struktur wieder auf „low“ rücktsetzt. Die Beschränkung des Eingangssignals auf 3 ns verhindert, dass ein länger andauernder Eingangsimpuls das FlipFlop

zu lange im Reset-Zustand hält und so das Schaltungselement für nachfolgende Impulse sperrt.

Der 3 ns Impuls wird durch ein D-FlipFlop erreicht, welches nach 3 ns rückgesetzt wird. Das Eingangssignal dieses FlipFlops dient, kurz verzögert, gleichzeitig als Taktsignal, so ist sichergestellt, dass beim Auslösen des Taktes am Eingang bereits der richtige Pegel anliegt.

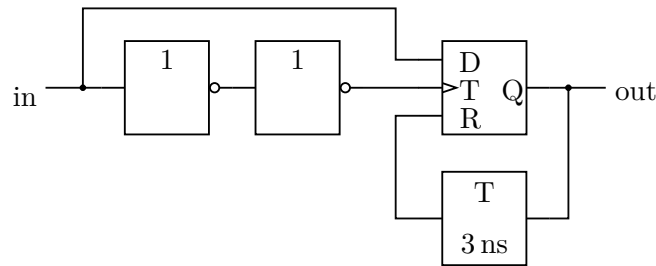


Abb. 2.34.: Umwandlung eines beliebig langen Eingangspulses in ein 3 ns dauerndes Signal

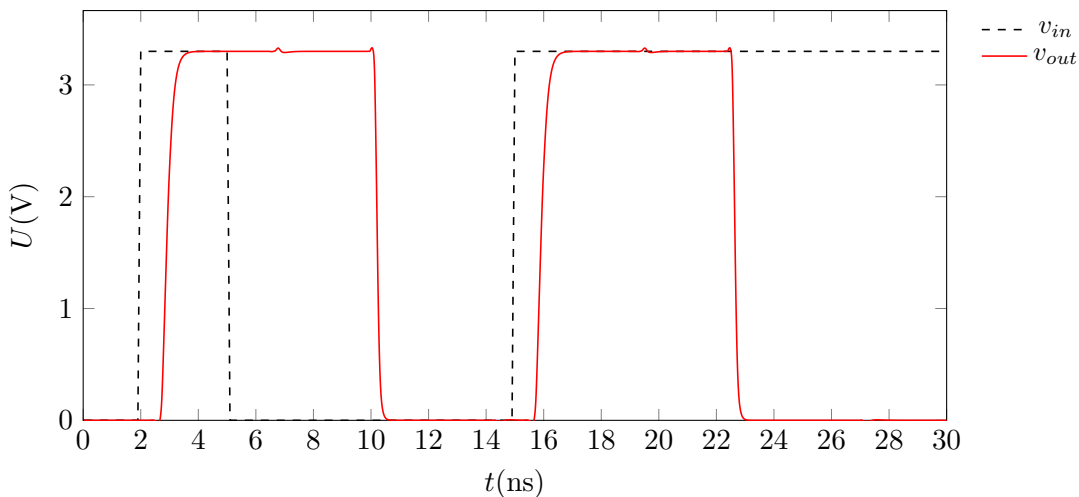


Abb. 2.35.: Reaktion der 6 ns Impulsbegrenzungsschaltung auf kurze und lange Eingangsimpulse

Die in Abbildung 2.35 dargestellte Simulation der Schaltung aus Abbildung 2.33 zeigt, dass kürzere Impulse auf die geforderte Länge ausgedehnt und längere Eingangssignale entsprechend gekürzt werden. Dass der Ausgangsimpuls mit 7 ns etwas länger dauert als gefordert, wäre durch Anpassung der Verzögerungsschaltung zwar anpassbar, jedoch hat der etwas längere Impuls keine Auswirkung auf die Funktion der Schaltung, da sich diese Dauer, auch bei maximal möglicher Ausgangspulsfolge des SPAD-Quenchers, nicht limitierend auswirkt.

2.5.8. Endstufe

Um auch bei Lasten bis zu $50\ \Omega$ ausreichende Ausgangspegel bieten zu können, dient eine Reihe von sechs Invertern, mit immer breiter werdenden Gates, als Treiberstufe. Mit Hilfe der Simulation wurden die Gate-Längen und Breiten der n- und p-Kanal MOSFETs bezüglich Flankensteilheit und Ausgangspegel angepasst. Mit Rücksicht auf die Chipfläche muss andererseits jedoch auch ein Kompromiss gefunden werden, um nicht zu verschwenderisch mit dieser umzugehen. Als Resultat der Simulation wurde der letzte p-Kanal MOSFET der Inverterkette mit einer Gatebreite von $1050\ \mu\text{m}$ bei einer Gatelänge von $0,5\ \mu\text{m}$ ausgeführt. Der zugehörige n-Kanal MOSFET wurde mit $750\ \mu\text{m}$ Gatebreite und $0,5\ \mu\text{m}$ Gatelänge ähnlich dimensioniert.

Mit dieser Auslegung wurde, laut der Simulation in Abbildung 2.36, eine Spannung von $2,87\ \text{V}$ an einer ohmschen Last von $50\ \Omega$ erreicht und somit liefert die Schaltung einen ausreichenden Spannungspegel, dass die meisten $3,3\ \text{V}$ Logik-Bausteine einen einwandfreien „high“ Pegel erkennen können. Die Flankensteilheit beträgt in dieser Konfiguration etwa $100\ \text{ps}$ für die steigende, als auch fallende Flanke.

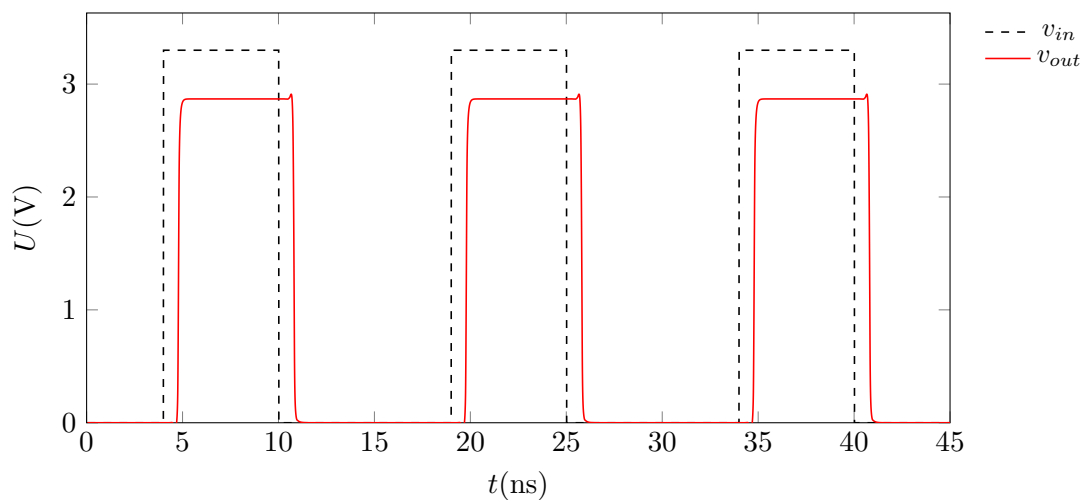


Abb. 2.36.: Simulation der Ausgangsspannung bei Stimulation mit $50\ \Omega$ und einem Eingangspuls mit $6\ \text{ns}$ Breite

2.6. Gesamtschaltung

Mit den einzelnen Baugruppen der vorangegangenen Kapitel, kann nun die Gesamtschaltung aus Abbildung 2.5 zusammengesetzt werden. Die Versorgung einzelner Schaltungsblöcke wurde dabei getrennt durchgeführt, um eine gegenseitige Beeinflussung der Funktions-

gruppen über die Versorgungsspannung zu unterdrücken. Das daraus folgende Pinlayout des Chips ist in Abbildung 2.37 angeführt.

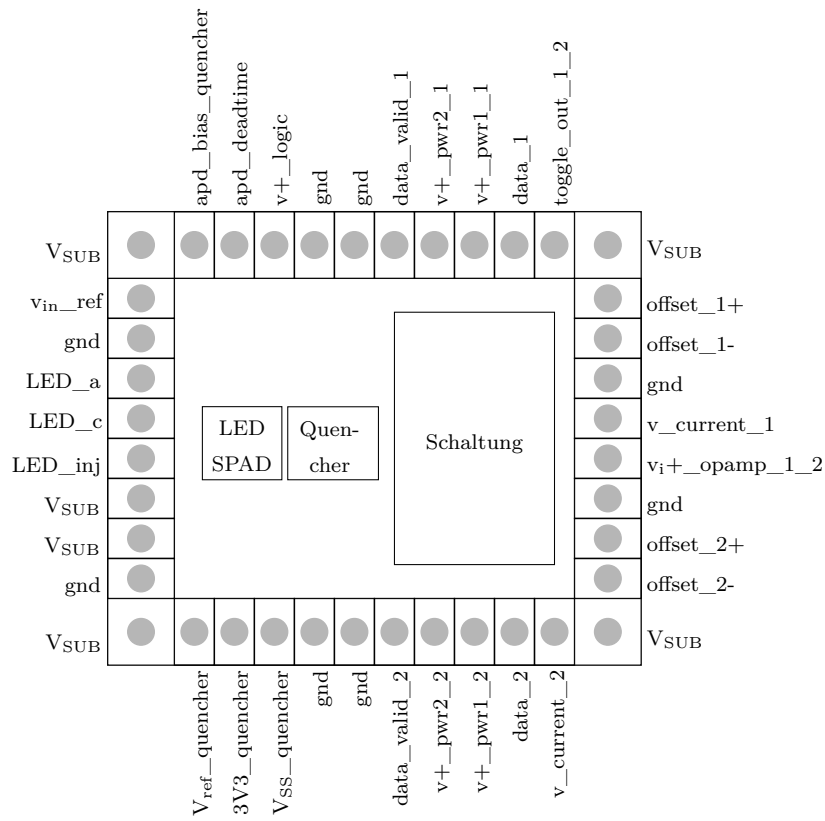


Abb. 2.37.: Padkonfiguration des Zufallszahlengenerators

Pad	Beschreibung
data_valid_1	Datenfreigabesignal Zweig 1
data_1	Datenbitausgang Zweig 1
data_2	Datenbitausgang Zweig 2
data_valid_2	Datenfreigabesignal Zweig 2
apd_bias_quencher	Biasspannung Quencher
apd_deadtime	Totzeitregulierung des Quenchers
toggle_out_1_2	Invertierung jedes zweiten Datenbits
offset_1+	Offsetkompensation Komparator Zweig 1 +
offset_1-	Offsetkompensation Komparator Zweig 1 -
v_current_1	Integratorladestrom Regelspannung Zweig 1
vi+_opamp_1_2	Integrator-OPV Eingangsspannung invertierender Eingang
offset_2+	Offsetkompensation Komparator Zweig 2 +
offset_2-	Offsetkompensation Komparator Zweig 2 -
v_current_2	Integratorladestrom Regelspannung Zweig 2
V_ref_quencher	Referenzspannung des Quenchereingangs
vin_ref	„high“-Entscheidungsschwelle Interfaceschaltung

v+_logic	Versorgungsspannung der entworfenen Interfaceschaltung
v+_pwr2_1	Versorgungsspannung des Datenfreigabeausgangstreiber Zweig 1
v+_pwr1_1	Versorgungsspannung des Datenausgangstreibers Zweig 1
v+_pwr1_2	Versorgungsspannung des Datenausgangstreibers Zweig 2
v+_pwr2_2	Versorgungsspannung des Datenfreigabeausgangstreiber Zweig 2
3V3_quencher	Positive Versorgungsspannung des Quencher
V _{SS} _quencher	Negative Versorgungsspannung des Quencher (-3,3 V)
gnd	Masseanschlüsse
V _{SUB}	Substratanschluss
LED_inj	Anschluss des Injektionsgebietes der LED
LED_c	Kathodenanschluss der LED
LED_a	Anodenanschluss der LED

Tabelle 2.2.: Signalüberblick der integrierten Schaltung

Zur Simulation der Gesamtschaltung werden parasitäre Eigenschaften der Chipbeschaltung versucht mit einzubeziehen. Zur Berücksichtigung der Bonddrähte dient eine Serieninduktivität, welche mit der Faustformel 1 nH mm^{-1} dimensioniert wurde. Die Länge dieser Anschlussdrähte wird mit ungefähr 1 mm abgeschätzt und als Serienwiderstand $0,1 \Omega$ angenommen. Diese Werte wurden bei den einzelnen Pins leicht variiert, damit sich die Störungen nicht gegenseitig völlig aufheben können. Die Belastung an den Ausgangspins wurde mit einer Parallelschaltung von 50Ω mit 600 fF nachgestellt.

Anstatt der am Chip verbauten LED-SPAD Kombination, kam eine Impulstromquelle mit parallel geschaltetem Kondensator zur Verwendung. Der Strom entlädt den Kondensator und wenn die Spannung unter die Referenzspannung des Quencher sinkt, wird dieser getriggert und sorgt damit für einen Quenchvorgang. Der Kondensator wird daraufhin entladen und ein Impuls, der als Eingangsimpuls der vorgestellten Schaltung dient, wird erzeugt (U_Q).

Zur Simulation des Stromverbrauches der entwickelten Schaltung (ohne LED-SPAD, Quencher und Treiber), wurden zwei Extremfälle simuliert. Zur Ermittlung des Stromverbrauchs im Bereich der maximalen Impulsfolge, wurde ein periodisches Signal an den Eingang des Quencher gelegt, welches eine Periodendauer von 10 ns aufwies. Unter diesen Voraussetzungen ergab sich ein Mittelwert der Stromaufnahme von $984 \mu\text{A}$ am Pin "v+_logic". Der entgegengesetzten Fall wurde mit einer Periodendauer von $10 \mu\text{s}$ repräsentiert. In diesem Fall wurde durch die Simulation eine mittlere Stromaufnahme von $330 \mu\text{A}$ ermittelt. Somit ergibt sich, für die Versorgungsspannung von $3,3 \text{ V}$, eine simulierte Leistungsaufnahme der Auswerteschaltung, zwischen $1,09 \text{ mW}$ und $3,25 \text{ mW}$.

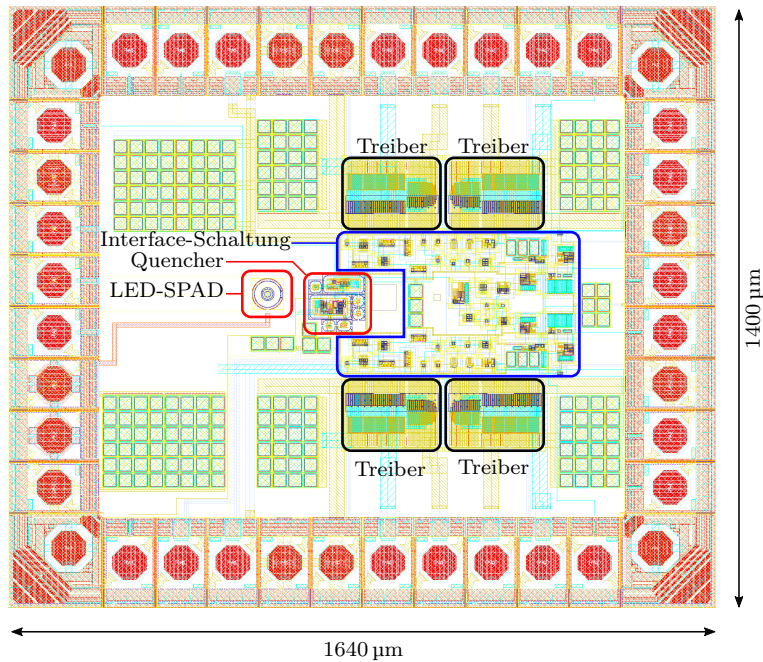


Abb. 2.38.: Layout des Chips mit eingezeichneten Funktionsbereichen

Die hier abgebildete Simulation (Abbildung 2.39), zeigt die verschachtelte Funktionsweise der beiden Ausführungswege. Es sind die Ausgangsimpulse für die zwei Fälle von längerem ersten und längerem zweiten Intervall zwischen den Eingangsimpulsen abgebildet. Ist der Intervall t_{12} länger als t_{11} wird zusätzlich zum „high“ Pegel am Datenfreigabeausgang (data_valid_1) des ersten Zweiges, ein „high“ Pegel am zugehörigen Datenausgang (data_1), mit der geforderten längeren Dauer, ausgegeben. Während der Vergleich von t_{21} und t_{22} im zweiten Zweig stattfindet, wird der Integrationskondensator vom ersten Zweig entladen und am Ende dieser Periode an data_valid_2 und data_2 das Ergebnis ausgegeben. Im abgebildeten Ausschnitt ist für beide Zweige, zuerst der Fall eines kürzeren ersten Intervalls und folgend der umgekehrte Fall, illustriert. Die aus der Simulation gewonnen Erkenntnisse, entsprechen auch bei der Gesamtschaltung den Erwartungen. Durch die Modellierung der Leitungseigenschaften der Bonddrähte mittels Induktivitäten und Widerständen, werden durch die fließenden Ströme Störungen in die jeweils anderen Zweige eingekoppelt und es kommt zu Einschwingvorgängen. Diese Auswirkungen sind zwar in Abbildung 2.40 ersichtlich, nehmen jedoch keine besorgniserregende Größe an.

Auch unter Miteinbeziehung parasitärer Kapazitäten, mit Hilfe der Postlayout Simulation, funktioniert die Schaltung. Es zeigen sich wieder Einschwingvorgänge, aber auch in diesem Fall sind die Amplituden dieser nicht so groß, dass sie die Funktion beeinträchtigen würden (Abbildung 2.41 und 2.42).

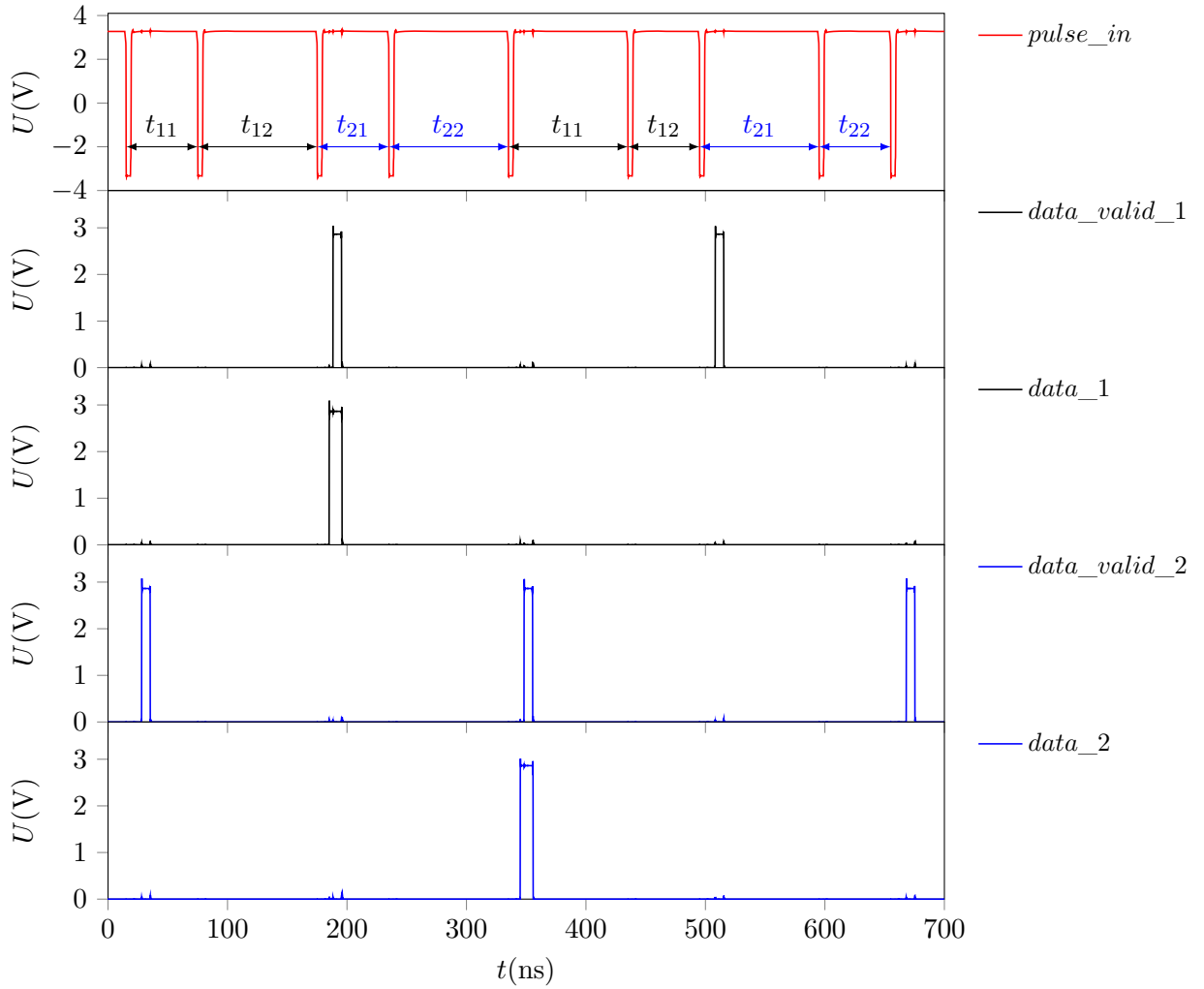


Abb. 2.39.: Simulation der Gesamtschaltung. Abhängig von den Impulsabständen der Eingangsimpulse wird am Datenausgang ein „high“ oder „low“ Pegel erzeugt.

Mit Hilfe der Monte-Carlo Simulation wurde die Variation der Impulsbreite überprüft. In Abbildung 2.43 ist das Ergebnis dieser Analyse für die Impulsdauer des „data_1“ und „data_valid_1“ Ausgangssignals dargestellt. Abbildung 2.44 zeigt die Variation der Verzögerungszeit zwischen diesen beiden Signalen. Die Ergebnisse am zweiten Auswertungskanal sind aufgrund des identen Aufbaus vergleichbar und liegen immer oberhalb der geforderten Mindestwerte.

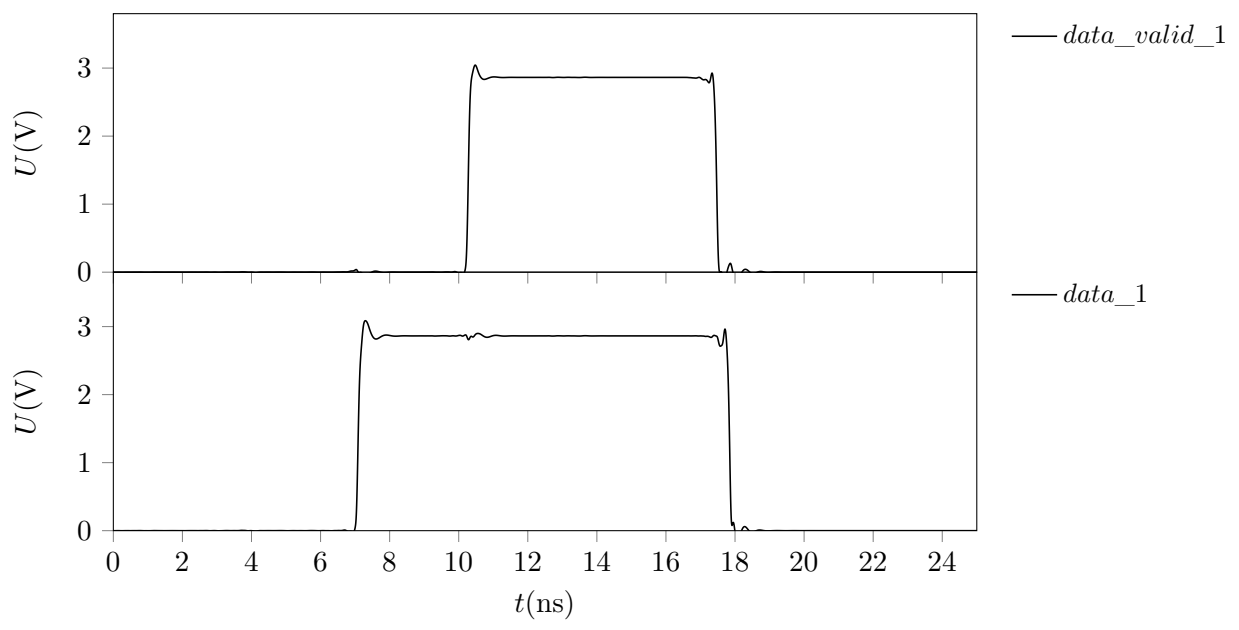


Abb. 2.40.: Vergrößertes Ausgangssignal aus Abb. 2.39. Durch die Simulation nicht idealer Bedingungen entsteht ein leichtes Einschwingen und gegenseitige Einkopplung leichter Störungen

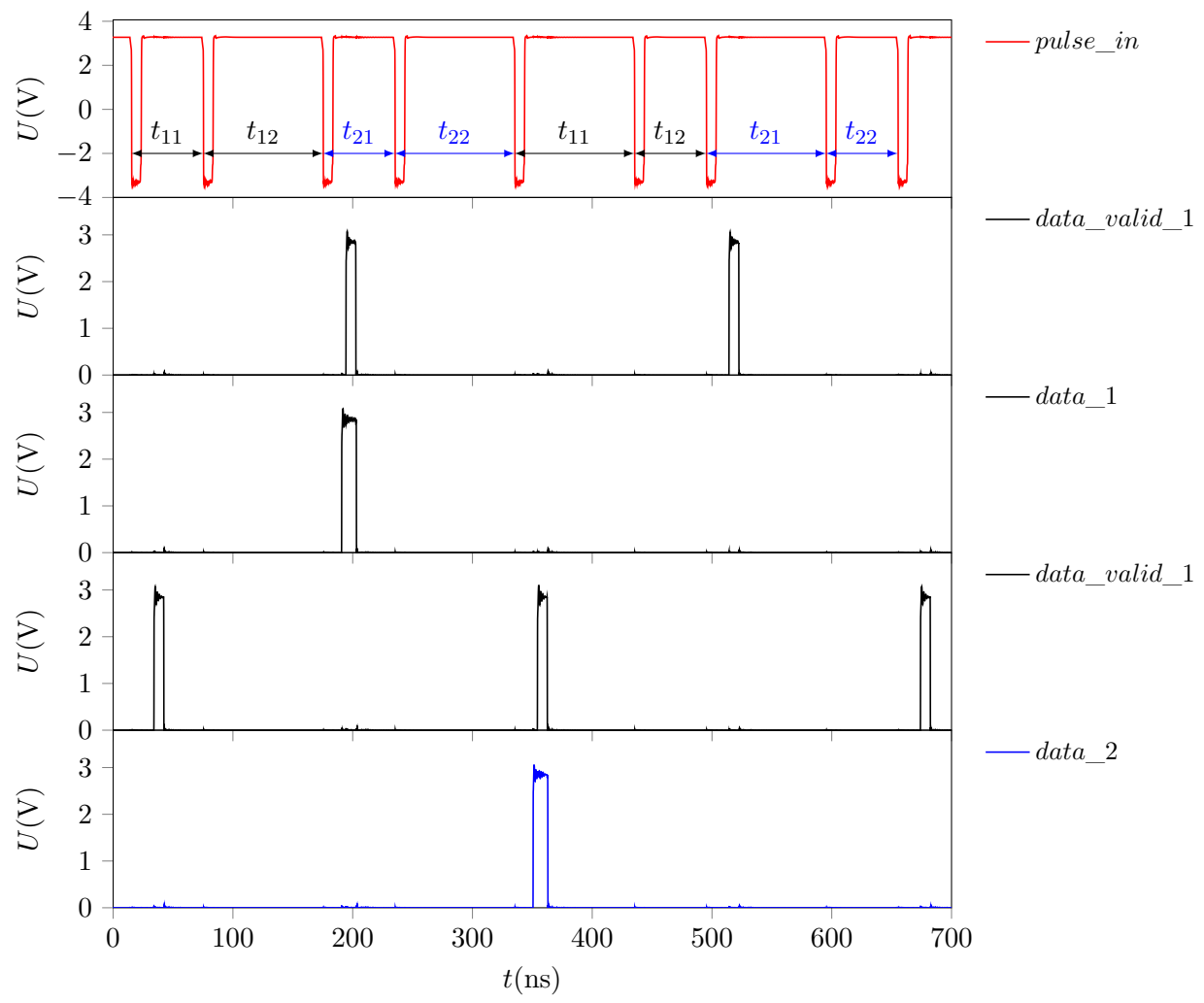


Abb. 2.41.: Wiederholung der Simulation aus Abb. 2.39, jedoch unter Miteinbeziehung der parasitären Effekte aus der Postlayout-Simulation

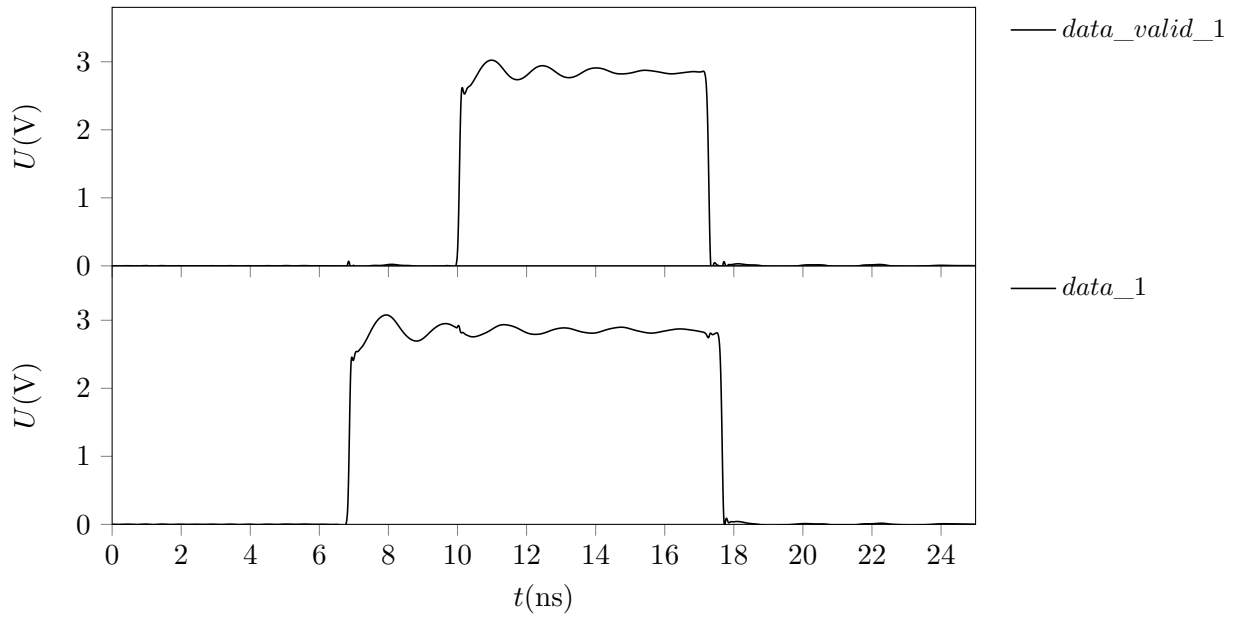


Abb. 2.42.: Vergrößertes Ausgangssignal aus Abb. 2.41. Die Berücksichtigung parasitärer Kapazitäten verursacht Einschwingvorgänge, deren Amplitude und Zeitverläufe sich in weiterer Folge jedoch nicht negativ auswirken.

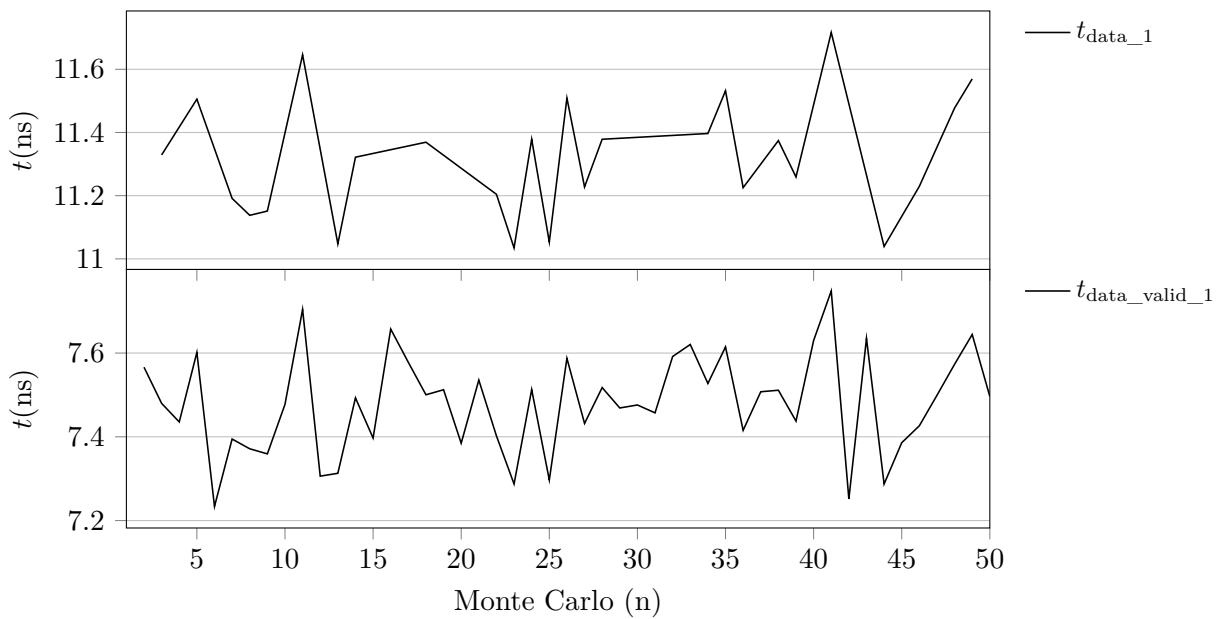


Abb. 2.43.: Variation der Ausgangssignaldauer, berechnet durch eine Monte-Carlo Analyse mit 50 Durchläufen ($\mu = 11,33 \text{ ns}$, $\sigma = 189,1 \text{ ps}$, $\mu = 7,48 \text{ ns}$, $\sigma = 119,4 \text{ ps}$)

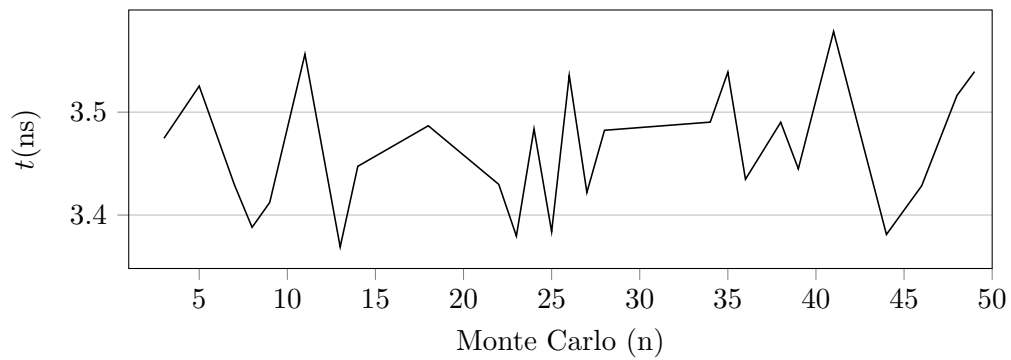


Abb. 2.44.: Monte-Carlo Analyse der Verzögerungszeit zwischen den beiden steigenden Flanken des „data“- und „data_valid“-Ausgangs ($\mu = 3,47$ ns, $\sigma = 60,5$ ps)

3. Messungen

Zur Inbetriebnahme des gefertigten Chips wurde eine Leiterplatte erstellt, auf die der Chip gebondet wurde. Sämtliche Steuerspannungen wurden über die compactRIO Plattform von National Instruments bereitgestellt. Die Speicherung der Zufallszahlen erfolgt ebenfalls mit einer Hardware von National Instruments, der myRIO, dessen FPGA eine ausreichende Geschwindigkeit besitzt, um den Datenstrom aufzunehmen. Die Abtastung der Schaltungsausgangspins „data_valid_1/2“ geschieht dabei mit 250 MHz. Die Steuerung dieser beiden Produkte wurde über LabVIEW realisiert, wobei zur Datenaufnahme auf ein bestehendes FPGA Programm am Institut zurückgegriffen werden konnte.

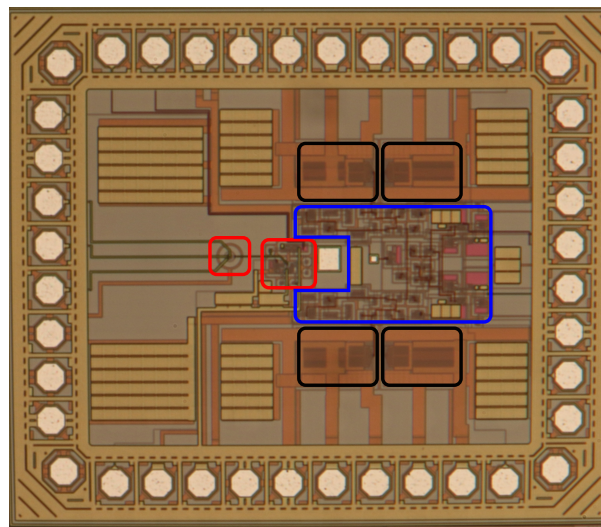


Abb. 3.1.: Fotografie des produzierten Chips. Rot: LED, SPAD und Quencher, Blau: die im Zuge dieser Arbeit entworfene Schaltung, schwarz: 50 Ω Treiber

Das Foto in Abbildung 3.1 zeigt den fertigen Chip, wobei mit den beiden roten Quadraten die LED-SPAD Kombination und der Quencher markiert sind. Die gesamte Signalverarbeitungskette, vom Eingangsverstärker bis zur Ausgangssignalgenerierung, ist blau umrandet und die vier schwarz markierten Bereiche zeigen die Ausgangstreiber. Die Abmessungen des gesamten Chips, mit den Bondpads, beträgt 1640 μm mal 1400 μm .

3.1. Testplatine

Der Entwurf der Testplatine für den gefertigten Chip wurde mit dem PCB-Layout Programm „CadSoft EAGLE“ vorgenommen.

Zur Platzierung von Blockkondensatoren sind an jedem Eingang Kondensatorpads vorgesehen, wobei jedes davon mit einem 100 nF Keramikkondensator bestückt wurde. Die Pins der Versorgungsspannungen werden zusätzlich mit zwei 10 μ F Kondensatoren gestützt. Bei der Substratspannung fanden, aufgrund der höheren benötigten Spannungsfestigkeit und des beschränkten Platzes, 1 μ F Typen Verwendung. Um ein einfaches wechseln der Testplatinen ermöglichen zu können, wurden die Anschlüsse der Eingangs- und Versorgungspins steckbar ausgeführt. Die vier Ausgangssignale werden mit SMA-Buchsen an die Peripherie weitergegeben. Damit ist die Nutzung von Koaxialkabeln zur Weiterleitung der, mit einer Impulsbreite von etwa 6 ns relativ breitbandigen, Ausgangssignale möglich.

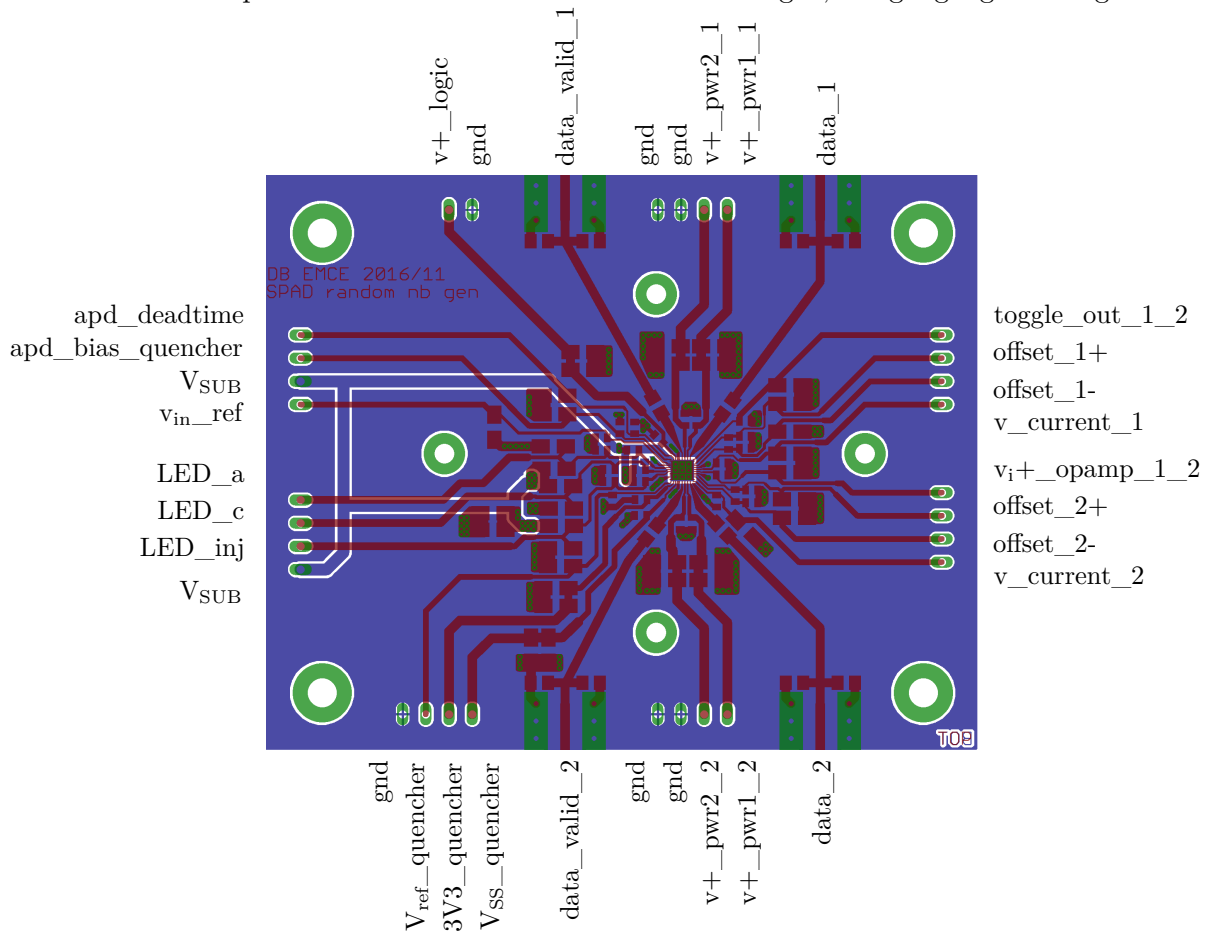


Abb. 3.2.: PCB-Layout des Chipträgers

Um die Möglichkeit zu haben, die Erwärmung des Chips kontrollieren zu können, wurden vier Montagelöcher vorgesehen und ein Kupferblock angefertigt, welcher als Kühlkörper an die Leiterplatte geschraubt werden kann. Dieses Setup erlaubt es, ein Peltier-Element zur Temperaturstabilisierung zu verwenden. Der zur Regelung notwendige Temperaturfühler kann in einer Bohrung des Kupferblocks angebracht werden.

Abbildung 3.2 zeigt das Layout des Chipträgers und die Signale der einzelnen Anschlusspins. Der oben erwähnte Kühlkörper kann mit den vier Bohrungen um den Chip befestigt werden. Als Isolierung, zusätzlich zum Lötstopplack, wurde zwischen Kupferblock und Leiterplatte ein nicht leitendes Wärmeleitpad platziert. Die fertig aufgebaute Schaltung ist in Abbildung 3.3 zu sehen.

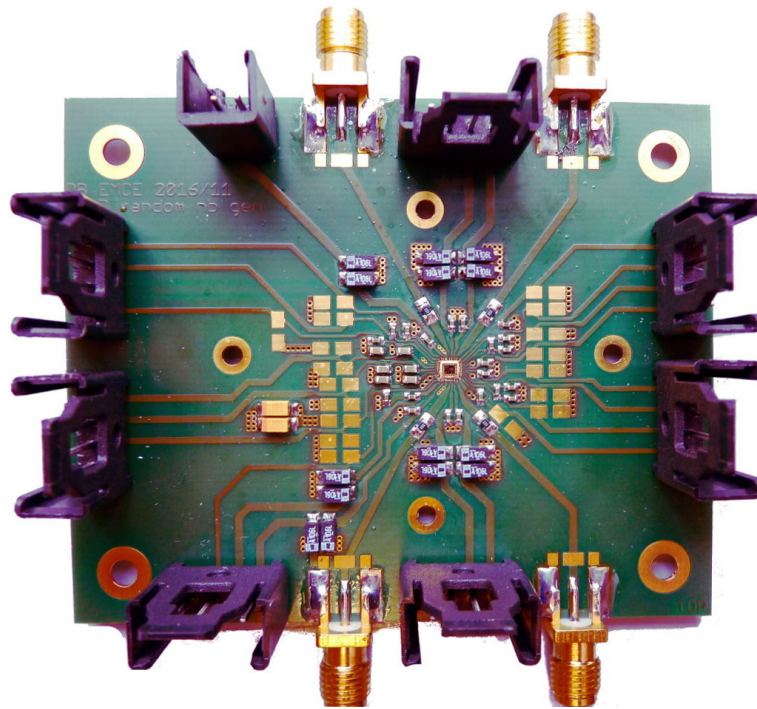


Abb. 3.3.: Aufgebaute Testplatine mit zentral angeordnetem Chip

Um nicht Photonen mit der SPAD zu detektieren, welche nicht von der LED generiert wurden, müssen die Messungen der Zufallszahlen unter völligem Ausschluss des Umgebungslichtes stattfinden. Um diesen Zustand zu erreichen, werden die Messungen in einer schwarz ausgekleideten Aluminiumbox durchgeführt, bei der alle Signale mittels Steckern, welche in der Boxwand lichtdicht montiert sind, nach außen geführt werden.

3.2. Inbetriebnahme

Zur Messung der Testplatine mit dem gebondeten Chip, wurden die Steuerspannungen der Schaltung mittels LabVIEW eingestellt und durch eine compactRIO mit Analogausgangsmodul angelegt. Das verwendete Ausgangsmodul NI9264 bietet 16 Kanäle, welche mit einer Auflösung von 16 Bit im Bereich von -10 V bis 10 V eingestellt werden können. Da dieses Ausgangsmodul maximal 4 mA pro Kanal und 16 mA insgesamt liefern kann, werden die Versorgungsspannungen ($3,3\text{ V}$, $-3,3\text{ V}$), die Substratspannung, sowie die LED Versorgung von Netzteilen bereitgestellt (Messaufbau Abbildung 3.4).

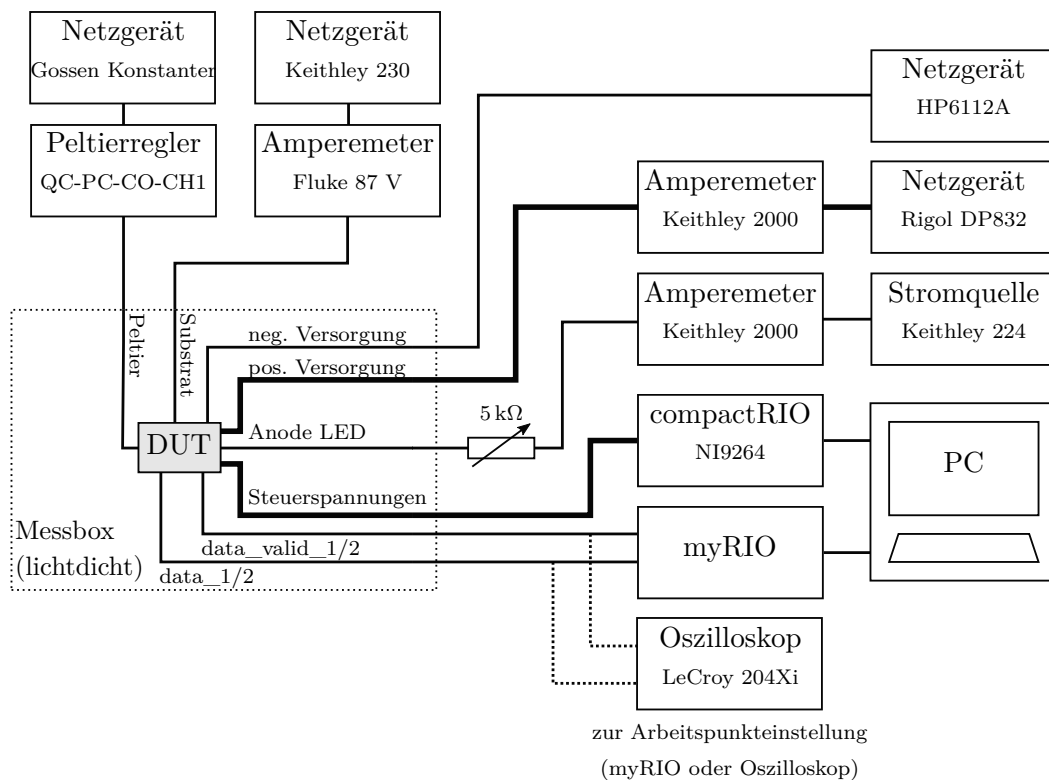


Abb. 3.4.: Schematische Darstellung des verwendeten Messaufbaus

Bei der Inbetriebnahme der Schaltung wird die Substratspannung, bei ausgeschalteter LED, bis kurz vor dem Einsetzen von Dunkelpulsen eingestellt. Dies geschieht im Bereich von etwa -11 V .

Da das Eingangssignal, der in dieser Arbeit entwickelten Schaltung, durch die SPAD am Chip selbst generiert wird, kann die Funktion der Schaltung und der einzelnen Regelspannungen nur indirekt, über deren Auswirkungen auf das Verhalten des Ausgangssignals überprüft werden. Das Herausführen des Eingangspins vom Eingangsverstärker war nicht möglich, da die zusätzliche kapazitive Belastung durch das Bondingpad, die Funktion des Quenchers beeinträchtigen könnte.

Um Reflexionen zu dämpfen werden alle Oszilloskopmessungen mit einem Messgerät mit internem $50\ \Omega$ Abschluss durchgeführt.

3.2.1. Komparatorabgleich

Der Abgleichvorgang, um den Offset des Komparators zu kompensieren, wird durch das Anlegen von $3,3\ \text{V}$ am Pin „ $V_{\text{ref_quencher}}$ “ eingeleitet. Der Quencher arbeitet so als Impulsquelle (eine Art Ringoszillator) mit einer Periodendauer, die der mit „ apd_deadtime “ eingestellten Totzeit entspricht. Durch die Funktionsweise der Integratorschaltung wird bei jedem vierten Eingangsimpuls ein Signal am „ data_valid_1 “ Pin ausgegeben (Nach jedem zweiten Impuls wird die Kondensatorspannung ausgewertet, jedoch halbiert sich die Rate eines Auswertungszeitpunktes durch die Aufteilung in zwei Zweige). Durch den gemessenen Impulsabstand von $34\ \text{ns}$, ergibt sich somit eine Totzeit in der verwendeten Konfiguration von $8,5\ \text{ns}$. Diese Einstellung entspricht, da zur Messung „ apd_deadtime “ auf $3,3\ \text{V}$ gelegt wurde, der minimal möglichen Totzeit der Gesamtschaltung, da hier die Mindestsignaldauern der Auswerteschaltung die Geschwindigkeit beschränken. Um die maximale Totzeit zu erhalten, muss man den Pin auf Masse legen und man erhält dann einen Abstand von $187\ \text{ns}$ zwischen den „ data_valid “ Signalen und somit eine Totzeit von $46,75\ \text{ns}$.

Signal	Spannung
apd_bias_quencher	$3\ \text{V}$
apd_deadtime	$3,3\ \text{V}$
$V_{\text{ref_quencher}}$	$3,3\ \text{V}$
toggle_out_1_2	$0\ \text{V}$
offset_1+	$1,625\ \text{V}$
offset_1-	$1,674\ \text{V}$
$v_{\text{current_1}}$	$2\ \text{V}$
$v_{i+}_{\text{opamp_1_2}}$	$1,65\ \text{V}$
offset_2+	$1,652\ \text{V}$
offset_2-	$1,649\ \text{V}$
$v_{\text{current_2}}$	$2\ \text{V}$
$v_{\text{in_ref}}$	$0,3\ \text{V}$

Tabelle 3.1.: Spannungswerte der Regelspannungen beim Komparatorabgleich

Dieses periodische Eingangssignal der Schaltung bewirkt, dass sich der Integrationskondensator gleich lange auf- und entlädt und somit zum Zeitpunkt der Auswertung, abgesehen vom Rauschen, keine Spannung an diesem liegen darf. Durch Herstellungstoleranzen besitzt der Komparator, welcher die Kondensatorspannung auswerten soll, jedoch einen Eingangsoffset und liefert entweder „high“ oder „low“ am Ausgang. Durch leichtes ändern der Spannungen „ offset_x+ “ und „ offset_x- “, sodass eine Differenzspannung zwischen den

beiden Pins entsteht, wird nun der Offset des Komparators soweit kompensiert, bis sich die „high“ und „low“ Ausgangsimpulse am „data_x“ Pin die Waage halten (Abbildung 3.5).

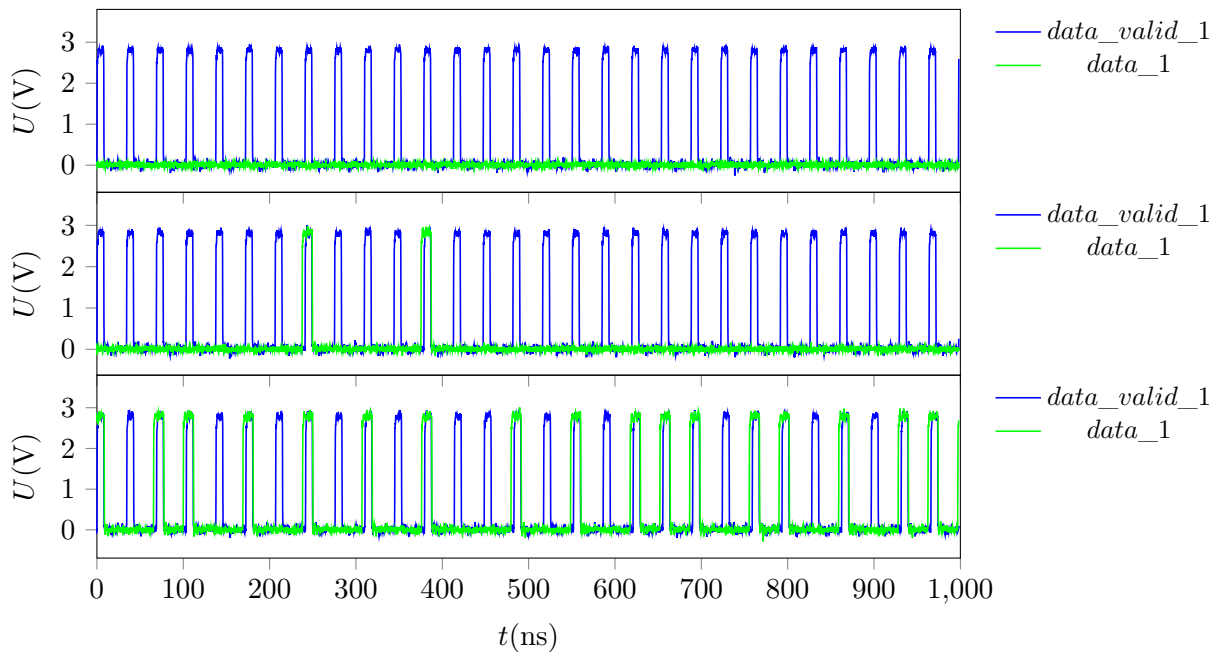


Abb. 3.5.: Ausgangsbitfolgen am Beispiel vom Auswertungszweig 1 für den Abgleichvorgang. Unabgeglichen (oben), schlecht abgeglichen (mitte) und abgeglichen (unten)

Die im Zuge des Abgleichvorgangs ermittelten Spannungen zur Offsetkompensation sind gemeinsam mit den Spannungen an den restlichen Eingangspins in der Tabelle 3.1 aufgeführt. Ausgangspunkt für die Offsetspannung war dabei die halbe Versorgungsspannung ($V_{DD}/2 = 1,65 \text{ V}$).

Diese Konfiguration dient auch als Grundlage für die Oszilloskopmessungen in den folgenden Abschnitten.

3.2.2. Stromaufnahme

Die Stromaufnahme der Schaltung im Ruhezustand, ohne Ausgangsimpulse, über den „v+_logic“ Pin, also die der Signalverarbeitung und Aufbereitung, beträgt etwa $330 \mu\text{A}$. Die Leistungsaufnahme der in dieser Arbeit entwickelten Schaltung, ohne Treiberstufe, beträgt also etwa $1,1 \text{ mW}$. Die Ströme über die restlichen Versorgungspins betragen etwa $665 \mu\text{A}$ an der negativen Versorgung des Quenchers („V_{SS_quencher}“) und $720 \mu\text{A}$ am positiven Versorgungspins des Quenchers („3V3_quencher“). Das ergibt, ohne Eingangs-

impulse und somit ohne aktiver Endstufe, eine Stromaufnahme von ungefähr 1,05 mA an den positiven Versorgungspins.

Zur Messung der maximalen Stromaufnahme wurde der Quencher so wie zur Abgleichung des Komparators konfiguriert, jedoch wurden die Spannungen zum Offsetabgleich so verändert, dass nur „high“ Pegel an den Ausgang gelegt wurden. Der Quencher schwingt also, wobei die Totzeit auf minimalen Wert konfiguriert ist, und jedes Ausgangsbit der Schaltung ist „high“. Alle vier Ausgänge der Schaltung sind bei dieser Messung mit $50\ \Omega$ abgeschlossen. Unter diesen Voraussetzungen steigt der Strom über „logic_v+“ auf 1,38 mA und über den Pin „3V3_quencher“ auf 1,4 mA. Der negative Versorgungspin trägt nun einen Strom von 1,16 mA. Durch die nun in Betrieb befindlichen, belasteten, Endstufen, steigt der Gesamtstrom über die positive 3,3 V Versorgung, auf bis zu 70 mA.

3.2.3. Ausgangsimpulse

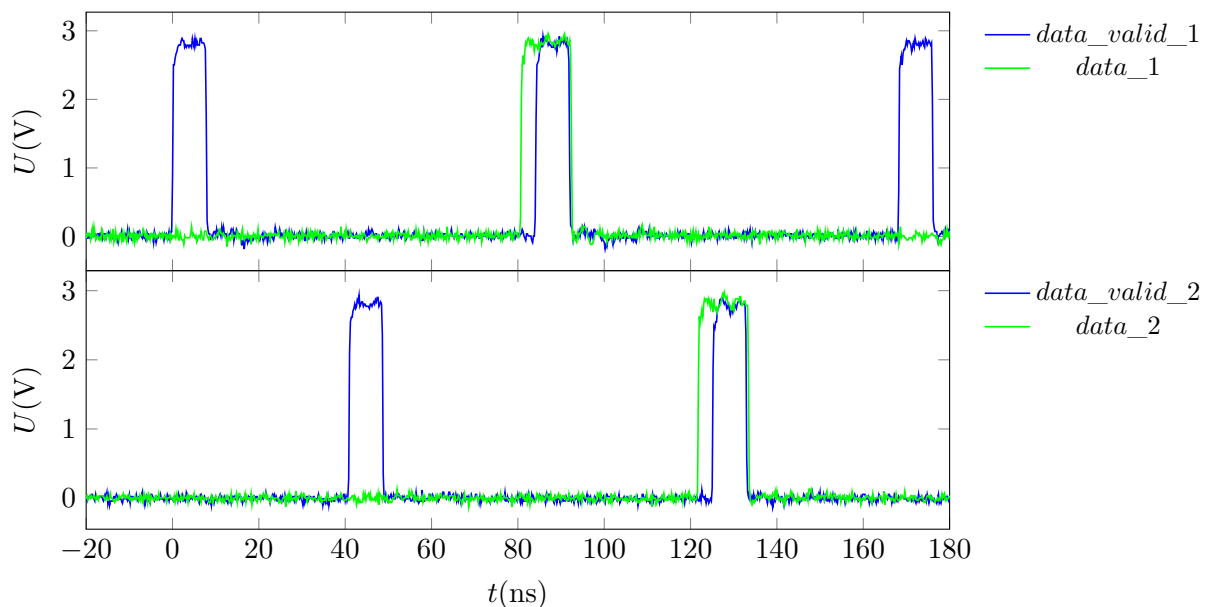


Abb. 3.6.: Aufnahme der verschachtelten Funktionsweise der beiden Auswertungswege, jeweils für den Fall einer „0“ und einer „1“ als Ausgangsbit

Eine Messung der beiden Ausgangswege (Abbildung 3.6) bestätigt die Simulation und es stellt sich das korrekte, versetzte Ausgangsmuster ein, welches durch die verschachtelte Auswertung der Eingangsimpulse hervorgerufen wird. Es liegt immer dann ein gültiges Ausgangsbit an „data“, wenn „data_valid“ „high“ ist. Die Messung zeigt bereits, dass die geforderte Mindestverzögerungszeit zwischen der positiven Flanke vom „data“ zur

zugehörigen Flanke des „data_valid“ Signals eingehalten wird und das „data“ Signal auch innerhalb des „data_valid“ Signals wieder auf „low“ springt.

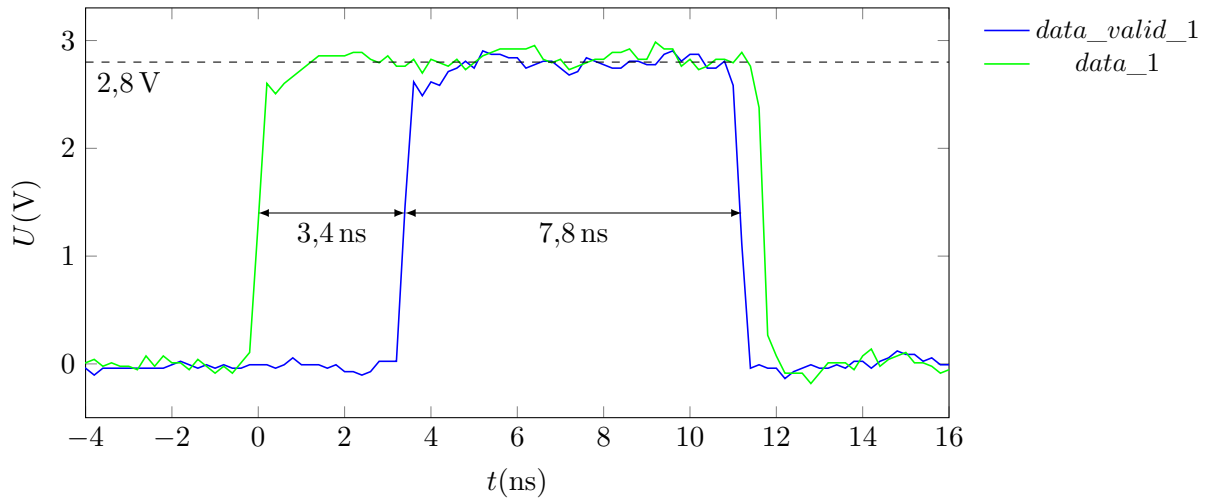


Abb. 3.7.: Zeitlicher Zusammenhang zwischen Daten- und Datenfreigabesignal

In Abbildung 3.7 werden die zeitlichen Abhängigkeiten noch einmal genauer illustriert. Die vom Datensignal mindestens geforderte Vorlaufzeit zum Datenfreigabesignal von 3 ns wird mit 3,4 ns eingehalten. Auch die Mindestdauer des Datensignals von 6 ns ist mit 7,8 ns gewährleistet. Die Flankensteilheit der Ausgangssignale ist mit bis zu 270 ps (Abbildung 3.8) zwar um einiges geringer als in der Simulation 2.5.8 „Endstufe“, jedoch ohne weiteres ausreichend. Gemessen wurde sie zwischen 10% und 90% von 2,8 V, dies stellt in etwa das „high“ Potential bei 50 Ω Belastung dar, siehe Abbildung 3.7.

Das Schaltungskonzept sieht auch vor, jedes zweite Ausgangsbit invertieren zu können. Zur Überprüfung dieser Funktion wurde der Quencher wieder so konfiguriert, dass dieser als periodische Pulsquelle wirkt und die Offsetspannungen der Komparatoren wurden so verstellt, dass sie immer einen „high“ Pegel ausgeben (vgl. Messung zur maximalen Stromaufnahme in 3.2.2 „Stromaufnahme“). Durch Anlegen von 3,3 V an Pin „toggle_out_1_2“ wird die Invertierung jedes zweiten Bits für beide Auswertungszweige eingeschaltet und die Oszilloskopmessung in Abbildung 3.9 bestätigt die Funktionsfähigkeit dieser Option.

Durch Erhöhung der Spannung an Pin „v_{in_ref}“ kann man auf die Ausgangsspannung des Quenchers rückschließen. Im Fall der Testschaltung wurden keine Eingangssignale mehr erkannt, wenn diese Spannung über 2,4 V angehoben wurde. Dies muss auch, abgesehen von Fertigungstoleranzen und eines somit einhergehenden Offsets der Eingangsstufe, die Spannung der Impulse am Quencherausgang (U_Q) sein, da diese dann keinen ausreichenden Pegel mehr besitzen, um den nicht invertierbaren Eingang des Eingangsverstärkers, über den nicht Invertierbaren zu heben.

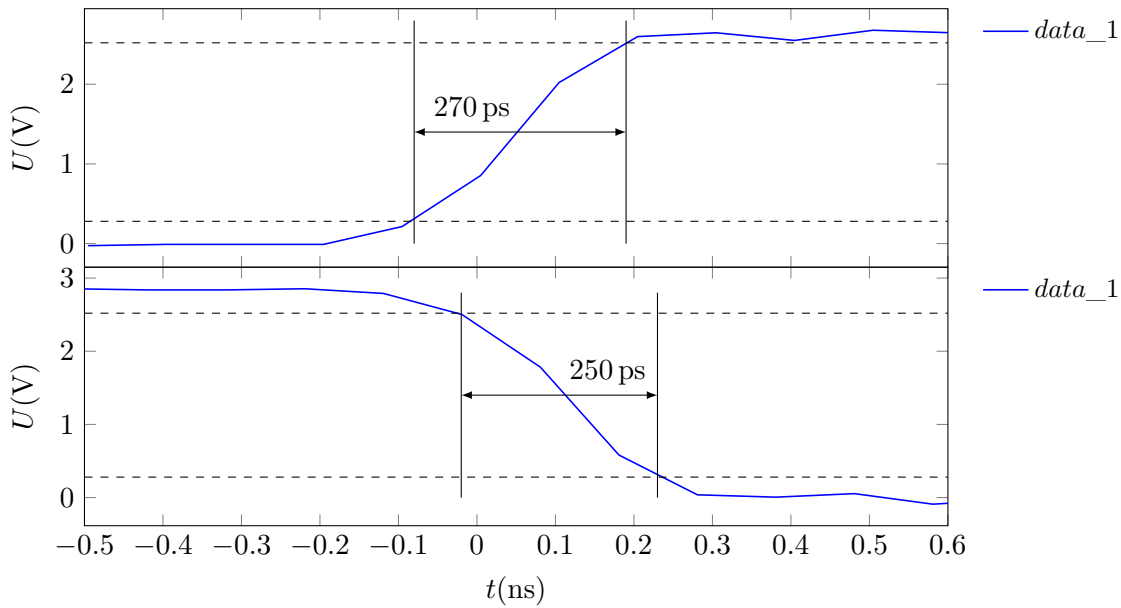


Abb. 3.8.: Anstiegs- und Fallzeit des Ausgangssignals bei einer Last von $50\ \Omega$

Durch die bisherigen Messungen wurden alle Pins der entwickelten Schaltung bis auf „vi+_opamp_1_2“ und die beiden „v_current“ Pins implizit auf korrekte Funktion überprüft.

Die Kontrolle der Funktion von „vi+_opamp_1_2“ ist nicht ohne weiteres möglich, bei Anlegen von 0 V und 3,3 V an diesem Pin ist aber eine Veränderung der Ausgangspulse an den „data“ Leitungen zu sehen, sodass zumindest eine Auswirkung dieser Spannung bestätigt werden kann.

Die Funktion der „v_current“ Pins, welche den Integrationsstrom für den jeweiligen Zweig einstellen, kann man ebenfalls nicht direkt kontrollieren. Ob sich die Änderung der Spannung auf den Strom auswirkt ist jedoch überprüfbar. Dazu wird die Offsetkompensation des Auswertekomparators leicht verstellt, sodass im Abgleichfall keine „high“ Pegel mehr an den Ausgang kommen und danach bei Betrieb der LED wie im Kapitel 3.2.4 die Spannung an „v_current“ erhöht. Dadurch lädt immer weniger Strom den Kondensator bis schließlich bei 3,3 V kein Strom mehr fließt (siehe Abbildung 2.28). Da die Signale jetzt durch die LED-SPAD Kombination und nicht durch Schwingen des Quenchers erzeugt werden, erhält man längere Ladezeiten und somit größere Spannungspegel am Integrationskondensator. Am Anfang misst man noch Bits am Ausgangspin, bis die Spannung am Integrationskondensator, durch den geringen Ladestrom, nicht mehr ausreicht, um den Komparator zu triggern. Auch bei diesem Versuch reagierte die Schaltung wie erwartet,

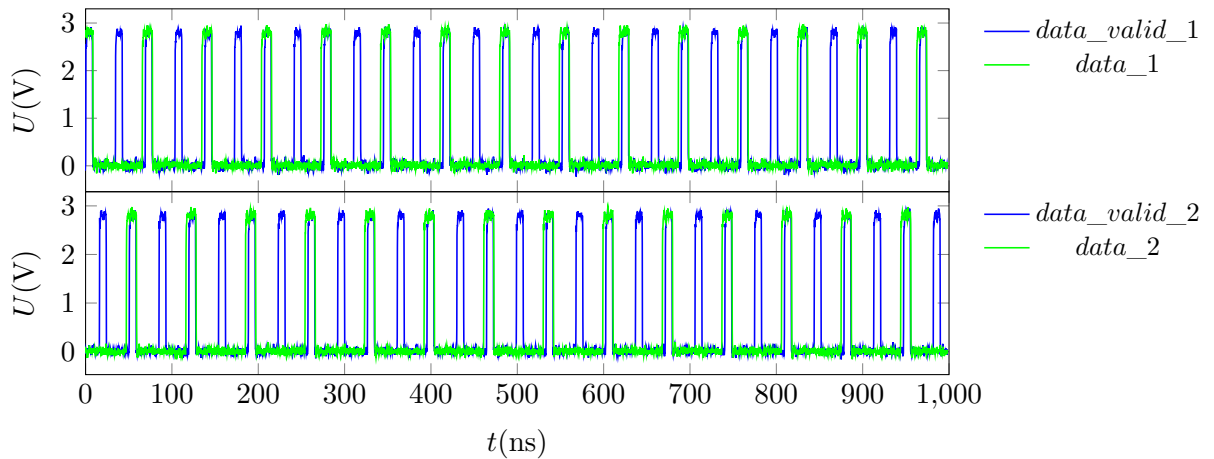


Abb. 3.9.: Invertierung jedes zweiten Ausgangsbits

sodass man davon ausgehen kann, dass sich der produzierte Chip wie durch die Simulation vorhergesehen verhält.

3.2.4. Inbetriebnahme der LED

Bis hierher wurden alle Messungen ohne aktive LED durchgeführt. Um diese zu verwenden, wurde zunächst am Waferprober die Funktionsfähigkeit der LED kontrolliert. Das Substrat ist dazu auf eine negative Spannung von 5,56 V gelegt worden, um Richtung Substrat sperrende pn-Übergänge zu erhalten und die Anode ist auf 0 V gelegt worden. Die Kathode wurde über ein 5 k Ω Potentiometer an ein Netzgerät gelegt (Abbildung 3.10). Sämtliche Ströme wurden während der Erhöhung der Kathodenspannung über Amperemeter kontrolliert. Es konnte durch die Kamera des Waferprobers ein schwaches leuchten der LED festgestellt werden. Als Kathodenspannung wurden dabei bis zu 30 V eingestellt, wobei der Strom über den Potentiometer kontrolliert wurde. Um die LED nicht zu zerstören, ist der Strom nicht über 20 mA angehoben worden.

Der Injektionsbereich wurde dabei nicht angeschlossen. Es wurde festgestellt, dass sich zwischen Injektions- und Kathodenanschluss eine leitende Verbindung einstellt. Eine Vermutung für die Ursache dieses Verhalten ist, dass ein zu geringer Abstand der beiden Bereiche zueinander verhindert, dass sich im p-well, zwischen dem n-dotierten Bereich bei der Kathode und dem n-well des Injektionsbereiches, eine Raumladungszone ausbilden kann.

Mit diesen Erkenntnissen wurde die LED auch am Chipträger in Betrieb genommen. Aufgrund des nicht funktionierenden Injektionsbereiches wurde hier dessen Anschluss mit der

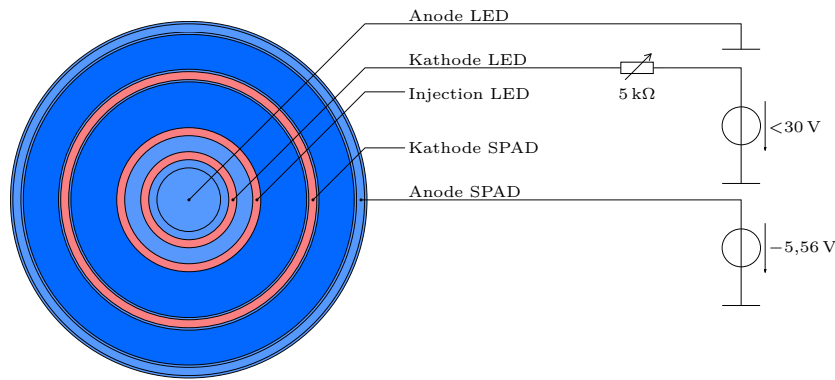


Abb. 3.10.: Messaufbau am Waferprober

Kathode verbunden und auf Masse gelegt. Durch die negative Spannung am Chipsubstrat bildet sich so um die LED ein pn-Übergang in Sperrrichtung (siehe Aufbau der LED in Abbildung 2.2). Die Anode wird über das $5\text{ k}\Omega$ Potentiometer zu einer negativen Spannungsquelle geführt (Abbildung 3.11).

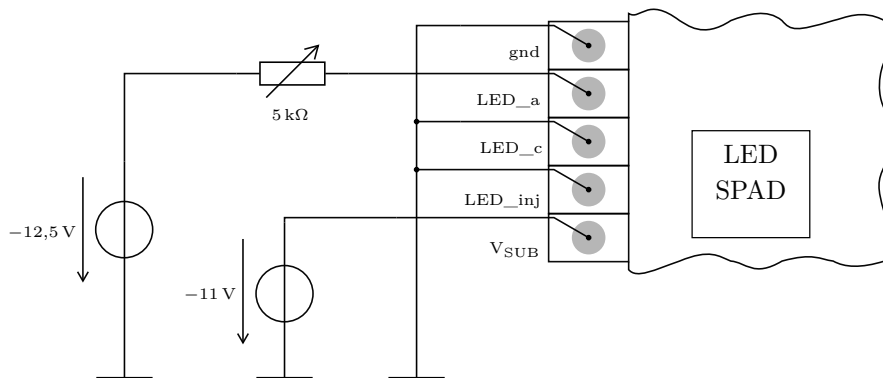


Abb. 3.11.: Messaufbau zur Inbetriebnahme der LED am Chipträger (relevanter Ausschnitt des Gesamtchips)

Auch bei den folgenden Messungen sind, mit Ausnahme der Spannung „ $V_{\text{ref_quencher}}$ “ welche auf 3 V verringert wurde, wieder die Einstellungen aus der Tabelle 3.1 verwendet worden. Die Substratspannung ist etwa 100 mV unter dem Wert, ab dem am Ausgang eine Dunkelrate auftritt und beträgt $-11,5\text{ V}$. Als Spannung am Vorwiderstand der LED wurden $12,5\text{ V}$ gewählt, der Strom für die folgenden Aufnahmen wurde mit dem Potentiometer eingestellt. Gut erkennbar ist der Unterschied im durchschnittlichen Impulsabstand zwischen einem LED-Strom von $0,55\text{ mA}$ (Abbildung 3.12) und $1,1\text{ mA}$ (Abbildung 3.13), außerdem scheinen die Datenbits bereits zufällig verteilt. Diese Eigenschaft muss jedoch mit einer großen Probe, zum Beispiel 1 Gbit , und geeigneten Tests überprüft werden.

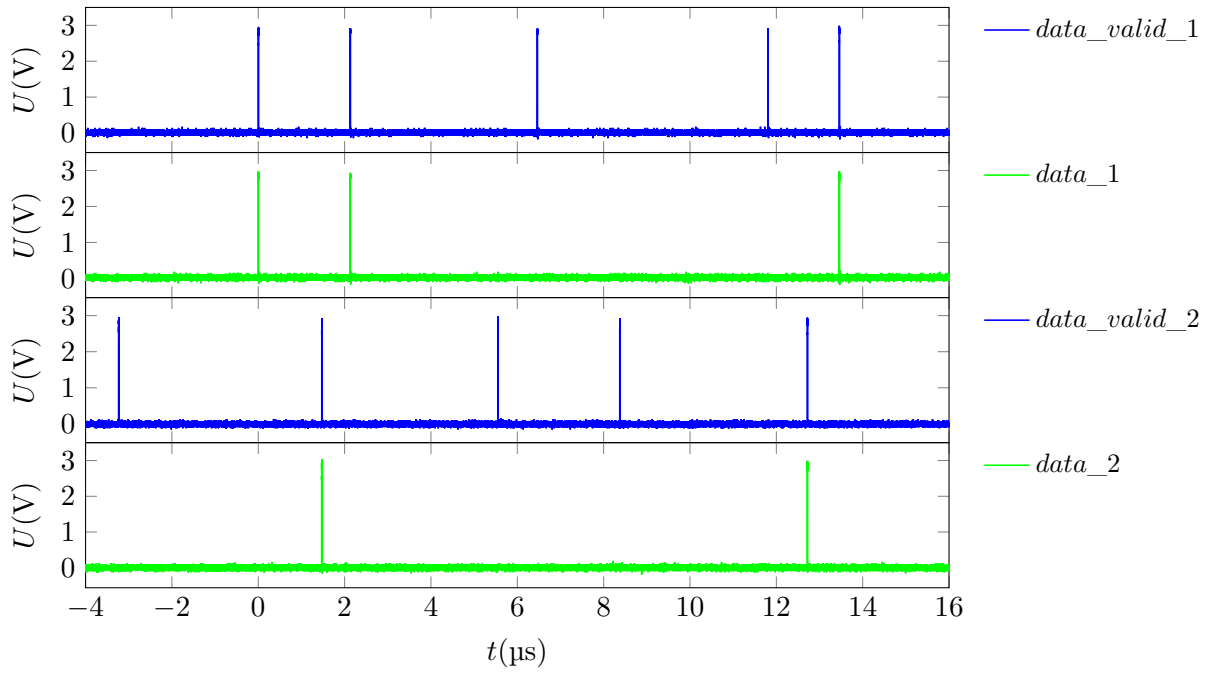


Abb. 3.12.: Signale an den vier Ausgängen bei einem LED-Strom von 0,55 mA

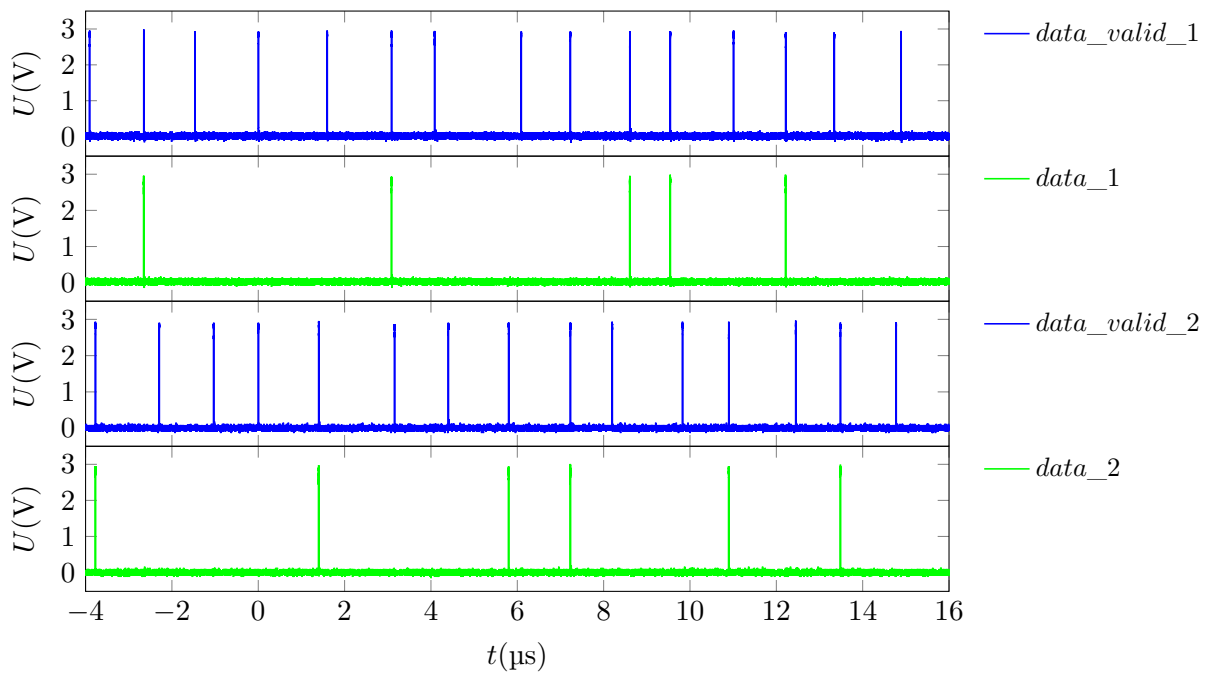


Abb. 3.13.: Signale an den vier Ausgängen bei einem LED-Strom von 1,1 mA

3.2.5. Messung der Photonenzählrate

Die Ausgangsdaten der Schaltung wurden mit Hilfe einer National Instruments myRIO und dessen FPGA aufgenommen. Zur Messung der Photonenzählrate konnte auf ein Programm zurückgegriffen werden, welches die „data_valid“ Signale über einen einstellbaren Zeitraum zählt und in LabVIEW ausgibt. Da die Impulse zeitlich zufällig verteilt von der Schaltung generiert werden, kann man nur eine durchschnittliche Rate über einen definierten Zeitraum angeben. Die Messungen, die hier angeführt werden, nutzten 4 s um diesen Mittelwert zu bilden.

Der „data_valid“ Ausgang ist die einzige Möglichkeit die Zählrate des Quenchers zu messen. Die Zählrate am Pin eines Auswertungsziweiges entspricht jedoch nur einem Viertel dessen Erkennungsrate. Das liegt in der Funktionsweise der Schaltung begründet. Da von der Schaltung zwei aufeinanderfolgende Zeitintervalle verglichen werden, wird nur nach jedem zweiten Quenchvorgang ein Ausgangsbit erstellt. Durch die verschachtelte Funktionsweise der beiden Ausführungsziweige halbiert sich die Zählrate an einem Ausgang nochmals und man misst an einem Pin nur ein Viertel der Photonenerkennungsrate der SPAD.

Für die Messungen wurden auch hier wieder die Einstellungen aus Tabelle 3.1, mit Ausnahme der Spannung „V_{ref_quencher}“ welche auf 3 V gesenkt wurde, herangezogen.

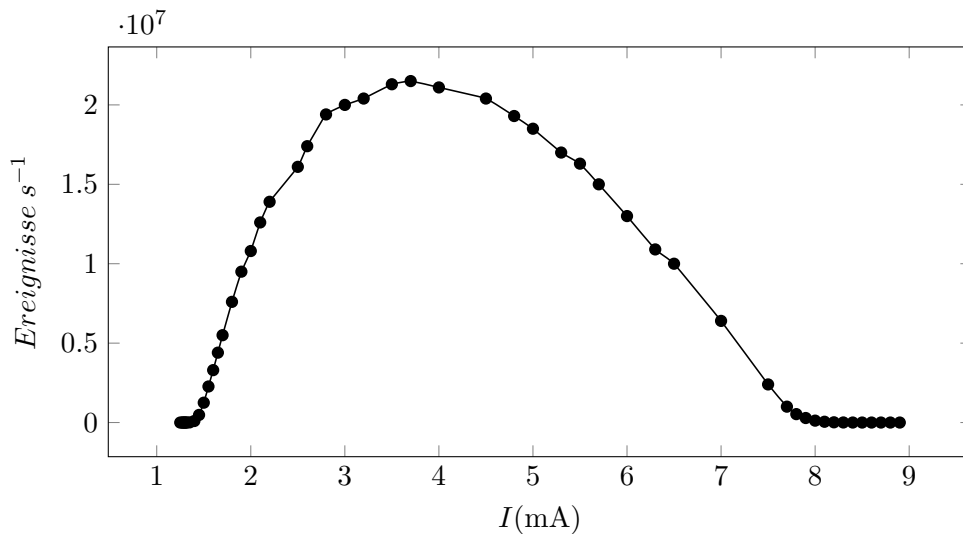


Abb. 3.14.: Messung der Photonenzählrate in Abhängigkeit des LED-Stromes bei einer Substratspannung von $-11,6$ V

Stellt man die Substratspannung auf einen Wert, bei dem gerade noch keine Dunkelzählrate auftritt, am Beispiel der Messung aus Abbildung 3.14 entspricht dies $11,6$ V und erhöht den Strom durch die LED schrittweise, erhält man eine ansteigende Zählrate die

nach einem Maximum wieder abfällt, bis schließlich keine Rate mehr messbar ist. Der Unterschied der zum Betrieb notwendigen Substratspannungen wird durch verschiedene Chiptemperaturen und Unterschiede der einzelnen Samples begründet.

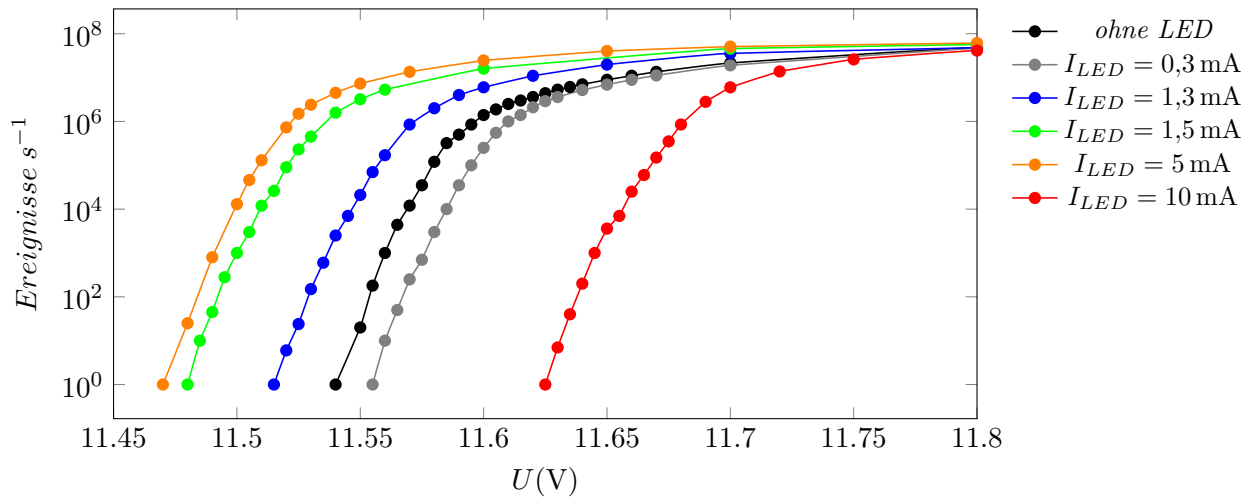


Abb. 3.15.: Messung der Photonenzählrate in Abhängigkeit der Substratspannung für verschiedene Diodenströme

Speist man mit Hilfe einer Stromquelle einen konstanten Strom in die LED ein und erhöht die Substratspannung, erhält man das Ergebnis aus Abbildung 3.15. Es zeigt sehr eng beieinander liegenden Kurven, welche relativ Steil mit der Substratspannung ansteigen. Dadurch weist die LED-SPAD Kombination nur einen schmalen nutzbaren Bereich auf. Vor allem bei höheren Strömen, wie bei der 16 mA Messung, traten auch verstärkt Erwärmungseffekte in Kraft, so dass sich die Zählrate mit längerer Messdauer erniedrigte. Dieses Verhalten lässt sich durch die, mit der Temperatur ansteigende, Lawinendurchbruchsspannung erklären. Um diesem Effekt entgegenzuwirken, kam ein Peltierelement zum Einsatz, welches über den Kupferblock (siehe Kapitel 3.1 Testplatine), die Temperatur der Platine regelte. Zur Messung der Zählrate wurde die Temperatur auf 20 °C geregelt.

Die Annäherung der Zählrate an den selben Wert am Ende des Messbereichs, ist durch die minimale Totzeit des Quenchers begründet. Dies ist auch der Grund für die Abflachung der Messkurve. Da immer mehr Photonen bereits innerhalb dieser Totzeit erkannt werden würden, die SPAD jedoch in dieser Zeit noch „Blind“ ist, gehen immer mehr potentielle Ereignisse verloren und können nicht registriert werden. Die maximale mögliche Zählrate, welche die Schaltung zulässt, liegt, bezugnehmend auf die Messung beim Komparatorabgleich im Abschnitt 3.2.1, bei $1/8,5 \text{ ns} = 118 \text{ Mbit s}^{-1}$. Eine gewisse Totzeit ist zur Generierung von Zufallszahlen jedoch notwendig, da ansonsten der Anteil des „Afterpulsings“ steigt (siehe 2.3 Quencher).

Die Kurven scheinen unabhängig vom LED-Strom ähnlich zu verlaufen. Erwärten würde man sich einen Abschnitt, bei denen die Photonenzählrate der Kurven mit LED Strom deutlich höher als bei der Kurve ohne LED-Strom ist, da die Photonen, der im Betrieb befindlichen LED, Ladungsträger in der SPAD lostreten sollten. Das im Zuge dieser Messungen beobachtete Verhalten wirkt, als ob der LED-Strom wie eine Verschiebung des Substratpotentials auf die SPAD wirkt und nur wenige Photonen durch die LED in die aktive Zone der SPAD gelangen. Das fehlen von Dunkelpulsen unter und über einer gewissen Spannung in Abbildung 3.14 würde auch für eine Verzerrung der Feldverhältnisse der SPAD sprechen. Da die LED-SPAD Kombination nicht Teil dieser Arbeit war, muss dessen Verhalten gesondert weiter untersucht werden.

3.3. Aufnahme von Zufallszahlen

Zur Speicherung der generierten Zufallszahlen konnte wieder auf ein FPGA Programm des Institutes zurückgegriffen werden. Die aufgenommenen Bits werden binär, getrennt für die beiden Ausgangskanäle, in zwei Dateien auf einen USB-Stick gespeichert.

Um die Qualität der Zufallszahlen überprüfen zu können, wird die „Statistical Test Suite“ vom National Institute of Standards and Technology („NIST“) verwendet. Diese Prüfumgebung für Zufallszahlen stellt 15 verschiedene Tests zur Verfügung, wobei die Zufallszahlen in mehrere Sequenzen unterteilt werden, wovon eine Mindestanzahl an Durchläufen geschafft werden muss, um die Gesamtprüfung zu bestehen.[12] Zur Überprüfung der aufgenommenen Zufallszahlen wurden die Standardeinstellungen der NIST-Test verwendet, wobei das Programm danach verlangt einzugeben, in wie viele Bitfolgen die Datei aufgeteilt werden soll, hier wurde „10“ gewählt. Nachdem das Programm beim Aufruf die Länge der zu überprüfenden Datei als Übergabeparameter verlangt, muss diese durch die gewählte Anzahl an Bitfolgen (in diesem Fall 10) geteilt werden.

Physikalische Zufallszahlengeneratoren, wie dieser, können durch verschiedene Einflüsse, wie ungewollte Offsets im Generationsprozess oder Limitationen im Zufallszahlextraktionsprozess, eine Abweichung von der geforderten Gleichverteilung aufweisen. Diese systematische Abweichung steht jedoch nicht im Widerspruch zu statistischen Unabhängigkeit der Bits untereinander und kann durch geeignete Algorithmen minimiert werden. [13] Zur Nachbehandlung der generierten Zufallszahlen wurde in diesem Fall die in [13] vorgestellte Variante verwendet, welche darauf abzielt, relativ einfach im Chip hardwaremäßig realisiert werden zu können.

Dieses Verfahren nutzt eine fixe Anzahl von Eingangsbits (16 Bit Blocks) um daraus, durch EXOR-Verknüpfungen, die nachbearbeiteten Bits zu erzeugen. Das Verfahren halbiert dabei die Anzahl der Bits.

Nachfolgend wird die Verknüpfung der Eingangsbits veranschaulicht. $RL(A, k)$ beschreibt dabei eine Linksrotation der Bits in Byte A um k Bits und Y ist das Ergebnisbyte. Werden die Eingangsbits in $X = [x_0, x_1, \dots, x_{15}]$ zusammengefasst erhält man die Bytes A und B durch aufteilen der Eingangsfolge in $X = [A|B]$, das Byte A enthält also die Bits x_0 bis x_7 und B die Bits x_8 bis x_{15} des Eingangsvektors.[3]

$$Y = A \oplus RL(A, 1) \oplus RL(A, 2) \oplus RL(A, 4) \oplus B$$

Um dieses Verfahren auf die bereits aufgenommenen Zufallsbits anwenden zu können, wurde ein Python-Script erstellt, welches die Verknüpfungen durchführt und eine Datei mit den nachbearbeiteten Bits erstellt.

Zur Überprüfung der Zufallszahlen mit den NIST Tests wurden Sequenzen in der Größe von 1 Gbit und 2 Gbit aufgenommen.

Durch die Messungen im Kapitel 3.2.5 „Messung der Photonenzählrate“ kam die Vermutung auf, dass die LED nicht wie gewünscht funktioniert. Aus diesem Grund wurden Zufallszahlen mit und ohne in Betrieb befindlicher LED aufgenommen und überprüft. In beiden Fällen konnten ohne Nachbearbeitung der Zufallszahlen nur einige Tests geschafft werden. Nach Anwendung des Algorithmus war es möglich die NIST Tests vollständig, oder bis auf einzelne Untertests, zu bestehen. Um bereits vor der Anwendung des Nachbearbeitungsalgorithmus einige der Prüfungen positiv abschließen zu können, musste der Offset des Komparators mit einer Genauigkeit von etwa 1 mV, oder besser, bei einer Bitrate von ungefähr 1 Mbit pro Auswertezweig, kompensiert werden.

Zur Zufallszahlenaufnahme wurde jeweils ein Arbeitspunkt eingestellt, welcher einer ungefähren Bitrate entsprach, bei zu schnellen Bitraten sank die Anzahl an geschafften Tests, auch nach Anwendung der Nachbearbeitung. Das lässt sich durch das steigende Afterpulsing bei schnelleren Bitraten und der steigenden Anzahl an nicht detektierbaren Ereignissen durch die beschränkte Geschwindigkeit des Quenchers und der Schaltung erklären, welche die Zufallsverteilung stört.

Die Versuchsreihen lassen darauf schließen, dass die Chance ein positives Ergebnis des NIST Tests zu erhalten steigt, wenn die Bitrate unter 1 Mbit s^{-1} pro Auswertezweig beträgt. Als Beispiel eines Tests mit positivem Ausgang ist die von der NIST Software erstellte Ergebnisliste eines 1 Gbit Samples (nach Anwendung des Korrekturalgorithmus)

angeführt. Da manche Prüfungen mit verschiedenen Subsets mehrfach durchgeführt werden und diese dann für jeden Durchlauf aufscheinen, wurden diese herausgelöscht und nur eine Zeile pro Test als Übersicht angeführt, die vollständige Liste ist im Anhang zu sehen:

RESULTS FOR THE UNIFORMITY OF P-VALUES AND THE PROPORTION OF PASSING SEQUENCES

generator is <data/binary/2017_03_03_19_31_55_random_1_verw.dat>

C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	P-VALUE	PROPORTION	STATISTICAL TEST
1	0	0	0	3	1	2	2	1	0	0.350485	10/10	Frequency
0	1	1	1	3	0	2	0	0	2	0.350485	10/10	BlockFrequency
1	0	0	1	0	1	1	3	1	2	0.534146	10/10	CumulativeSums
1	1	1	1	3	0	1	0	1	1	0.739918	10/10	Runs
1	2	2	1	2	0	1	1	0	0	0.739918	10/10	LongestRun
4	0	0	0	1	2	2	2	1	0	0.066882	9/10	Rank
1	1	1	1	1	0	2	1	0	2	0.911413	10/10	FFT
0	1	2	3	0	1	0	1	2	0	0.350485	10/10	NonOverlappingTemplate
5	2	2	0	1	0	0	0	0	0	0.004301	8/10	OverlappingTemplate
3	0	0	1	2	0	2	0	0	2	0.213309	10/10	Universal
0	1	1	1	1	1	1	1	2	1	0.991468	10/10	ApproximateEntropy
1	2	0	1	0	1	2	2	0	1	0.739918	9/10	RandomExcursions
1	2	0	2	1	1	1	2	0	0	0.739918	10/10	RandomExcursionsVariant
1	0	0	0	1	4	0	2	2	0	0.066882	10/10	Serial
0	0	2	1	0	2	0	1	2	2	0.534146	10/10	LinearComplexity

 The minimum pass rate for each statistical test with the exception of the random excursion (variant) test is approximately = 8 for a sample size = 10 binary sequences.

The minimum pass rate for the random excursion (variant) test is approximately = 8 for a sample size = 10 binary sequences.

For further guidelines construct a probability table using the MAPLE program provided in the addendum section of the documentation.

Der selbe Datensatz ohne die Nachbehandlung, der dadurch eine Größe von 2 Gbit besitzt, liefert das folgende Ergebnis:

RESULTS FOR THE UNIFORMITY OF P-VALUES AND THE PROPORTION OF PASSING SEQUENCES

generator is <data/binary/2017_03_03_19_31_55_random_1.dat>

C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	P-VALUE	PROPORTION	STATISTICAL TEST
10	0	0	0	0	0	0	0	0	0	0.000000	*	Frequency
0	0	0	0	0	0	0	0	0	10	0.000000	*	BlockFrequency
10	0	0	0	0	0	0	0	0	0	0.000000	*	CumulativeSums
10	0	0	0	0	0	0	0	0	0	0.000000	*	Runs
5	1	0	2	1	1	0	0	0	0	0.008879	10/10	LongestRun
1	1	2	3	1	0	0	2	0	0	0.350485	9/10	Rank
0	0	0	10	0	0	0	0	0	0	0.000000	*	FFT
7	1	1	1	0	0	0	0	0	0	0.000003	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	OverlappingTemplate
0	2	1	2	1	1	0	2	1	0	0.739918	10/10	Universal
10	0	0	0	0	0	0	0	0	0	0.000000	*	ApproximateEntropy
0	0	0	0	0	1	0	7	0	0	-----	8/8	RandomExcursions
0	0	0	1	0	0	0	7	0	0	-----	8/8	RandomExcursionsVariant

3	2	3	2	0	0	0	0	0	0	0.066882	10/10	Serial
0	3	1	1	0	2	0	1	1	1	0.534146	10/10	LinearComplexity

 The minimum pass rate for each statistical test with the exception of the random excursion (variant) test is approximately = 8 for a sample size = 10 binary sequences.

The minimum pass rate for the random excursion (variant) test is approximately = 7 for a sample size = 8 binary sequences.

For further guidelines construct a probability table using the MAPLE program provided in the addendum section of the documentation.

Die mit einem „*“ versehenen Tests signalisieren eine nicht bestandene Prüfung, man sieht wie die Nachbearbeitung das Ergebnis deutlich verbessert.

Ob es sich bei den aufgenommenen Zufallssequenzen mit bestromter LED tatsächlich um Quantenzufallszahlen handelt, oder ob ein Problem mit der LED-SPAD Kombination vorliegt, muss noch weiter untersucht werden.

4. Zusammenfassung und Schlussbetrachtung

Im Zuge dieser Diplomarbeit wurde eine Interfaceschaltung für einen Quantenzufallsgenerator (on-chip LED-SPAD-Quencher Kombination) in 350 nm CMOS Technologie (X-FAB XO035) entwickelt, simuliert und in Betrieb genommen. Das zu Grunde liegende Messprinzip ist der Vergleich zweier, aufeinanderfolgender, Zeitintervalle im Bereich von etwa 10 ns bis 10 μ s, durch Aufintegration von Ladung in einem Kondensator. In den beiden Vergleichsintervallen wird der Kondensator jeweils mit einem gleich großen Strom geladen und entladen. Es entsteht eine positive oder negative Kondensatorspannung, die anzeigt, welcher Zeitintervall länger gedauert hat. Diese Auswertung übernimmt ein Komparator, dessen Ausgangssignal, entsprechend der Anforderungen zur digitalen Weiterverarbeitung, aufbereitet wird. Die Schaltung ist für eine Versorgungsspannung von 3,3 V ausgelegt und die Leistungsaufnahme der Auswerteschaltung wurde, abhängig von den Vergleichszeiträumen, zwischen 1,1 mW und 4,55 mW gemessen.

Die Simulation der Schaltung hat gezeigt, dass das Messkonzept die geforderten Aufgaben in einem Bereich von zwei bis drei Dekaden, im Zeitbereich, gut erfüllt. Der insgesamt abgedeckte Messbereich erstreckt sich dabei von 10 ns bis 10 μ s. Aufgrund der linearen Abhängigkeit der Kondensatorspannung vom konstanten Ladestrom und durch den begrenzten Spannungsbereich der Schaltung, ist bei schnell aufeinanderfolgenden und ähnlich langen Intervallen, die Spannung am Kondensator sehr klein und die Auswertung durch das Rauschen begrenzt. Für Vergleichsintervalle, welche deutlich länger als 10 μ s dauern, ist die Messung durch die Versorgungsspannung begrenzt. Bei Messzeiten im Bereich von 10 ns kommt die Schaltung aber auch aufgrund des verwendeten Prozesses in ihren Grenzbereich. Umlade- und Ladungsinjektionseffekte beim Schalten des Stromes verursachen Störungen der Kondensatorspannung, die sich bei diesen kurzen Messzeiten anfangen auszuwirken. Für noch kürzere Intervalle müsste man auf kleinere Strukturen wechseln und untersuchen, ob sich durch geringere parasitäre Kapazitäten, diese Effekte reduzieren lassen. Außerdem entsteht bei kurzen Totzeiten der SPAD das „Afterpulsing“, durch welches die statistische Undeterminiertheit nicht mehr gewährleistet ist.

Durch Simulationen wurde gezeigt, dass sich das angewendete Messverfahren, ab einer Mindestintervallzeit von ungefähr 20 ns, gut verhält und die Spannung am Kondensator

linear von den Zeitdifferenzen der Messintervalle abhängt. Das Vergleichsverfahren hat insbesondere dann seine Stärke, wenn möglichst unterschiedliche Zeitspannen miteinander verglichen werden müssen.

Die Messungen am Chip bestätigen die Funktionsfähigkeit der entwickelten Schaltung. Natürlich wird aufgrund des Komparatoroffsets, als auch durch andere Einflüsse wie Temperaturvariationen, Schaltungsrauschen und parasitärer Einkopplungen durch Schaltflanken, prinzipiell das Konzept des TRNG beschränkt.

Die aufgenommenen Zählraten der SPAD lassen jedoch vermuten, dass nur wenige Photonen detektiert werden und durch den LED-Strom lediglich die Durchbruchspannung der SPAD geändert wird. Dieses Verhalten muss jedoch noch gesondert untersucht werden. Vermutlich werden deshalb die aufgenommenen Zufallsfolgen durch die Dunkelrate der SPAD und nicht durch die Photonen der LED begründet.

Im abgedeckten Zeitmessbereich bietet die entwickelte Schaltung, aufgrund des Eingangsverstärkers und dem $50\ \Omega$ Treiber am Ausgang, eine universelle Möglichkeit, Zeitintervalle als integrierte Lösung zu vergleichen und zur weiteren, digitalen, Verarbeitung bereitzustellen. Eine aufwändige Lösung, wie zum Beispiel durch einen externen, schnellen, FPGA zur Zeitmessung, kann dadurch eingespart werden.

A. Anhang

A.1. NIST-Ergebnis ohne Nachbehandlung

$I_{LED} = 0,45 \text{ mA}$, $V_{SUB} = 13,6 \text{ V}$, $toggle_out_1_2 = 3,3 \text{ V}$, $offset1+ = 1,585 \text{ V}$, $offset1- = 1,716 \text{ V}$, $v_current_1 = 2 \text{ V}$, $v_i_opamp_1_2 = 1,65 \text{ V}$, $v_{in_ref} = 0,6 \text{ V}$, $V_{ref_quencher} = 2,375 \text{ V}$, $apd_bias_quencher = 3 \text{ V}$, $apd_deadtime = 2 \text{ V}$

RESULTS FOR THE UNIFORMITY OF P-VALUES AND THE PROPORTION OF PASSING SEQUENCES

generator is <data/binary/2017_03_03_19_31_55_random_1.dat>													
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	P-VALUE	PROPORTION	STATISTICAL TEST	
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	* Frequency
0	0	0	0	0	0	0	0	0	10	0.000000	*	10/10	BlockFrequency
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	* CumulativeSums
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	* CumulativeSums
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	* Runs
5	1	0	2	1	1	0	0	0	0	0.008879		10/10	LongestRun
1	1	2	3	1	0	0	2	0	0	0.350485		9/10	Rank
0	0	0	10	0	0	0	0	0	0	0.000000	*	10/10	FFT
7	1	1	1	0	0	0	0	0	0	0.000003	*	5/10	* NonOverlappingTemplate
9	0	0	1	0	0	0	0	0	0	0.000000	*	2/10	* NonOverlappingTemplate
0	4	0	2	0	2	1	1	0	0	0.066882		10/10	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	1/10	* NonOverlappingTemplate
3	0	1	0	1	2	0	1	1	1	0.534146		10/10	NonOverlappingTemplate
1	0	2	0	2	0	1	1	2	1	0.739918		10/10	NonOverlappingTemplate
4	1	3	0	0	1	1	0	0	0	0.035174		7/10	* NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	* NonOverlappingTemplate
1	3	0	2	0	2	0	1	0	1	0.350485		9/10	NonOverlappingTemplate
4	1	1	1	1	1	0	0	0	1	0.213309		9/10	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	* NonOverlappingTemplate
1	1	1	0	2	0	4	0	0	1	0.122325		10/10	NonOverlappingTemplate
3	1	3	1	0	0	1	0	1	0	0.213309		9/10	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	6/10	* NonOverlappingTemplate
4	0	1	0	2	1	2	0	0	0	0.066882		9/10	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	* NonOverlappingTemplate
1	2	2	2	0	0	1	1	1	0	0.739918		10/10	NonOverlappingTemplate
4	0	0	1	0	2	3	0	0	0	0.017912		9/10	NonOverlappingTemplate
5	4	0	0	0	0	1	0	0	0	0.000199		8/10	NonOverlappingTemplate
6	4	0	0	0	0	0	0	0	0	0.000003	*	10/10	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	* NonOverlappingTemplate
1	1	1	0	0	1	3	0	1	2	0.534146		10/10	NonOverlappingTemplate
3	2	1	4	0	0	0	0	0	0	0.017912		10/10	NonOverlappingTemplate
7	0	2	0	0	0	1	0	0	0	0.000001	*	8/10	NonOverlappingTemplate
6	2	1	0	0	0	0	0	1	0	0.000199		9/10	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	3/10	* NonOverlappingTemplate
8	0	0	0	1	0	0	0	1	0	0.000000	*	5/10	* NonOverlappingTemplate
4	3	1	1	0	0	1	0	0	0	0.035174		9/10	NonOverlappingTemplate

10	0	0	0	0	0	0	0	0	0	0.000000	*	2/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
5	1	1	2	0	0	0	0	0	1	0.008879		8/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
3	2	1	0	0	1	1	0	2	0	0.350485		9/10		NonOverlappingTemplate
1	3	0	2	0	2	1	1	0	0	0.350485		10/10		NonOverlappingTemplate
4	1	3	0	1	0	0	0	0	1	0.035174		8/10		NonOverlappingTemplate
8	1	0	1	0	0	0	0	0	0	0.000000	*	4/10	*	NonOverlappingTemplate
5	2	1	1	1	0	0	0	0	0	0.008879		8/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	1/10	*	NonOverlappingTemplate
3	1	0	1	0	1	0	1	3	0	0.213309		8/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
8	1	0	0	1	0	0	0	0	0	0.000000	*	9/10	*	NonOverlappingTemplate
3	1	1	0	2	1	1	1	0	0	0.534146		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	1/10	*	NonOverlappingTemplate
2	1	1	1	0	1	0	2	0	2	0.739918		10/10		NonOverlappingTemplate
0	1	1	0	0	0	2	4	2	0	0.066882		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
6	2	1	1	0	0	0	0	0	0	0.000199		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
9	0	0	1	0	0	0	0	0	0	0.000000	*	4/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
0	3	0	3	1	1	0	0	2	0	0.122325		10/10		NonOverlappingTemplate
9	1	0	0	0	0	0	0	0	0	0.000000	*	6/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
4	1	2	0	2	1	0	0	0	0	0.066882		9/10		NonOverlappingTemplate
4	2	2	0	0	0	0	0	1	1	0.066882		10/10		NonOverlappingTemplate
2	2	0	1	1	1	1	1	0	1	0.911413		10/10		NonOverlappingTemplate
2	1	2	1	1	3	0	0	0	0	0.350485		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
3	2	2	0	1	0	0	1	0	1	0.350485		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
8	2	0	0	0	0	0	0	0	0	0.000000	*	4/10	*	NonOverlappingTemplate
2	0	0	3	1	3	0	0	0	1	0.122325		10/10		NonOverlappingTemplate
4	3	1	1	0	1	0	0	0	0	0.035174		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	3/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	2/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	3/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	1/10	*	NonOverlappingTemplate
0	2	1	2	0	0	2	0	1	2	0.534146		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
9	1	0	0	0	0	0	0	0	0	0.000000	*	6/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
7	1	1	1	0	0	0	0	0	0	0.000003	*	5/10	*	NonOverlappingTemplate
2	1	0	2	1	2	2	0	0	0	0.534146		10/10		NonOverlappingTemplate
3	1	2	1	1	0	0	1	1	0	0.534146		10/10		NonOverlappingTemplate
5	1	0	1	1	1	0	1	0	0	0.017912		7/10	*	NonOverlappingTemplate
4	1	1	0	1	2	0	1	0	0	0.122325		9/10		NonOverlappingTemplate
8	2	0	0	0	0	0	0	0	0	0.000000	*	6/10	*	NonOverlappingTemplate
0	1	1	2	1	3	1	0	1	0	0.534146		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
1	2	2	0	1	1	0	2	0	1	0.739918		10/10		NonOverlappingTemplate
4	1	3	1	0	1	0	0	0	0	0.035174		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
2	0	3	3	0	0	1	1	0	0	0.122325		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
3	4	2	0	0	0	0	1	0	0	0.017912		9/10		NonOverlappingTemplate
2	0	3	0	0	2	0	2	1	0	0.213309		10/10		NonOverlappingTemplate
0	1	2	2	1	1	0	2	1	0	0.739918		10/10		NonOverlappingTemplate
3	1	0	2	0	0	0	1	1	2	0.350485		9/10		NonOverlappingTemplate
1	1	3	0	0	2	0	1	1	1	0.534146		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	2/10	*	NonOverlappingTemplate

10	0	0	0	0	0	0	0	0	0	0.000000	*	4/10	*	NonOverlappingTemplate
9	1	0	0	0	0	0	0	0	0	0.000000	*	4/10	*	NonOverlappingTemplate
2	1	1	0	0	1	0	3	1	1	0.534146		10/10		NonOverlappingTemplate
4	2	0	0	1	1	1	0	1	0	0.122325		10/10		NonOverlappingTemplate
1	0	0	1	2	0	2	2	2	0	0.534146		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
5	1	1	1	0	0	1	1	0	0	0.017912		8/10		NonOverlappingTemplate
1	1	2	4	1	0	0	0	1	0	0.122325		10/10		NonOverlappingTemplate
3	3	0	0	3	1	0	0	0	0	0.035174		9/10		NonOverlappingTemplate
8	1	0	0	1	0	0	0	0	0	0.000000	*	4/10	*	NonOverlappingTemplate
2	0	0	2	2	0	0	2	0	2	0.350485		10/10		NonOverlappingTemplate
0	0	1	1	3	2	0	0	1	2	0.350485		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
1	2	0	1	2	1	1	2	0	0	0.739918		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
1	0	0	1	1	3	1	2	0	1	0.534146		9/10		NonOverlappingTemplate
7	1	1	1	0	0	0	0	0	0	0.000003	*	7/10	*	NonOverlappingTemplate
1	1	1	1	2	1	1	0	1	1	0.991468		10/10		NonOverlappingTemplate
3	1	2	0	0	1	1	1	1	0	0.534146		10/10		NonOverlappingTemplate
3	3	2	0	0	1	0	0	1	0	0.122325		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	3/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
6	2	0	1	1	0	0	0	0	0	0.000199		8/10		NonOverlappingTemplate
1	2	2	0	1	1	0	0	1	2	0.739918		10/10		NonOverlappingTemplate
8	1	1	0	0	0	0	0	0	0	0.000000	*	2/10	*	NonOverlappingTemplate
9	1	0	0	0	0	0	0	0	0	0.000000	*	6/10	*	NonOverlappingTemplate
0	1	2	2	2	0	1	1	0	1	0.739918		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	2/10	*	NonOverlappingTemplate
2	1	2	1	1	0	1	0	0	2	0.739918		10/10		NonOverlappingTemplate
2	0	3	1	0	1	1	0	0	2	0.350485		10/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
2	0	0	2	1	1	2	1	0	1	0.739918		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	4/10	*	NonOverlappingTemplate
3	3	0	1	1	1	0	0	0	1	0.213309		9/10		NonOverlappingTemplate
7	2	0	0	1	0	0	0	0	0	0.000001	*	8/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
6	1	1	0	1	1	0	0	0	0	0.000439		9/10		NonOverlappingTemplate
9	1	0	0	0	0	0	0	0	0	0.000000	*	3/10	*	NonOverlappingTemplate
9	1	0	0	0	0	0	0	0	0	0.000000	*	2/10	*	NonOverlappingTemplate
5	3	1	0	0	0	0	1	0	0	0.002043		9/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	3/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
9	1	0	0	0	0	0	0	0	0	0.000000	*	4/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
6	1	2	0	1	0	0	0	0	0	0.000199		8/10		NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
9	1	0	0	0	0	0	0	0	0	0.000000	*	5/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	NonOverlappingTemplate
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	OverlappingTemplate
0	2	1	2	1	1	0	2	1	0	0.739918		10/10		Universal
10	0	0	0	0	0	0	0	0	0	0.000000	*	0/10	*	ApproximateEntropy
0	0	0	0	0	1	0	7	0	0	----		8/8		RandomExcursions
0	0	1	0	0	0	0	7	0	0	----		8/8		RandomExcursions
0	0	0	1	0	0	0	7	0	0	----		8/8		RandomExcursions
0	0	0	0	0	0	0	7	0	1	----		8/8		RandomExcursions
0	0	0	1	0	0	0	7	0	0	----		8/8		RandomExcursions
0	0	0	0	0	1	0	7	0	0	----		8/8		RandomExcursions
0	0	0	0	0	0	0	7	0	1	----		8/8		RandomExcursions
0	0	0	0	0	0	0	8	0	0	----		8/8		RandomExcursions
0	0	0	1	0	0	0	7	0	0	----		8/8		RandomExcursionsVariant
0	0	0	1	0	0	0	7	0	0	----		8/8		RandomExcursionsVariant
0	0	1	0	0	0	0	7	0	0	----		8/8		RandomExcursionsVariant

0	0	1	0	0	0	0	7	0	0	----	8/8	RandomExcursionsVariant
0	0	1	0	0	0	0	7	0	0	----	8/8	RandomExcursionsVariant
0	0	0	0	0	1	0	7	0	0	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	0	8	0	0	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	1	7	0	0	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	0	7	1	0	----	8/8	RandomExcursionsVariant
0	0	0	0	1	0	0	7	0	0	----	8/8	RandomExcursionsVariant
0	0	1	0	0	0	0	7	0	0	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	0	8	0	0	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	0	7	0	1	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	0	8	0	0	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	0	7	0	1	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	0	7	1	0	----	8/8	RandomExcursionsVariant
0	0	0	0	0	0	0	8	0	0	----	8/8	RandomExcursionsVariant
10	0	0	0	0	0	0	0	0	0	0.000000 *	0/10	* Serial
3	2	3	2	0	0	0	0	0	0	0.066882	10/10	Serial
0	3	1	1	0	2	0	1	1	1	0.534146	10/10	LinearComplexity

 The minimum pass rate for each statistical test with the exception of the random excursion (variant) test is approximately = 8 for a sample size = 10 binary sequences.

The minimum pass rate for the random excursion (variant) test is approximately = 7 for a sample size = 8 binary sequences.

For further guidelines construct a probability table using the MAPLE program provided in the addendum section of the documentation.

A.2. NIST-Ergebnis mit Nachbehandlung

NIST Ergebnis nach Anwendung des „XOR-Hashings“ auf den Datensatz aus A.1 „NIST-Ergebnis ohne Nachbehandlung“:

RESULTS FOR THE UNIFORMITY OF P-VALUES AND THE PROPORTION OF PASSING SEQUENCES

generator is <data/binary/2017_03_03_19_31_55_random_1_verw.dat>												
C1	C2	C3	C4	C5	C6	C7	C8	C9	C10	P-VALUE	PROPORTION	STATISTICAL TEST
1	0	0	0	3	1	2	2	1	0	0.350485	10/10	Frequency
0	1	1	1	3	0	2	0	0	2	0.350485	10/10	BlockFrequency
1	0	0	1	0	1	1	3	1	2	0.534146	10/10	CumulativeSums
1	0	0	0	2	4	2	1	0	0	0.066882	10/10	CumulativeSums
1	1	1	1	3	0	1	0	1	1	0.739918	10/10	Runs
1	2	2	1	2	0	1	1	0	0	0.739918	10/10	LongestRun
4	0	0	0	0	1	2	2	1	0	0.066882	9/10	Rank
1	1	1	1	1	0	2	1	0	2	0.911413	10/10	FFT
0	1	2	3	0	1	0	1	2	0	0.350485	10/10	NonOverlappingTemplate
0	0	3	1	2	2	2	0	0	0	0.213309	10/10	NonOverlappingTemplate
0	1	1	1	1	1	0	1	2	2	0.911413	10/10	NonOverlappingTemplate
1	1	2	1	1	0	2	1	1	0	0.911413	10/10	NonOverlappingTemplate
0	2	2	1	0	1	1	0	1	2	0.739918	10/10	NonOverlappingTemplate
1	0	0	4	0	0	2	0	2	1	0.066882	10/10	NonOverlappingTemplate
1	0	1	2	3	0	0	1	1	1	0.534146	10/10	NonOverlappingTemplate
1	1	0	1	0	1	2	1	1	2	0.911413	10/10	NonOverlappingTemplate

2	2	0	1	1	1	0	1	2	0	0.739918	10/10	NonOverlappingTemplate
2	1	0	0	1	3	1	1	1	0	0.534146	10/10	NonOverlappingTemplate
1	0	1	0	1	3	1	0	3	0	0.213309	10/10	NonOverlappingTemplate
0	3	0	1	1	1	1	0	2	1	0.534146	10/10	NonOverlappingTemplate
0	1	0	2	0	0	2	2	2	1	0.534146	10/10	NonOverlappingTemplate
1	1	2	1	2	0	1	1	1	0	0.911413	10/10	NonOverlappingTemplate
1	1	2	1	0	1	0	2	2	0	0.739918	10/10	NonOverlappingTemplate
1	1	1	1	1	1	1	1	0	2	0.991468	10/10	NonOverlappingTemplate
0	2	3	1	2	1	0	1	0	0	0.350485	10/10	NonOverlappingTemplate
0	0	2	2	0	1	1	1	1	2	0.739918	10/10	NonOverlappingTemplate
3	1	1	1	1	0	1	0	1	1	0.739918	10/10	NonOverlappingTemplate
2	1	1	1	1	2	0	2	0	0	0.739918	10/10	NonOverlappingTemplate
3	1	1	0	0	1	0	3	0	1	0.213309	10/10	NonOverlappingTemplate
0	3	0	0	1	1	0	2	1	2	0.350485	10/10	NonOverlappingTemplate
1	3	1	0	1	0	0	1	2	1	0.534146	10/10	NonOverlappingTemplate
0	2	0	2	2	1	2	0	1	0	0.534146	10/10	NonOverlappingTemplate
0	1	0	0	2	0	1	1	3	2	0.350485	10/10	NonOverlappingTemplate
1	2	1	0	1	1	0	1	2	1	0.911413	10/10	NonOverlappingTemplate
1	0	1	0	0	2	1	3	1	1	0.534146	10/10	NonOverlappingTemplate
1	1	1	1	0	1	1	3	1	0	0.739918	9/10	NonOverlappingTemplate
0	1	0	0	2	2	2	0	3	0	0.213309	10/10	NonOverlappingTemplate
1	1	3	0	1	1	0	1	0	2	0.534146	10/10	NonOverlappingTemplate
0	0	4	1	2	1	1	0	0	1	0.122325	10/10	NonOverlappingTemplate
2	0	1	1	0	1	2	2	1	0	0.739918	10/10	NonOverlappingTemplate
0	1	0	1	2	2	2	0	2	0	0.534146	10/10	NonOverlappingTemplate
1	3	0	0	2	2	0	1	1	0	0.350485	10/10	NonOverlappingTemplate
0	0	1	1	2	0	0	3	2	1	0.350485	10/10	NonOverlappingTemplate
2	1	0	2	1	0	3	0	0	1	0.350485	9/10	NonOverlappingTemplate
1	1	2	2	0	1	1	0	1	1	0.911413	10/10	NonOverlappingTemplate
0	1	1	0	0	2	1	1	0	4	0.122325	10/10	NonOverlappingTemplate
3	1	1	1	2	0	0	0	1	1	0.534146	9/10	NonOverlappingTemplate
2	1	2	1	1	1	1	0	1	0	0.911413	10/10	NonOverlappingTemplate
0	1	1	2	1	1	4	0	0	0	0.122325	10/10	NonOverlappingTemplate
1	0	2	0	0	2	2	2	0	1	0.534146	10/10	NonOverlappingTemplate
1	0	1	2	3	0	2	0	0	1	0.350485	10/10	NonOverlappingTemplate
0	3	2	0	1	1	1	1	1	0	0.534146	10/10	NonOverlappingTemplate
1	2	0	1	0	2	2	0	0	2	0.534146	10/10	NonOverlappingTemplate
1	0	1	1	1	2	1	2	1	0	0.911413	10/10	NonOverlappingTemplate
2	1	0	1	2	2	0	0	1	1	0.739918	10/10	NonOverlappingTemplate
1	1	2	0	1	1	1	1	1	1	0.991468	10/10	NonOverlappingTemplate
1	0	0	1	0	1	2	2	3	0	0.350485	10/10	NonOverlappingTemplate
2	1	1	2	0	1	1	1	0	1	0.911413	10/10	NonOverlappingTemplate
0	0	0	0	1	2	0	1	3	3	0.122325	10/10	NonOverlappingTemplate
1	0	1	0	2	1	2	0	2	1	0.739918	10/10	NonOverlappingTemplate
1	1	1	0	0	2	3	1	1	0	0.534146	10/10	NonOverlappingTemplate
1	0	1	3	1	0	0	1	1	2	0.534146	10/10	NonOverlappingTemplate
1	2	1	0	1	1	1	1	1	1	0.991468	10/10	NonOverlappingTemplate
0	1	1	3	1	0	3	0	1	0	0.213309	10/10	NonOverlappingTemplate
1	2	2	0	2	1	0	1	1	0	0.739918	10/10	NonOverlappingTemplate
1	1	2	0	1	1	1	0	1	2	0.911413	9/10	NonOverlappingTemplate
0	0	0	2	2	0	0	3	2	1	0.213309	10/10	NonOverlappingTemplate
1	1	3	1	0	1	0	1	2	0	0.534146	9/10	NonOverlappingTemplate
1	0	0	0	1	0	0	1	4	3	0.035174	10/10	NonOverlappingTemplate
2	0	1	1	2	1	1	0	1	1	0.911413	10/10	NonOverlappingTemplate
0	0	1	1	1	2	0	2	1	2	0.739918	10/10	NonOverlappingTemplate
3	1	0	1	0	0	2	0	2	1	0.350485	10/10	NonOverlappingTemplate
1	1	1	0	0	1	1	2	1	2	0.911413	9/10	NonOverlappingTemplate
3	1	3	1	0	0	1	0	1	0	0.213309	8/10	NonOverlappingTemplate
2	2	0	1	2	0	2	0	0	1	0.534146	9/10	NonOverlappingTemplate
1	1	2	1	1	2	2	0	0	0	0.739918	10/10	NonOverlappingTemplate
1	2	1	1	0	2	2	0	1	0	0.739918	10/10	NonOverlappingTemplate
2	1	2	1	1	0	0	2	1	0	0.739918	10/10	NonOverlappingTemplate
1	0	3	0	0	1	0	1	3	1	0.213309	10/10	NonOverlappingTemplate
0	3	0	2	0	1	1	0	3	0	0.122325	10/10	NonOverlappingTemplate
1	1	1	2	1	2	0	1	0	1	0.911413	10/10	NonOverlappingTemplate
2	0	1	1	2	0	2	1	1	0	0.739918	10/10	NonOverlappingTemplate
0	1	2	3	0	1	0	1	2	0	0.350485	10/10	NonOverlappingTemplate

3	1	0	2	0	2	1	1	0	0	0.350485	10/10	NonOverlappingTemplate
0	1	1	1	1	3	0	1	0	2	0.534146	10/10	NonOverlappingTemplate
2	0	1	1	2	0	2	0	1	1	0.739918	10/10	NonOverlappingTemplate
0	1	1	3	3	1	1	0	0	0	0.213309	10/10	NonOverlappingTemplate
1	1	1	1	2	1	0	1	1	1	0.991468	10/10	NonOverlappingTemplate
0	1	2	0	1	0	0	3	1	2	0.350485	10/10	NonOverlappingTemplate
1	0	1	0	2	1	1	1	2	1	0.911413	10/10	NonOverlappingTemplate
0	2	1	1	1	1	1	2	0	1	0.911413	10/10	NonOverlappingTemplate
0	0	2	1	1	1	1	0	2	2	0.739918	10/10	NonOverlappingTemplate
0	2	2	0	2	1	0	0	2	1	0.534146	10/10	NonOverlappingTemplate
1	1	2	0	0	1	0	3	1	1	0.534146	10/10	NonOverlappingTemplate
0	0	0	2	0	2	2	1	1	2	0.534146	10/10	NonOverlappingTemplate
2	1	2	1	2	1	0	0	1	0	0.739918	10/10	NonOverlappingTemplate
3	1	1	1	0	0	1	2	0	1	0.534146	10/10	NonOverlappingTemplate
0	2	0	2	0	3	0	2	1	0	0.213309	10/10	NonOverlappingTemplate
1	3	0	0	2	1	1	1	1	0	0.534146	10/10	NonOverlappingTemplate
1	1	1	0	0	0	1	1	2	3	0.534146	10/10	NonOverlappingTemplate
0	0	2	1	1	2	1	3	0	0	0.350485	10/10	NonOverlappingTemplate
1	0	1	1	4	1	0	1	1	0	0.213309	9/10	NonOverlappingTemplate
3	1	0	0	1	1	1	1	1	1	0.739918	9/10	NonOverlappingTemplate
1	1	2	0	0	3	0	1	2	0	0.350485	10/10	NonOverlappingTemplate
0	1	0	3	1	2	1	1	0	1	0.534146	10/10	NonOverlappingTemplate
1	2	0	1	1	1	1	1	1	1	0.991468	10/10	NonOverlappingTemplate
0	1	2	1	2	0	1	3	0	0	0.350485	10/10	NonOverlappingTemplate
3	1	0	1	1	1	1	1	1	0	0.739918	10/10	NonOverlappingTemplate
1	0	3	1	1	1	0	1	0	2	0.534146	10/10	NonOverlappingTemplate
1	0	0	0	0	4	1	0	3	1	0.035174	9/10	NonOverlappingTemplate
0	1	1	0	3	1	2	1	1	0	0.534146	10/10	NonOverlappingTemplate
2	0	0	2	2	2	1	0	1	0	0.534146	10/10	NonOverlappingTemplate
0	0	0	3	0	1	0	3	1	2	0.122325	10/10	NonOverlappingTemplate
2	1	3	0	2	0	0	0	1	1	0.350485	10/10	NonOverlappingTemplate
2	2	0	0	1	0	1	3	1	0	0.350485	10/10	NonOverlappingTemplate
2	0	1	0	1	1	0	0	1	4	0.122325	10/10	NonOverlappingTemplate
1	0	1	0	2	2	1	0	1	2	0.739918	10/10	NonOverlappingTemplate
0	1	1	3	2	2	0	0	1	0	0.350485	10/10	NonOverlappingTemplate
1	0	0	1	1	1	1	2	1	2	0.911413	10/10	NonOverlappingTemplate
0	2	0	0	0	0	1	4	2	1	0.066882	10/10	NonOverlappingTemplate
2	2	2	1	0	0	2	0	1	0	0.534146	10/10	NonOverlappingTemplate
2	2	0	0	2	1	0	2	0	1	0.534146	10/10	NonOverlappingTemplate
0	1	2	1	0	3	0	1	0	2	0.350485	10/10	NonOverlappingTemplate
1	0	1	1	1	2	2	0	1	1	0.911413	10/10	NonOverlappingTemplate
3	0	1	0	1	0	1	1	2	1	0.534146	10/10	NonOverlappingTemplate
1	2	0	1	0	0	3	1	1	1	0.534146	10/10	NonOverlappingTemplate
0	0	0	1	1	2	1	2	1	2	0.739918	10/10	NonOverlappingTemplate
0	0	4	1	2	1	1	0	0	1	0.122325	10/10	NonOverlappingTemplate
1	1	1	1	3	0	1	0	0	2	0.534146	9/10	NonOverlappingTemplate
1	1	0	1	3	1	0	2	0	1	0.534146	10/10	NonOverlappingTemplate
0	1	2	2	1	0	1	0	1	2	0.739918	10/10	NonOverlappingTemplate
3	0	2	0	0	0	3	0	2	0	0.066882	10/10	NonOverlappingTemplate
0	4	1	0	2	0	1	0	2	0	0.066882	10/10	NonOverlappingTemplate
2	2	0	0	0	1	0	3	1	1	0.350485	10/10	NonOverlappingTemplate
2	1	0	1	0	1	1	0	1	3	0.534146	10/10	NonOverlappingTemplate
1	3	1	2	1	0	0	1	0	1	0.534146	10/10	NonOverlappingTemplate
2	0	0	1	1	2	1	2	1	0	0.739918	10/10	NonOverlappingTemplate
0	1	5	1	1	0	0	0	0	2	0.008879	10/10	NonOverlappingTemplate
2	1	0	2	1	1	0	0	1	2	0.739918	10/10	NonOverlappingTemplate
2	0	3	1	1	0	0	3	0	0	0.122325	10/10	NonOverlappingTemplate
0	0	2	0	2	0	2	1	1	2	0.534146	10/10	NonOverlappingTemplate
1	1	2	1	0	3	0	1	1	0	0.534146	10/10	NonOverlappingTemplate
0	0	2	2	1	0	3	1	1	0	0.350485	10/10	NonOverlappingTemplate
0	1	2	0	1	1	0	0	2	3	0.350485	10/10	NonOverlappingTemplate
2	2	0	0	2	1	1	1	0	1	0.739918	10/10	NonOverlappingTemplate
0	2	2	1	1	2	1	0	1	0	0.739918	10/10	NonOverlappingTemplate
2	0	1	1	0	1	1	1	2	1	0.911413	9/10	NonOverlappingTemplate
2	1	0	1	2	2	1	1	0	0	0.739918	10/10	NonOverlappingTemplate
2	0	0	1	3	1	0	0	2	1	0.350485	10/10	NonOverlappingTemplate
0	0	0	1	1	0	3	2	2	1	0.350485	10/10	NonOverlappingTemplate

1	0	0	1	1	1	1	1	1	3	0.739918	10/10	NonOverlappingTemplate
1	0	1	0	2	2	1	0	3	0	0.350485	10/10	NonOverlappingTemplate
0	0	0	1	1	2	2	0	2	2	0.534146	10/10	NonOverlappingTemplate
1	0	1	1	2	0	1	2	1	1	0.911413	10/10	NonOverlappingTemplate
2	0	0	1	0	1	3	2	1	0	0.350485	10/10	NonOverlappingTemplate
2	0	1	1	2	0	2	1	1	0	0.739918	10/10	NonOverlappingTemplate
5	2	2	0	1	0	0	0	0	0	0.004301	8/10	OverlappingTemplate
3	0	0	1	2	0	2	0	0	2	0.213309	10/10	Universal
0	1	1	1	1	1	1	1	2	1	0.991468	10/10	ApproximateEntropy
1	2	0	1	0	1	2	2	0	1	0.739918	9/10	RandomExcursions
2	0	1	1	1	2	0	1	1	1	0.911413	10/10	RandomExcursions
0	0	1	1	1	0	1	3	0	3	0.213309	10/10	RandomExcursions
0	1	0	2	0	4	1	1	1	0	0.122325	10/10	RandomExcursions
0	0	1	2	0	3	1	1	0	2	0.350485	10/10	RandomExcursions
1	0	1	0	2	3	1	1	0	1	0.534146	10/10	RandomExcursions
0	1	1	1	2	1	1	0	0	3	0.534146	10/10	RandomExcursions
1	0	1	1	0	1	2	2	1	1	0.911413	10/10	RandomExcursions
1	2	0	2	1	1	1	2	0	0	0.739918	10/10	RandomExcursionsVariant
2	0	2	1	1	0	1	1	0	2	0.739918	10/10	RandomExcursionsVariant
1	1	2	1	0	1	3	0	0	1	0.534146	10/10	RandomExcursionsVariant
1	2	1	0	3	1	1	0	1	0	0.534146	10/10	RandomExcursionsVariant
1	1	1	1	2	1	0	1	1	1	0.991468	10/10	RandomExcursionsVariant
1	0	2	1	0	2	1	0	2	1	0.739918	10/10	RandomExcursionsVariant
1	1	0	2	0	1	1	3	1	0	0.534146	10/10	RandomExcursionsVariant
0	2	2	1	1	1	0	0	2	1	0.739918	10/10	RandomExcursionsVariant
1	3	0	0	0	2	0	0	2	2	0.213309	10/10	RandomExcursionsVariant
1	1	2	0	2	1	1	0	0	2	0.739918	10/10	RandomExcursionsVariant
1	1	1	1	2	0	0	0	4	0	0.122325	10/10	RandomExcursionsVariant
1	2	1	0	1	1	1	1	2	0	0.911413	10/10	RandomExcursionsVariant
1	2	0	2	1	3	0	0	1	0	0.350485	9/10	RandomExcursionsVariant
1	3	3	1	1	0	0	0	1	0	0.213309	9/10	RandomExcursionsVariant
3	1	3	2	0	0	1	0	0	0	0.122325	10/10	RandomExcursionsVariant
1	3	3	1	2	0	0	0	0	0	0.122325	10/10	RandomExcursionsVariant
1	3	2	2	2	0	0	0	0	0	0.213309	10/10	RandomExcursionsVariant
1	3	2	0	2	2	0	0	0	0	0.213309	10/10	RandomExcursionsVariant
1	0	0	0	1	4	0	2	2	0	0.066882	10/10	Serial
0	2	1	2	2	1	1	1	0	0	0.739918	10/10	Serial
0	0	2	1	0	2	0	1	2	2	0.534146	10/10	LinearComplexity

The minimum pass rate for each statistical test with the exception of the random excursion (variant) test is approximately = 8 for a sample size = 10 binary sequences.

The minimum pass rate for the random excursion (variant) test is approximately = 8 for a sample size = 10 binary sequences.

For further guidelines construct a probability table using the MAPLE program provided in the addendum section of the documentation.



Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar.
The approved original version of this thesis is available in print at TU Wien Bibliothek.

Literaturverzeichnis

- [1] M. Stipčević and Ç. K. Koç, *True Random Number Generators*, pp. 275–315. Cham: Springer International Publishing, 2014.
- [2] M. Stipčević and B. M. Rogina, “Quantum random number generator based on photonic emission in semiconductors,” *Review of Scientific Instruments*, vol. 78, no. 4, p. 045104, 2007.
- [3] A. Khanmohammadi, R. Enne, M. Hofbauer, and H. Zimmermann, “Monolithically integrated optical random pulse generator in high voltage cmos technology,” in *2015 45th European Solid State Device Research Conference (ESSDERC)*, pp. 138–141, Sept 2015.
- [4] *Process & Device Specification XO035 - 0.35 μ m Modular CMOS for Fast Optical Applications*. Erfurt, Germany, June 2013.
- [5] A. L. Lacaita, F. Zappa, S. Bigliardi, and M. Manfredi, “On the bremsstrahlung origin of hot-carrier-induced photons in silicon devices,” *IEEE Transactions on Electron Devices*, vol. 40, pp. 577–582, Mar 1993.
- [6] H. Zimmermann, B. Steindl, M. Hofbauer, and R. Enne, “Integrated fiber optical receiver reducing the gap to the quantum limit,” *Scientific Reports*, vol. 7, no. 2652, 2017.
- [7] J. M. Rabaey *et al.*, *Digital Integrated Circuits: A Design Perspective*. Upper Saddle River, NJ, USA: Prentice-Hall, Inc., 2003.
- [8] R. Gregorian, *Introduction to CMOS OP-Amps and Comparators*. New York: Wiley Publishing, 1999.
- [9] P. R. Gray *et al.*, *Analysis and Design of Analog Integrated Circuits*. New York: Wiley Publishing, 2001.

- [10] B. Goll and H. Zimmermann, *Comparators in Nanometer CMOS Technology*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2015.
- [11] D. Schinkel, E. Mensink, E. Klumperink, E. van Tuijl, and B. Nauta, “A double-tail latch-type voltage sense amplifier with 18ps setup+hold time,” in *2007 IEEE International Solid-State Circuits Conference. Digest of Technical Papers*, pp. 314–605, Feb 2007.
- [12] L. E. Bassham, III, A. L. Rukhin, J. Soto, J. R. Nechvatal, M. E. Smid, E. B. Barker, S. D. Leigh, M. Levenson, M. Vangel, D. L. Banks, N. A. Heckert, J. F. Dray, and S. Vo, “Sp 800-22 rev. 1a. a statistical test suite for random and pseudorandom number generators for cryptographic applications,” tech. rep., Gaithersburg, MD, United States, 2010.
- [13] M. Dichtl, *Bad and Good Ways of Post-processing Biased Physical Random Numbers*, pp. 137–152. Berlin, Heidelberg: Springer Berlin Heidelberg, 2007.

Abbildungsverzeichnis

1.1.	Prinzip der Zufallszahlgenerierung. Aus $t_2 > t_1$ folgt eine „1“, aus $t_2 < t_1$ eine „0“ und im Fall von $t_2 = t_1$ wird die Messung verworfen.	2
1.2.	Zeitvergleich durch Aufintegration der Ladung in einem Kondensator durch einen konstanten Strom. Oben: Eingangsimpulse und Kondensatorspannung, Mitte: Komparatorausgang, Unten: Ladestrom	3
2.1.	Aufbau der MOSFET-Typen und des Kondensators im Prozess, welcher zur Erstellung der Schaltung verwendet wurden (nicht maßstabsgetreu)	5
2.2.	Nicht maßstabsgetreue Abbildung des LED und SPAD Aufbaus (Querschnitt links, Ansicht von oben rechts)	6
2.3.	Schaltungsprinzip des verwendeten aktiven Quenchers	7
2.4.	Gefordertes zeitliches Verhalten des Ausgangssignals. Oben: Freigabesignal, unten: Datensignal	9
2.5.	Schaltungsblöcke und Signale der gewählten Realisierung	10
2.6.	Schaltung zur Generierung des überlappungsfreien Integratoransteuertakts .	11
2.7.	Verstärktes Eingangssignal (a), T-FlipFlop Ausgangssignal (b) und überlappungsfreier Takt (c)(d)	12
2.8.	Schematische Darstellung der Signalwege zur Komparatortriggerung und Reset-Auslösung	12
2.9.	Schaltungskonzept der Integratorstufe	13
2.10.	Symbolhafte Darstellung der Signalverläufe zur Ausgangspegelgenerierung. Quencher-Signal (a), Lade-/Entladesignal (b), Kondensatorspannung U_C (c), Komparator-Triggersignal (d), Komparator-Ausgang (e)	14
2.11.	Logische und zeitliche Verknüpfung von Takt- und Komparatorsignal zur Generierung der Ausgangssignale	15
2.12.	Eingangsstufe (OPV), links: Arbeitspunkteinstellung der Stromquellen, mitte: Differenzverstärker, rechts: Ausgangsstufe	16
2.13.	Simulation der Eingangsverstärkerstufe. Eingangsspannung: $U_q = 0,6\text{ V}$, Impulsdauer: 6 ns , $v_{in_ref} = 0,3\text{ V}$	17
2.14.	Ansteuersignal der MOSFETs zur Steuerung der Stromrichtung durch den Integrationskondensator	18
2.15.	Verzögerung zwischen dem Komparatortaktsignal und dem Kondensator-entladesignal	19

2.16. (a) Transmission-Gate (mit Beschaltung zur Simulation der Kennlinie rechts), (b) Widerstand des Transmissiongates in Abhängigkeit der angelegten Spannung U_{TG} im eingeschalteten Zustand (n-Kanal/p-Kanal Gateweite)	20
2.17. Entladung des Integrationskondensators über das Transmission-Gate	21
2.18. Beschaltung des Integrationskondensators mit den Transmission-Gates zur Stromumschaltung und Entladung	22
2.19. OPV (gefaltete Kaskode) mit n-Kanal Eingangsstufe	22
2.20. Simulation der Kondensatorspannung U_C und des Kondensatorstromes I_C bei unsymmetrischer (60 ns Lade-, 40 ns Entladezeit) und bei einer symmetrischen Lade- und Entladezeit von 40 ns	25
2.21. Simulation der Kondensatorspannung U_C für drei verschiedene Tastverhältnisse der Lade- Entladeansteuerung (40:60, 50:50 und 60:40)	26
2.22. Kondensatorspannung (blau) zum Zeitpunkt der Auswertung durch den Komparator in Abhängigkeit zur Differenz von Lade- (t_{12}) und Entladezeit (t_{11}) des Integrators. Der erste Intervall beträgt hier 12 ns. Die rechte Grafik zeigt die ersten 100 ns vergrößert. In orange ist, strichliert, eine Gerade im Vergleich zur blauen Simulationskurve eingezeichnet.	26
2.23. Simulation wie in Abbildung 2.22, jedoch mit längerem ersten Intervall $t_{11} = 505$ ns	27
2.24. Simulation wie in Abbildung 2.22, jedoch mit längerem ersten Intervall $t_{11} = 5$ μ s	27
2.25. „Corner-“simulation mit $t_{11} = 505$ ns. Es werden Simulationsparameter für die Grenzfälle der, vom Hersteller (X-FAB), spezifizierten Toleranzen, des verwendeten Prozesses, verwendet. tm. . . typical mean, wp. . . worst case power, ws. . . worst case speed, wo. . . worst case one, wz. . . worst case zero	28
2.26. Einschwingvorgang im Umladezeitpunkt bei 5 μ s Entladezeit vor dem Schaltzeitpunkt.	28
2.27. Konstantstromquelle	29
2.28. Kennlinie der Stromquelle zur Bereitstellung des Integratorstromes	30
2.29. Auswertekomparator mit zwei Eingangspaaren	31
2.30. Ausgangssignal des Komparators in Abhängigkeit vom Taktsignal und der Spannung am Eingangspaar T_3 , T_4	32
2.31. Histogramm des Komparatoroffsets am Eingang. Berechnet mittels Monte-Carlo Analyse mit 50 Durchläufen. (Durchschnittswert: 2,1 mV, Standardabweichung: 20,8 mV)	33
2.32. D-FlipFlop mit eingezeichneter Rückkopplung zur Konfiguration als T-FF	34
2.33. Schaltung zur Generierung eines 6 ns Impulses	34
2.34. Umwandlung eines beliebig langen Eingangspulses in ein 3 ns dauerndes Signal	35
2.35. Reaktion der 6 ns Impulsbegrenzungsschaltung auf kurze und lange Eingangsimpulse	35

2.36. Simulation der Ausgangsspannung bei Stimulation mit $50\ \Omega$ und einem Eingangspuls mit 6 ns Breite	36
2.37. Padkonfiguration des Zufallszahlengenerators	37
2.38. Layout des Chips mit eingezeichneten Funktionsbereichen	39
2.39. Simulation der Gesamtschaltung. Abhängig von den Impulsabständen der Eingangsimpulse wird am Datenausgang ein „high“ oder „low“ Pegel erzeugt.	40
2.40. Vergrößertes Ausgangssignal aus Abb. 2.39. Durch die Simulation nicht idealer Bedingungen entsteht ein leichtes Einschwingen und gegenseitige Einkopplung leichter Störungen	41
2.41. Wiederholung der Simulation aus Abb. 2.39, jedoch unter Miteinbeziehung der parasitären Effekte aus der Postlayout-Simulation	42
2.42. Vergrößertes Ausgangssignal aus Abb. 2.41. Die Berücksichtigung parasitärer Kapazitäten verursacht Einschwingvorgänge, deren Amplitude und Zeitverläufe sich in weiterer Folge jedoch nicht negativ auswirken.	43
2.43. Variation der Ausgangssignaldauer, berechnet durch eine Monte-Carlo Analyse mit 50 Durchläufen (data_1: $\mu = 11,33\ \text{ns}$, $\sigma = 189,1\ \text{ps}$, data_valid_1: $\mu = 7,48\ \text{ns}$, $\sigma = 119,4\ \text{ps}$)	43
2.44. Monte-Carlo Analyse der Verzögerungszeit zwischen den beiden steigenden Flanken des „data“- und „data_valid“-Ausgangs ($\mu = 3,47\ \text{ns}$, $\sigma = 60,5\ \text{ps}$)	44
3.1. Fotografie des produzierten Chips. Rot: LED, SPAD und Quencher, Blau: die im Zuge dieser Arbeit entworfene Schaltung, schwarz: $50\ \Omega$ Treiber	45
3.2. PCB-Layout des Chipträgers	46
3.3. Aufgebaute Testplatine mit zentral angeordnetem Chip	47
3.4. Schematische Darstellung des verwendeten Messaufbaus	48
3.5. Ausgangsbitfolgen am Beispiel vom Auswertungszweig 1 für den Abgleichvorgang. Unabgeglichen (oben), schlecht abgeglichen (mitte) und abgeglichen (unten)	50
3.6. Aufnahme der verschachtelten Funktionsweise der beiden Auswertungszweige, jeweils für den Fall einer „0“ und einer „1“ als Ausgangsbit	51
3.7. Zeitlicher Zusammenhang zwischen Daten- und Datenfreigabesignal	52
3.8. Anstiegs- und Fallzeit des Ausgangssignals bei einer Last von $50\ \Omega$	53
3.9. Invertierung jedes zweiten Ausgangsbits	54
3.10. Messaufbau am Waferprober	55
3.11. Messaufbau zur Inbetriebnahme der LED am Chipträger (relevanter Ausschnitt des Gesamtchips)	55
3.12. Signale an den vier Ausgängen bei einem LED-Strom von $0,55\ \text{mA}$	56
3.13. Signale an den vier Ausgängen bei einem LED-Strom von $1,1\ \text{mA}$	56
3.14. Messung der Photonenzählrate in Abhängigkeit des LED-Stromes bei einer Substratspannung von $-11,6\ \text{V}$	57
3.15. Messung der Photonenzählrate in Abhängigkeit der Substratspannung für verschiedene Diodenströme	58

Hiermit erkläre ich, dass die vorliegende Arbeit gemäß dem Code of Conduct – Regeln zur Sicherung guter wissenschaftlicher Praxis (in der aktuellen Fassung des jeweiligen Mitteilungsblattes der TU Wien), insbesondere ohne unzulässige Hilfe Dritter und ohne Benutzung anderer als der angegebenen Hilfsmittel, angefertigt wurde. Die aus anderen Quellen direkt oder indirekt übernommenen Daten und Konzepte sind unter Angabe der Quelle gekennzeichnet. Die Arbeit wurde bisher weder im In- noch im Ausland in gleicher oder in ähnlicher Form in anderen Prüfungsverfahren vorgelegt.

Wien, Juni 2017

David Bugl