



TECHNISCHE  
UNIVERSITÄT  
WIEN  
Vienna | Austria



## Diplomarbeit

# Post-Regulator IC für einen Push-Pull Wandler

ausgeführt zum Zwecke der Erlangung des akademischen Grades eines Diplom-Ingenieurs  
(Dipl.-Ing. oder DI), eingereicht an der TU Wien, Fakultät für Elektrotechnik und  
Informationstechnik, von

**Michael KOBLER**

Mat.Nr.: 01605139

unter der Leitung von

Univ. Prof. Dipl.-Ing. Dr. Johann Ertl

Institut für Energiesysteme und Elektrische Antriebe

Wien, Februar 2023

Ich nehme zur Kenntnis, dass ich zur Drucklegung dieser Arbeit nur mit Bewilligung der Prüfungskommission berechtigt bin.

### *Eidesstattliche Erklärung*

Ich erkläre an Eides statt, dass die vorliegende Arbeit nach den anerkannten Grundsätzen für wissenschaftliche Abhandlungen von mir selbstständig erstellt wurde. Alle verwendeten Hilfsmittel, insbesondere die zugrunde gelegte Literatur, sind in dieser Arbeit genannt und aufgelistet. Die aus den Quellen wörtlich entnommenen Stellen, sind als solche kenntlich gemacht.

Das Thema dieser Arbeit wurde von mir bisher weder im In- noch Ausland einer Beurteilerin/einem Beurteiler zur Begutachtung in irgendeiner Form als Prüfungsarbeit vorgelegt. Diese Arbeit stimmt mit der von den Begutachterinnen/Begutachtern beurteilten Arbeit überein.

Ich nehme zur Kenntnis, dass die vorgelegte Arbeit mit geeigneten und dem derzeitigen Stand der Technik entsprechenden Mitteln (Plagiat-Erkennungssoftware) elektronisch-technisch überprüft wird. Dies stellt einerseits sicher, dass bei der Erstellung der vorgelegten Arbeit die hohen Qualitätsvorgaben im Rahmen der geltenden Regeln zur Sicherung guter wissenschaftlicher Praxis „Code of Conduct“ an der TU Wien eingehalten wurden. Zum anderen werden durch einen Abgleich mit anderen studentischen Abschlussarbeiten Verletzungen meines persönlichen Urheberrechts vermieden.

---

*Stadt und Datum*

---

*Unterschrift*

# Danksagung

An dieser Stelle möchte ich mich bei Univ. Prof. Dipl.-Ing. Dr. Johann Ertl bedanken, der mit seiner Vorlesung „Leistungselektronik und Stromrichtertechnik“ mein Interesse an dem Themengebiet der Leistungselektronik geweckt und mir beim Verfassen dieser Arbeit für technische und wissenschaftliche Fragestellungen immer zur Seite gestanden hat.

Mein besonderer Dank geht an Dipl.-Ing. Aurel-Vasile Neic von der MAGNA Powertrain GmbH & Co KG für seine Unterstützung und Betreuung der Arbeit. Seine herausragende fachliche Expertise und das Teilen seiner praktischen Erfahrungen haben diese Arbeit erst ermöglicht und werden mir für meine akademische und berufliche Zukunft sehr weiterhelfen.

Ebenfalls möchte ich mich bei meiner Familie bedanken, die mich während meiner Studienzzeit immer unterstützt hat.

*"Not everything that counts can be counted, and not everything that can be counted counts." Albert Einstein*

# Inhaltsverzeichnis

<b>ABSTRACT</b> .....	<b>3</b>
<b>KURZFASSUNG</b> .....	<b>4</b>
<b>ABBILDUNGSVERZEICHNIS</b> .....	<b>5</b>
<b>TABELLENVERZEICHNIS</b> .....	<b>6</b>
<b>ABKÜRZUNGSVERZEICHNIS</b> .....	<b>7</b>
<b>1 EINLEITUNG</b> .....	<b>8</b>
<b>2 ALLGEMEINES ZUM PUSH-PULL WANDLER</b> .....	<b>9</b>
2.1 VORTEILE DES PUSH-PULL KONVERTERS .....	9
2.1.1 Einfaches Prinzip .....	9
2.1.2 Ausnutzung des magnetischen Kerns in zwei Quadranten .....	9
2.1.3 Gutes EMV Verhalten .....	10
2.2 TOPOLOGIEN .....	11
2.2.1 PWM gesteuert .....	11
2.2.1.1 Analyse PWM-gesteuert .....	11
2.2.1.2 PLECS-Simulation PWM-gesteuert .....	14
2.2.2 Stromgespeist .....	18
2.2.2.1 Analyse Stromgespeist .....	18
2.2.2.2 PLECS-Simulation Stromgespeist .....	20
2.2.3 Konstantes $D = 0,5$ .....	23
2.2.3.1 Analyse konstanter Duty Cycle .....	23
2.2.3.2 PLECS-Simulation konstanter Duty Cycle .....	23
<b>3 GATEANSTEUERUNG</b> .....	<b>26</b>
3.1 IGBT .....	26
3.1.1 Notwendigkeit einer negativen Steuerspannung .....	26
3.1.2 Einschalt- und Ausschaltverhalten des IGBT .....	27
3.2 SiC-MOSFET .....	28
3.2.1 Negative Gate-Spannung .....	30
3.2.2 Body Diode .....	30
3.2.3 Dynamisches Verhalten .....	30
3.3 GAN .....	32
3.4 SiC MOSFET-GATETREIBER GD3160 .....	34
<b>4 ASPEKTE DER PRAKTISCHEN UMSETZUNG EINES PUSH-PULL WANDLERS</b> .....	<b>35</b>
4.1 FLUX WALKING .....	35
4.1.1 Entstehung von Flux Walking .....	35
4.1.2 Begrenzung von Flux Walking .....	37
4.1.2.1 $R_{DS,on}$ .....	37
4.1.2.2 Deadtime .....	38
4.1.2.3 Strombegrenzung .....	39
4.1.3 Überprüfung auf Asymmetrie .....	39
4.2 SCHALTUNG .....	41
4.2.1 Push-Pull Transformator Treiber SN6505 .....	42
4.3 TI EVALUATION BOARD SN6507DGQEV .....	43
4.3.1 Push-Pull Transformator Treiber SN6507 .....	43
4.3.2 Tests der neuen Funktionen .....	44
4.3.2.1 Einstellung der Frequenz .....	45
4.3.2.2 Slew Rate .....	45
4.3.2.3 Soft Start .....	46
<b>5 POSTREGULATOR FÜR PUSH-PULL KONVERTER</b> .....	<b>47</b>

5.1 SIMULATION IN LTSPICE .....	47
5.1.1 <i>Push-Pull Konverter</i> .....	47
5.1.1.1 Primärseite .....	48
5.1.1.2 Sekundärseite .....	51
5.1.2 <i>Last</i> .....	53
5.1.3 <i>Postregulator</i> .....	55
5.1.3.1 U18 – positive Spannung .....	55
5.1.3.2 U5 – negative Spannung .....	59
5.2 EVALUATION BOARD IN ALTIUM .....	62
5.2.1 <i>Schematic</i> .....	62
5.2.1.1 Push-Pull Konverter .....	62
5.2.1.2 IC .....	63
5.2.1.3 Last .....	63
5.2.2 <i>PCB-Layout</i> .....	67
5.2.3 <i>PCB und PCBA</i> .....	67
<b>6 MESSERGEBNISSE .....</b>	<b>69</b>
6.1 MESSAUFBAU .....	69
6.2 OSZILLOSKOPAUFNAHMEN .....	70
6.2.1 <i>Postregulator deaktiviert</i> .....	70
6.2.2 <i>Postregulator aktiviert</i> .....	72
6.2.2.1 Start-Up .....	72
6.2.2.2 Steady-State ohne Last / Resonanz .....	74
6.2.2.3 Snubber .....	75
6.2.2.4 Switching .....	76
6.2.2.5 Asymmetrie-Test mittels Dioden .....	81
6.2.2.6 „Worst-Case“ .....	83
<b>ZUSAMMENFASSUNG .....</b>	<b>83</b>
<b>A SCHALTPLÄNE, LAYOUTS UND BOARDS .....</b>	<b>84</b>
A.1 EVALUATION BOARD SN6507 .....	84
A.2 LTSPICE-SIMULATIONEN .....	87
A.3 EVALUATION BOARD POSTREGULATOR .....	89
<b>LITERATURVERZEICHNIS .....</b>	<b>95</b>

# Abstract

The current climate change situation requires a rapid and consistent rethinking and retooling in numerous industrial sectors. The automotive sector is currently undergoing a rapid paradigm shift. Electric drives in electric cars are becoming increasingly important.

In addition, there are countless technological advances within the field of electric drives themselves. The transition from silicon, the most important material in power transistors, to progressively cheaper wide-bandgap materials such as silicon carbide and gallium nitride is probably one of the most important.

However, this transition introduces further challenges and costs.

In this thesis, the DC/DC converter topology of the push-pull converter is examined in a practical environment as a power supply for a gate driver.

The first chapters deal with this double-ended converter in general and some of its advantages and disadvantages. Different variants of the converter are explained, their control laws mathematically derived, based on their underlying physical laws and verified by means of simulation software. Subsequently, the topic of gate control is dealt with. The most important properties of the named transistor materials and their differences are discussed. These are, among other things, the motivation for the topic of this thesis.

The fourth chapter deals with more practical aspects of the push-pull converter and what needs to be considered in its design, after the rather theoretical-ideal discussions of the initial chapters.

Finally, the concept of a "post regulator" for push-pull converters is presented. This is to be produced later as an IC and only adjust the value of the output voltage by means of one resistor per voltage polarity. This makes it possible to keep a transformer that is already in use for different projects and materials of the power transistors. When switching from silicon to silicon carbide or gallium nitride, there is no need for a new, separate production, including the costly insulation tests of the magnetic component.

For this purpose, a simulation model was first created in LTSpice, a hardware evaluation board was created and then tested.

The final part of the work is the measurement results of the hardware tests of the post-regulator PCB.

# Kurzfassung

Die derzeitige Gegebenheit mit dem Klimawandel erfordert ein rasches und konsequentes Umdenken und Umrüsten in zahlreichen Industriezweigen. Der Automobilsektor durchläuft dadurch aktuell einen temporeichen Paradigmenwechsel. Den elektrischen Antrieben in Elektroautos kommt dabei eine stetig wachsende Bedeutung zu.

Hinzu kommen unzählige technologische Fortschritte innerhalb des Themenfeldes der elektrischen Antriebe selbst. Wobei die Transition von Silizium, als wichtigstes Material in den Leistungstransistoren, auf immer günstiger herzustellende wide-bandgap Materialien wie Siliziumkarbid und Galliumnitrid wohl zu einem der wichtigsten gehört.

Dieser Übergang führt jedoch zu weiteren Herausforderungen und Kosten.

In dieser Arbeit wird die DC/DC-Wandler Topologie des Push-Pull Konverters im praktischen Umfeld als Spannungsversorgung für einen Gatetreiber beleuchtet.

Die ersten Kapitel behandeln diesen „double-ended“-Wandler allgemein mit einigen seiner Vor- und Nachteile. Unterschiedliche Varianten des Konverters werden erläutert, ihre Steuergesetze anhand ihrer zu Grunde liegenden physikalischen Gesetzmäßigkeiten mathematisch hergeleitet und mittels Simulationssoftware nachgewiesen. Im Anschluss wird das Thema Gateansteuerung behandelt. Dabei wird auf die wichtigsten Eigenschaften der benannten Transistormaterialien und deren Unterschiede eingegangen. Diese stellen unter anderem die Motivation für das Themengebiet dieser Arbeit dar.

Das vierte Kapitel befasst sich, nach den eher theoretisch-idealen Auseinandersetzungen der Anfangskapitel, mit praktischeren Aspekten des Push-Pull Konverters und was es bei seiner Auslegung zu beachten gilt.

Abschließend wird das Konzept eines „Postregulators“ für Push-Pull Konverter vorgestellt. Dieser soll später als IC hergestellt werden und nur mittels einem Widerstand pro Spannungspolarität den Wert der Ausgangsspannung einstellen. Dies ermöglicht die Beibehaltung eines schon in Verwendung kommenden Transformators für unterschiedliche Projekte und Materialien der Leistungstransistoren. Beim Übergang von Silizium zu Siliziumkarbid oder Galliumnitrid muss keine neue, eigene Fertigung, inklusive der kostspieligen Isolationstests, des magnetischen Bauteils erfolgen.

Dafür wurde zuerst ein Simulationsmodell in LTSpice erstellt, ein Hardware-Evaluation Board erstellt und anschließend getestet.

Den Abschluss der Arbeit bilden die Messergebnisse der Hardware-Tests des Postregulator PCBs.

# Abbildungsverzeichnis

Abbildung 1: Inverter-Schematic [1].....	9
Abbildung 2: Ausnutzung des magnetischen Kerns innerhalb zweier Quadranten [2].....	9
Abbildung 3: Unterdrückung der Common-Mode-Ströme [2] .....	10
Abbildung 4: Push-Pull Wandler PWM gesteuert.....	11
Abbildung 5: Zeitverläufe des PWM gesteuerten Push-Pull Wandlers [3].....	12
Abbildung 6: PLECS-Schematic des PWM-geregelten PP-Konverters.....	14
Abbildung 7: $U_x$ vor dem LC-Ausgangsfilter und Ausgangsspannung $U_o$ .....	15
Abbildung 8: Spulenstrom $I_Lx$ und Signale an SW1 und SW2 .....	16
Abbildung 9: Strom durch beide Dioden D1 und D2.....	17
Abbildung 10: Current Fed Push-Pull Konverter .....	18
Abbildung 11: Schaltsignale, $i_x$ und $u_Lx$ des Current-Fed PP Konverters [3] .....	20
Abbildung 12: PLECS-Schematic des stromgespeisten PP-Konverters .....	21
Abbildung 13: Ausgangsspannung $U_o$ .....	21
Abbildung 14: Strom $I_x$ und Schaltsignale von SW1 und SW2.....	22
Abbildung 15: Spannung $U_Lx$ an der Spule.....	22
Abbildung 16: Push-Pull Konverter mit 50% Duty-Cycle.....	23
Abbildung 17: PLECS-Schematic des $D = 0,5$ PP-Konverters .....	24
Abbildung 18: Ausgangsspannung $U_o$ .....	24
Abbildung 19: Schaltsignale SW1, SW2 und Strom am Ausgang.....	25
Abbildung 20: Ursache für den Miller-Strom [7].....	27
Abbildung 21: IGBT äquivalentes ESB [9].....	27
Abbildung 22: Ausgangskennlinie eines SiC-MOSFETs [10].....	29
Abbildung 23: RDS,on-Verhalten von SiC-MOSFETs [10].....	29
Abbildung 24: Testschaltung zur Bestimmung der dynamischen Eigenschaften [10].....	30
Abbildung 25: Turn-On Schaltverhalten 1200V Halbbrücke mit $20m \Omega$ RDSon [10].....	31
Abbildung 26: Beispielhafte GaN Power Transistor Struktur [16] .....	32
Abbildung 27: Parasitäre Kapazitäten von GaN-Transistoren .....	33
Abbildung 28: Ausgeglichener Magnetisierungsstrom durch gleichmäßige Belastung des Kerns.....	36
Abbildung 29: Offset des Magnetisierungsstrom durch ungleichmäßige Belastung des Kerns .....	36
Abbildung 30: $R_{DS,on}$ als negatives Feedback.....	37
Abbildung 31: Diode in Serie mit einem der Primärzweige zur Kontrolle der Ausprägung der Asymmetrie [17].....	39
Abbildung 32: Strom im Transformatormittelpunkt ohne und mit Diode in Serie [17] .....	40
Abbildung 33: Push-Pull Konverter in der Praxis .....	41
Abbildung 34: Pinout des SN6505 [18] .....	42
Abbildung 35: Pinout des SN6507 [20] .....	43
Abbildung 36: SN6507 Frequenzänderung .....	45
Abbildung 37: SN6507 Slew Rate Änderung .....	45
Abbildung 38: SN6507 Soft Start Änderung.....	46
Abbildung 39: Postregulator-Konzept im sekundärseitigen Gleichrichter des Konverters .....	47
Abbildung 40: Push-Pull Konverter vorderer Teil .....	48
Abbildung 41: mit RC-Snubber Beschaltung.....	49
Abbildung 42: ohne RC-Snubber Beschaltung .....	49
Abbildung 43: Messungen und Berechnungen für die Transformator Induktivitäten.....	50
Abbildung 44: Gleichrichterstufe auf der Sekundärseite des Push-Pull Konverters.....	51

Abbildung 45: Gesteuerte Ausgangsspannungen des Push-Pull Konverter mit integriertem Postregulator.....	52
Abbildung 46: Simulationsmodell der Last.....	53
Abbildung 47: Ladeströme des äquivalenten Transistorgates.....	54
Abbildung 48: LTSpice Schematic des Postregulators für die positive Ausgangsspannung ...	55
Abbildung 49: Funktion des Postregulators für die positive Ausgangsspannung.....	57
Abbildung 50: Artificial Load der positiven Regeleinheit.....	58
Abbildung 51: LTSpice Schematic des Postregulators für die negative Ausgangsspannung ..	59
Abbildung 52: Funktion des Postregulators für die negative Ausgangsspannung.....	60
Abbildung 53: Künstliche Last der negativen Regeleinheit.....	61
Abbildung 54: Dioden für den Asymmetrie-Test.....	62
Abbildung 55: Deaktivierung des Postregulators.....	63
Abbildung 56: Levelshift vor dem Gatetreiber.....	64
Abbildung 57: Gatetreiber mit Lastkondensatoren und Filterung.....	65
Abbildung 58: Laststrom RC-Verhalten.....	65
Abbildung 59: Daten für die Umwandlung zum Puls.....	66
Abbildung 60: Ergebnis der Mathcad-Berechnung.....	66
Abbildung 61: PCB Layer-Stackup.....	67
Abbildung 62: Fertiges PCB.....	67
Abbildung 63: Fertiges PCBA.....	68
Abbildung 64: Messaufbau für das Testen des Postregulators.....	69
Abbildung 65: Ausgangsspannungen ohne Postregulator.....	70
Abbildung 66: Strom im Transformatormittelpunkt primärseitig.....	71
Abbildung 67: Spannungseinbrüche bei Stromspitzen ohne Postregulator.....	71
Abbildung 68: Start-Up mit Postregulator und ohne Last.....	72
Abbildung 69: Start-Up mit Postregulator und Last.....	73
Abbildung 70: Start-Up Zoom-In.....	73
Abbildung 71: Steady-State Betrieb ohne Last.....	74
Abbildung 72: Grundlast Leakage Regulierung.....	75
Abbildung 73: Snubber Kondensator Änderung.....	75
Abbildung 74: Snubber Kondensator Änderung Zoom-In.....	76
Abbildung 75: Schaltsignal mit Eingangsstrom und Ausgangsspannung.....	77
Abbildung 76: Abgeänderte Ausgangskapazität zum Stützen.....	78
Abbildung 77: Strom mit überbrückten Resonanzkondensatoren.....	78
Abbildung 78: Eingangsstrom zu Drainspannung mit Resonanz Zoom-In.....	79
Abbildung 79: Optimales Verhalten mit angepassten Ausgangs-, Resonanz- und Lastkondensatoren.....	79
Abbildung 80: Verzögerung Eingang zu Ausgang.....	80
Abbildung 81: Gatespannung mit Ausgangsstrom.....	80
Abbildung 82: Asymmetrie-Test ohne Diode.....	81
Abbildung 83: Asymmetrie-Test ohne Diode Zoom-In.....	81
Abbildung 84: Asymmetrie-Test mit Diode.....	82
Abbildung 85: Asymmetrie-Test mit Diode Zoom-In.....	82
Abbildung 86: maximal möglicher Strom vom Ixys-Treiber.....	83
Abbildung 87: Ausgangsspannungen und Strom bei maximalen Laststrom.....	83
Abbildung 88: Schematic des TI Evaluation Boards SN6507DGQEV.....	84
Abbildung 89: PCB Layout Top SN6507DGQEV.....	85
Abbildung 90: PCB Layout Bottom SN6507DGQEV.....	85
Abbildung 91: PCB 3D Ansicht SN6507DGQEV.....	86
Abbildung 92: Simulationsfile des Postregulators.....	87

Abbildung 93: Simulationsfile des Push-Pull Konverters.....	88
Abbildung 94: Schematic des Push-Pull Konverters.....	89
Abbildung 95: Schematic des Postregulators .....	90
Abbildung 96: Schematic der Last .....	91
Abbildung 97: 3D-Ansicht des Boards.....	92
Abbildung 98: Top Layer .....	92
Abbildung 99: 2 Layer - GND.....	93
Abbildung 100: 3 Layer - GND.....	93
Abbildung 101: Bottom Layer.....	94

# Tabellenverzeichnis

Tabelle 1: Bauteilwerte für die PLECS-Simulation PWM-gesteuerter PP-Konverter .....	14
Tabelle 2: Bauteilwerte für die PLECS-Simulation stromgespeicherter PP-Konverter .....	21
Tabelle 3: Bauteilwerte für die PLECS-Simulation $D = 0,5$ PP-Konverter .....	23
Tabelle 4: Halbleiter Materialeigenschaften [10] .....	28
Tabelle 5: Pin-Funktionen des SN6505 [18] .....	42
Tabelle 6: Pin-Funktionen des SN6507 [20] .....	44

# Abkürzungsverzeichnis

B	Magnetische Flussdichte
CCM	Continuous Conduction Mode (nicht-lückender Betrieb)
D	Duty Cycle
ECAD	Electronic Computer-Aided-Design
EMV	Elektromagnetische Verträglichkeit
ESB	Ersatzschaltbild
GaN	Galliumnitrid
H	Magnetische Feldstärke
HASL	Hot Air Solder Leveling
HEMT	High-electron-mobility Transistor
IC	Integrated Circuit (integrierter Schaltkreis)
IGBT	Insulated Gate Bipolar Transistor
LDO	Low-dropout regulator
MLCC	Multi-Layer Ceramic Capacitor
MOSFET	Metal Oxid Semiconductor Field Effect Transistor
SiC	Silicon carbide (Siliziumcarbid)
SPICE	Simulation Program with Integrated Circuit Emphasis
ü	Transformatorübersetzungsverhältnis
WBG	Wide Band Gap (Halbleiter mit breitem Bandabstand)
ZCS	Zero Current Switching
2DEG	Two-dimensional electron gas (zweidimensionales Elektronengas)

# 1 Einleitung

Das Spannungsversorgungssystem in elektrischen Antrieben ist sehr komplex, verteilt sich hierarchisch auf mehrere Ebenen, muss teilweise isoliert und konform der Anforderungen redundant aufgebaut sein. Damit kann sichergestellt werden, dass sich Fehler im Falle nicht über die Versorgungsblöcke hinaus ausbreiten und den Fail-State Mechanismus nicht gefährden.

Je nach Anwendung kommen unterschiedlichste Topologien von DC zu DC-Konvertern zum Einsatz. In der nachfolgenden Arbeit wird auf eine galvanisch isolierte Variante für die Verwendung im Bereich des Gatetreiber-Boards eingegangen.

Das Leistungsmodul mit den Silizium-IGBT oder Siliziumkarbid MOSFET (zukünftig auch GaN) Transistorhalbbrücken wird mit der Hochvoltbatterie und dem DC-Link Kondensator und am anderen Ende mit dem elektrischen Motor verbunden. Die Abbildung 1 zeigt das grundlegende Konzept eines Wechselrichters in der elektrischen Antriebstechnik. Für die benötigte Anpassung der Motorleistung können die einzelnen Transistoren sehr gezielt geschaltet werden. Dazu ist jedem einzelnen Schalter ein Gatetreiber zugeordnet, der die von einem Mikrocontroller kommenden Steuersignale verstärkt. Um diese Funktion zu gewährleisten, benötigt jeder Treiber eine eigene Spannungsversorgung. Da sich der Mikrocontroller auf der Niederspannungsseite befindet und die Transistoren Hochspannung schalten, muss eine Isolierung sicherheitshalber für den Gatetreiber und auch dessen Spannungsversorgung erfolgen. Dabei muss die parasitäre Koppelkapazität möglichst klein sein, um Injektionsströme zu vermeiden. Dafür stehen mehrere Varianten zur Auswahl, wobei in den folgenden Kapiteln ein Push-Pull Konverter zur Anwendung kommt. Diese Wahl wird unter anderem im Kapitel 2 begründet.

Da aktuell der Übergang von IGBT auf SiC-MOSFET Leistungsmodulen stattfindet und dies auch eine Änderung der Steuerung zur Folge hat, muss man eine Möglichkeit finden, die Spannungsniveaus der Spannungsversorgung für die Treiber anzupassen. Um das bestehende Modell des Transformators des Spannungskonverters für alle künftigen Projekte beizubehalten und um aufwendige Entwicklungskosten, Isolationstests etc. für einen angepassten Transformator zu sparen, wird im Zuge dieser Arbeit ein Postregulator IC entwickelt, der mittels einzelner Widerstände die Ausgangsspannung des Konverters an die benötigte Steuerspannung anpasst.

Zuerst wird auf die verwendete Topologie und deren Varianten im Detail eingegangen. Die entsprechenden Steuergesetze werden mathematisch mit Hilfe der Zeitverläufe von Strömen und Spannungen hergeleitet und simulationstechnisch auf Übereinstimmung überprüft.

Im Anschluss wird näher auf den Unterschied von Silizium IGBTs, SiC-MOSFETS und deren Ansteuerung eingegangen. Die unterschiedlichen Spannungsniveaus für deren Steuerung stellen demnach die Grundlage dieser Arbeit dar.

Die darauffolgenden Kapitel befassen sich mit der praktischen Umsetzung von Push-Pull Konvertern und Effekten, die es im praktischen Umfeld zu berücksichtigen gilt. Der entwickelte Postregulator wird anhand von SPICE-Simulationen prinzipiell erklärt und abschließend in Form eines eigenen Evaluation Boards getestet. Die dadurch entstandenen Messergebnisse schließen diese Arbeit ab.

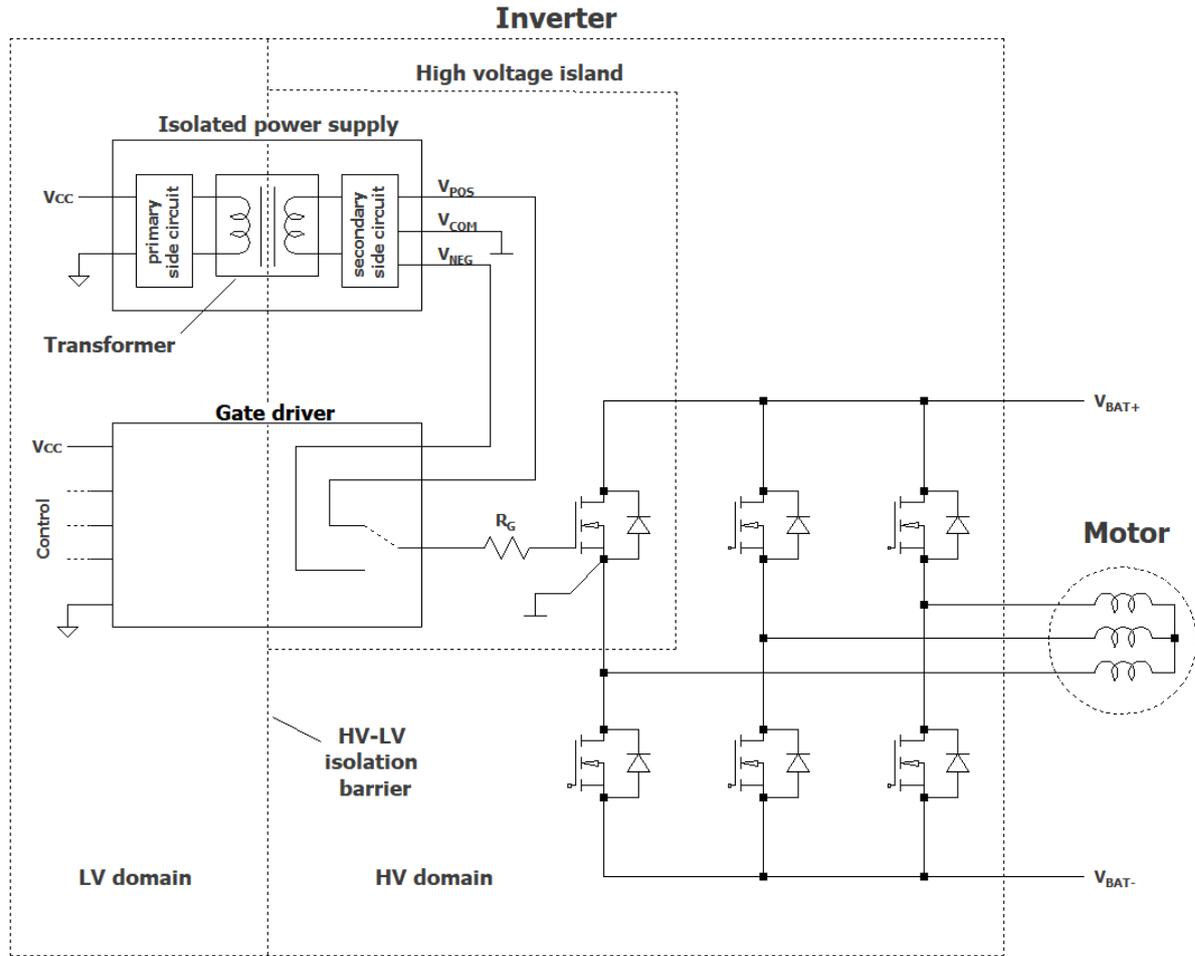


Abbildung 1: Inverter-Schematic [1]

## 2 Allgemeines zum Push-Pull Wandler

### 2.1 Vorteile des Push-Pull Konverters

Der Push-Pull Konverter hat für verschiedenste Applikationen (wie zum Beispiel die Spannungsversorgung für den Gatetreiber-IC) wesentliche Vorteile gegenüber anderen Topologien, auf die ab Kapitel 2.2 näher eingegangen wird.

#### 2.1.1 Einfaches Prinzip

Die Funktion des Push-Pull Wandlers ist grundsätzlich relativ einfach. Im Gegensatz zum Flyback-Konverter bei dem die Energie in der magnetischen Komponente während dem Einschalten zwischengespeichert und anschließend weiter an den Ausgang weitergegeben wird (Drosselspule), wird hier das Transformatorprinzip des Durchflutungsungleichs ausgenutzt und keine Energie gespeichert. Jedes Einschalten eines Schalters führt zu direktem Energietransport von der Quelle zum Ausgang.

Man kann den Push-Pull Konverter in einer Variante so betreiben, dass eine geregelte und stabile Eingangsspannung auch zu einer stabilen Ausgangsspannung führt, ohne einer zusätzlichen Feedbackschleife wie es bei anderen Konvertern der Fall ist. Die Anzahl der benötigten Bauelemente fällt somit gering aus, vor allem, da er im Vergleich zu etwa Vollbrücken-Topologien nur zwei Schaltelemente verwendet.

#### 2.1.2 Ausnutzung des magnetischen Kerns in zwei Quadranten

Der Push-Pull Konverter gehört zu den isolierten Topologien, die zusätzlich auch symmetrisch arbeiten. Die Abbildung 2 zeigt, wie dadurch der gesamte verfügbare Bereich des B-H-Diagramms mit der Magnetisierungskurve durchlaufen werden kann. Dies hat zur Folge, dass der magnetische Kern wesentlich effizienter ausgenutzt wird. In leistungselektronischen Wandlern ist im Leistungsteil die Spule mit ihrem Kern üblicherweise das sperrigste Bauteil, bei einer Verwendung in zwei Quadranten kann diese Größe für gleiche Leistungen jedoch beträchtlich kleiner ausfallen. Dies macht sich unmittelbar im Preis und Form Faktor des Konverters bemerkbar [1].

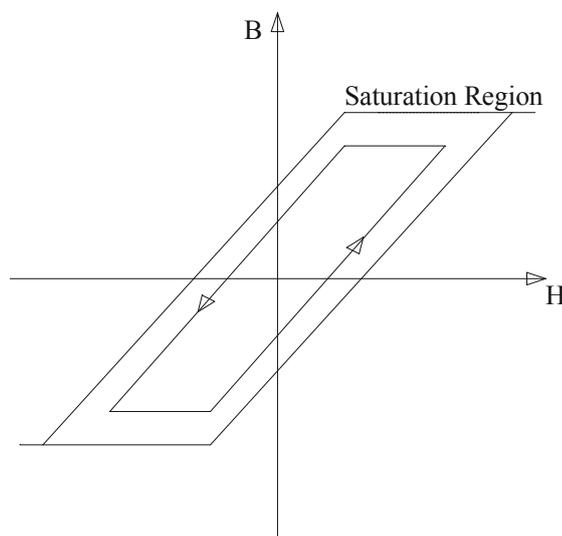


Abbildung 2: Ausnutzung des magnetischen Kerns innerhalb zweier Quadranten [2]

### 2.1.3 Gutes EMV Verhalten

Eine der Hauptursachen für die Entstehung von abgestrahlten Emissionen und somit von EMV-Problemen in isolierten Spannungsversorgungen, sind die parasitären Kapazitäten zwischen der primären und sekundären Wicklung des Hochfrequenztransformators. Während der Schaltvorgänge der Transistoren Q1 und Q2 (siehe Abbildung 3) sorgen die kurzen Schaltzeiten für ein sehr hohes  $du/dt$  welches Verschiebungsströme über die Isolationsbarriere treibt. Da man auf Grund der Isolation des Transformators getrennte Ground-Potentiale verwendet, ist für diesen Strom keine leitfähige Verbindung zurück zur Quelle vorhanden und er muss sich einen parasitären Weg über die Luft suchen [2].

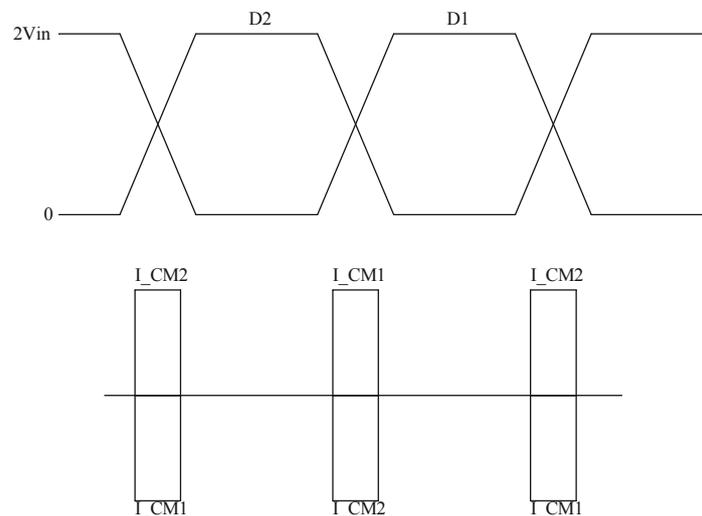
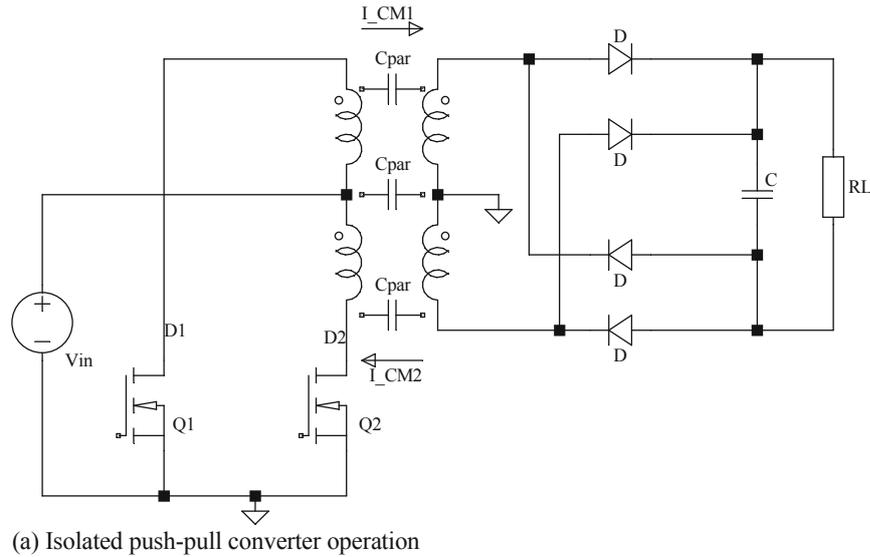


Abbildung 3: Unterdrückung der Common-Mode-Ströme [2]

## 2.2 Topologien

Der Push-Pull Konverter lässt sich in unterschiedliche Topologievarianten aufteilen, die mit unterschiedlichen Vor- und Nachteilen verschiedene Freiheitsgrade der Anpassung der Ausgangsspannung ermöglichen.

### 2.2.1 PWM gesteuert

Die Push-Pull Anordnung der Abbildung 4 wird PWM gesteuert, das bedeutet, dass die Ausgangsspannung über den Duty Cycle  $D$  eingestellt werden kann. Dies wird auch im nachfolgend hergeleiteten Steuergesetz ersichtlich.

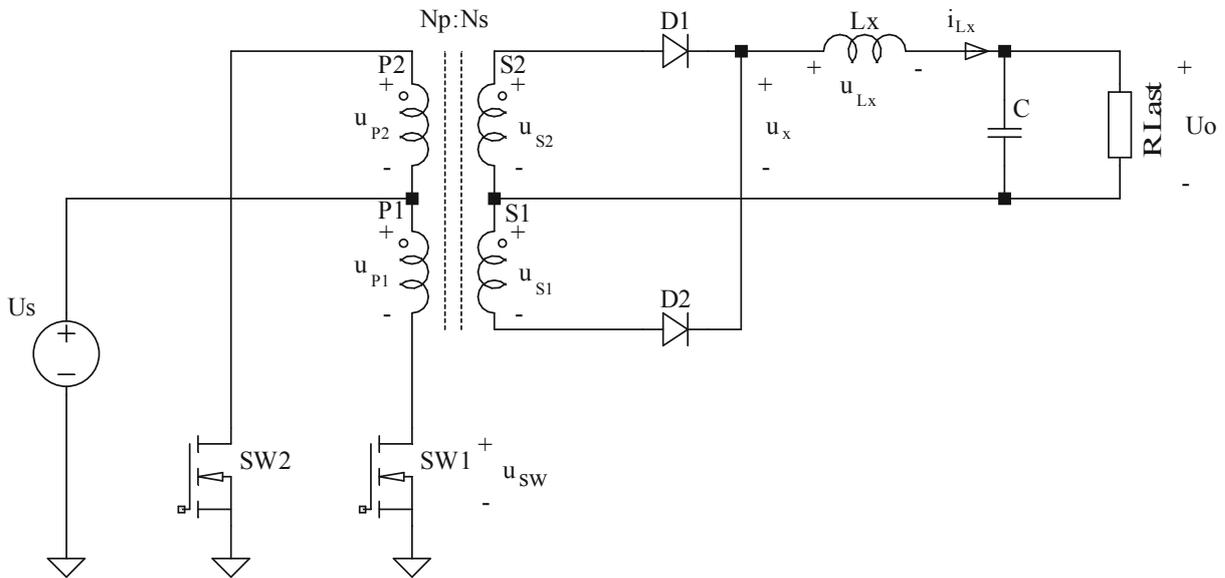


Abbildung 4: Push-Pull Wandler PWM gesteuert

#### 2.2.1.1 Analyse PWM-gesteuert

- **SW1 ist geschlossen:**

Die Versorgungsspannung  $U_s$  wird an die Primärwicklung P1 angelegt und lässt  $u_{P1}$  und somit auch  $u_{P2}$  auf  $U_s$  ansteigen. Dies führt zu den Gleichungen:

$$u_{S1} = u_{S2} = \frac{U_s}{\ddot{u}} \quad (2.1)$$

Wobei das Übersetzungsverhältnis folgendermaßen definiert wird:

$$\ddot{u} = \frac{N_p}{N_s} \quad (2.2)$$

Da beide Primärwicklungen auf Grund des gemeinsamen Kerns mit derselben Spannung  $U_s$  beaufschlagt werden, folgt für die Sperrspannung des Transistors SW2:

$$u_{SW2} = 2 \cdot U_s \quad (2.3)$$

Dies ist auch einer der Hauptgründe, wieso Push-Pull Konverter nicht für Anwendungen mit hohen Eingangsspannungen (z.B.: Netzspannung) verwendet werden.

Auf Grund dieser Polung und des Wicklungssinns wird somit die Diode D1 leitend und D2 nimmt Sperrspannung auf. An der Induktivität führt dies zu positiven Spannungsabfällen und somit zu einem Stromanstieg. Diese Zusammenhänge sind in Abbildung 5 näher dargestellt.

$$u_{Lx} = u_x - U_o = U_s \cdot \frac{N_s}{N_p} - U_o \quad (2.4)$$

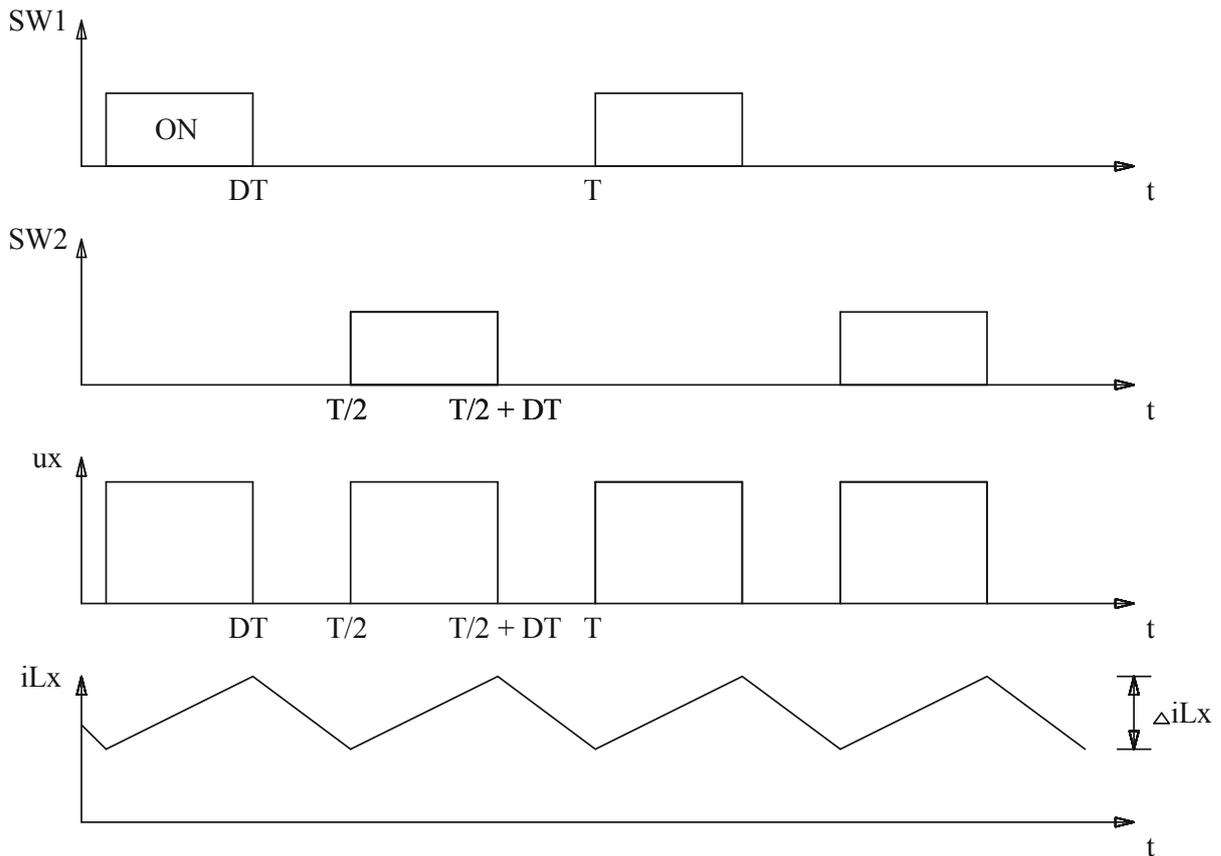


Abbildung 5: Zeitverläufe des PWM gesteuerten Push-Pull Wandlers [3]

Mit der Bauteilgleichung (Gleichung 2.5) für induktive Bauteile kann nun die Steigung des Stromes für diese Phase DT (SW1 geschlossen) ermittelt werden.

$$u_L = L \cdot \frac{di}{dt} \quad (2.5)$$

$$\frac{di_{Lx}}{dt} = \frac{1}{L_x} \cdot \left( U_s \cdot \frac{N_s}{N_p} - U_o \right) \quad (2.6)$$

Die Stromänderung für den geschlossenen Zustand ergibt sich zu:

$$(\Delta i_{Lx})_{SW1,2zu} = \frac{DT}{L_x} \cdot \left( U_s \cdot \frac{N_s}{N_p} - U_o \right) \quad (2.7)$$

Für den Fall das der Transistor SW2 geschlossen und SW1 geöffnet wird, ergibt sich die gleiche Argumentation mit unveränderten (bis auf vereinzelt Indizes) Gleichungen von (2.1) bis (2.7). Das bedeutet, dass die Gleichung (2.7) immer gilt, solange sich einer der beiden Transistoren SW1 oder SW2 im geschlossenen Zustand befindet. Dabei wird Energie von der Quelle über den Transformator an die Last abgegeben und der Ausgangskondensator nachgeladen.

Die Schaltzeiten müssen für ideale Schalter jedenfalls immer genau gleich sein, wenn einer der Schalter länger eingeschalten bleibt als der andere kommt es ansonsten zum sogenannten Flux Walking. Um dies zu vermeiden, müssen im Allgemeinen die Ströme in den beiden Zweigen das gleiche Niveau erreichen. Ansonsten wird in einem halben Zyklus ein magnetisches Feld aufgebaut, welches im nächsten Schritt nicht mehr vollständig abgebaut werden kann. Nach und nach wird dieser verbliebene B-Anteil immer größer, bis der Kern schlussendlich in die Sättigung getrieben wird. Dies senkt die Magnetisierungsinduktivität so stark ab, dass sich ein gefährlicher Primärstrom einstellt, welcher zum Primärspannungseinbruch oder Schäden am Trafo führt [4]. Dieses Phänomen und praktische Lösungen werden im Kapitel 2.2.1.3 näher behandelt.

- **Beide Schalter SW1 und SW2 sind offen:**

Wenn SW1 und SW2 gleichzeitig geöffnet sind, gibt es keinen Stromfluss in den jeweiligen Primärwicklungen mehr, die vom Konverter übertragene Spannung wird zu Null und somit gilt auch:

$$u_x = 0 \quad (2.8)$$

In dem Moment, wenn beide SW nicht mehr aktiv sind, muss der Strom durch  $L_x$  trotzdem weiter fließen und konstant bleiben, was auf Grund der Symmetrie zum Forward-biasing beider Dioden D1 und D2, mit einer 50% zu 50% Aufteilung des Stromes führt. Man könnte für diesen Zustand auch eine Freewheeling-Diode vor die Induktivität in den Querzweig schalten, somit müsste keine Energie über den Trafo fließen und er könnte kleiner ausgelegt werden.

Auf Grund dieser Tatsache und der Gleichung (2.8) stellt sich folgender Zusammenhang ein:

$$u_{Lx} = u_x - U_o = 0 - U_o = -U_o \quad (2.9)$$

Aus Gleichung (2.5) folgt daraus, dass die Steigung des Stromes auch negativ wird:

$$\frac{di_{Lx}}{dt} = \frac{1}{L_x} \cdot (-U_o) \quad (2.10)$$

Und somit der Strom:

$$(\Delta i_{Lx})_{SW1,2offen} = \left(-\frac{U_o}{L_x}\right) \cdot \left(\frac{T}{2} - DT\right) = \left(-\frac{U_o}{L_x}\right) \cdot \left(\frac{1}{2} - D\right) \cdot T \quad (2.11)$$

Für den ausgeklungenen Steady-State Zustand müssen die Stromänderungen, während der SW1 & SW2 geschlossen-Phase gleich sein mit der Phase, in der beide Schalter offen sind. Wenn das nicht der Fall wäre, würde der Strom mit der Zeit zu- oder abnehmen und es würde kein Steady-State gelten.

$$(\Delta i_{Lx})_{SW1,2zu} + (\Delta i_{Lx})_{SW1,2offen} = 0 \quad (2.12)$$

$$\frac{DT}{L_x} \cdot \left( U_s \cdot \frac{N_s}{N_p} - U_o \right) + \left( -\frac{U_o}{L_x} \right) \cdot \left( \frac{1}{2} - D \right) \cdot T = 0$$

Dies ergibt weiter vereinfacht das Steuergesetz des PWM gesteuerten Push-Pull Konverters:

$$\frac{U_o}{U_s} = 2 \cdot D \cdot \frac{N_s}{N_p} \tag{2.13}$$

### 2.2.1.2 PLECS-Simulation PWM-gesteuert

Für die simulationstechnische Überprüfung dieses Steuergesetzes wurde die Simulationssoftware PLECS herangezogen. Die Abbildung 6 zeigt die Schematic des PWM-kontrollierten Push-Pull Wandlers in PLECS. Hierbei sind die Schalter (in diesem Fall MOSFETs und auch die Dioden) ideal und berücksichtigen dementsprechend weder Schalt- noch Leitverluste. Folgende beispielhafte Werte der Tabelle 1 wurden für die Spannungsversorgung und die Bauteile angenommen:

Tabelle 1: Bauteilwerte für die PLECS-Simulation PWM-gesteuerter PP-Konverter

	Us	D	Np/Ns	Lx	RLast	C	fsw	Tsw
<b>Werte</b>	13V	0,3	1/2	1mH	20Ω	100μ	100kHz	10μs

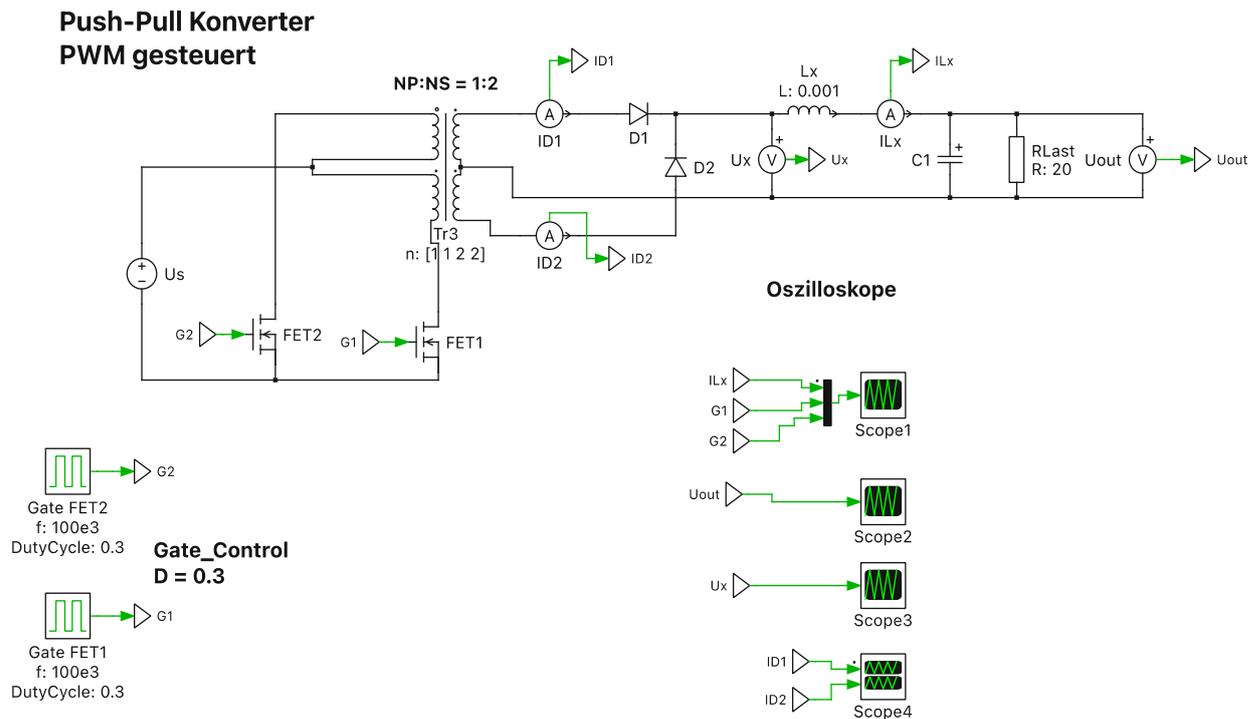


Abbildung 6: PLECS-Schematic des PWM-geregelten PP-Konverters

Mit den Werten der Tabelle 1 und dem Steuergesetz Formel (2.13) kann man nun die theoretische Ausgangsspannung berechnen:

$$\frac{U_o}{U_s} = 2 \cdot D \cdot \frac{N_s}{N_p} = 2 \cdot 0,3 \cdot \frac{2}{1} = 1,2$$

$$U_o = U_s \cdot 1,2 = 13V \cdot 1,2 = \mathbf{15,6V} \tag{2.14}$$

Die Abbildung 7 zeigt die Ausgangsspannung U0 (bzw. Uout) die dem berechneten Ergebnis von (2.14) sehr nahekommt. Die geringfügigen Abweichungen und Schwankungen

um einen kleinen Wertebereich kommen auf Grund der nicht perfekten Filterung durch das LC-Filter am Ausgang zustande. Das hergeleitete Steuergesetz von (2.13) stimmt somit mit dem Ergebnis der Simulation überein. Der Plot der Abbildung 7 zeigt zusätzlich die Spannung  $U_x$ , die direkt vor dem Ausgangsfilter auftritt. Wie zu erwarten war, tritt an dieser Stelle, die mit dem Transformatorwicklungsverhältnis  $\bar{u}$  übersetzten Eingangsspannung auf. In der Überlegung im frequenztechnischen Bereich wird anschließend der größte Anteil an Oberschwingungen mittels LC-Tiefpassfilter herausgefiltert und der Gleichspannungsanteil, der zu einem großen Teil vom Duty Cycle  $D$  abhängt, als Ausgangsspannung durchgelassen. Dieses Verhalten ist ident zu den Vorgängen in einem Buck-Konverter, was sich auch durch die Ähnlichkeiten bei den Steuergesetzen bemerkbar macht.

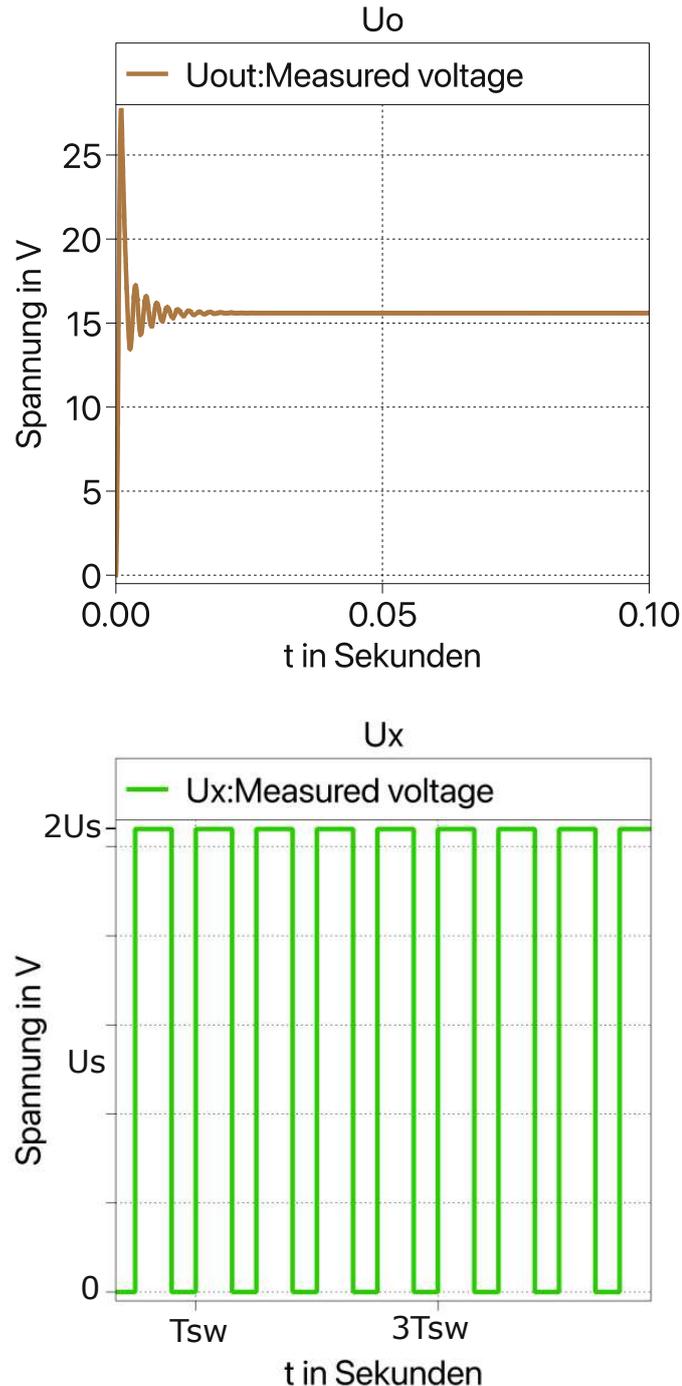


Abbildung 7:  $U_x$  vor dem LC-Ausgangsfilter und Ausgangsspannung  $U_o$

In Abbildung 8 sind der Strom  $I_{Lx}$  und die Schaltsignale der Schalter SW1 und SW2 dargestellt. Klar zu erkennen ist der Steady-State Zustand der Spule. Sie ist direkt angebunden an die Last und somit ist der DC-Anteil des Stromes, der durch die Spule fließt, derjenige Strom, der von der Last benötigt wird und auch nur von ihr abhängig (im CCM) ist. Der überlagerte schaltfrequente Rippel fließt in den Niederimpedanzpfad des Kondensators ab.

Bei jedem On-Signal eines Schalters erhöht sich der Spulenstrom, hier wird die Energie direkt von der Quelle  $U_s$  an die Last abgegeben. Während der Off-Zeiten, in denen die Quelle von der Last abgekoppelt ist, findet die Energiezufuhr zur Last über die Eigenschaft der Energiespeicherung der Filterelemente statt.

Die grafischen Ergebnisse der Simulation entsprechen ebenfalls den Diagrammen der Abbildung 5.

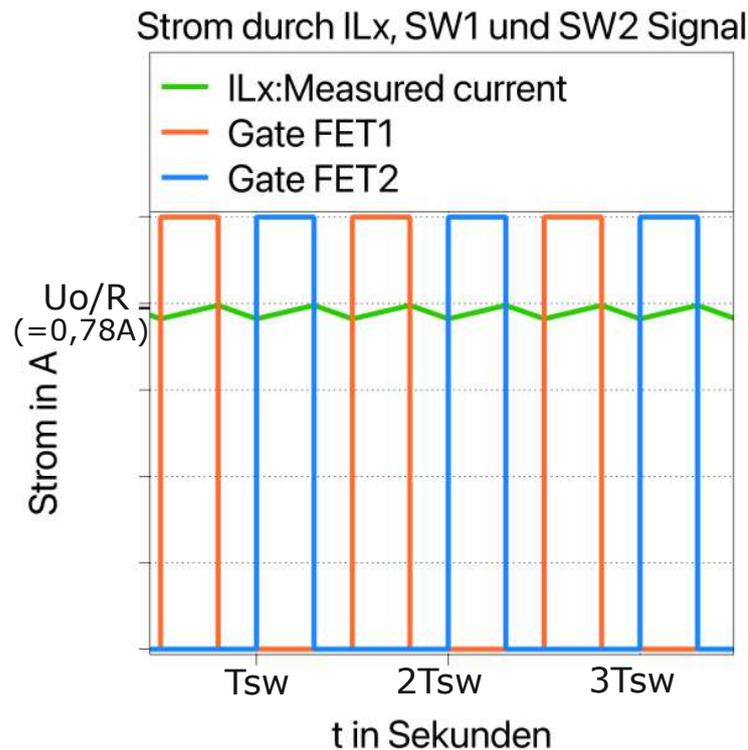


Abbildung 8: Spulenstrom  $I_{Lx}$  und Signale an SW1 und SW2

Wie bereits erwähnt, ist der Strom  $I_{Lx}$  durch die Spule konstant und fließt demnach auch bei geöffneten Schaltern weiter. Dabei leiten beide Dioden und führen den Strom zu gleichen Teilen. Die Abbildung 9 zeigt den Ablauf für jede Diode. Wenn ein Schalter geschlossen ist, fließt durch die entsprechende Diode der volle Laststrom  $\frac{U_o}{R}$  ( $=0,78A$ ), anschließend folgt eine „Totzeit“ in der beide Schalter offen sind und sich der Strom auf beide Dioden mit  $\frac{U_o}{2R}$  aufteilt. Abschließend kommt der zweite Schalter in seinen leitenden Zustand und der Strom durch die Diode wird zu Null respektive für die andere Diode wiederum zum vollen Laststrom.

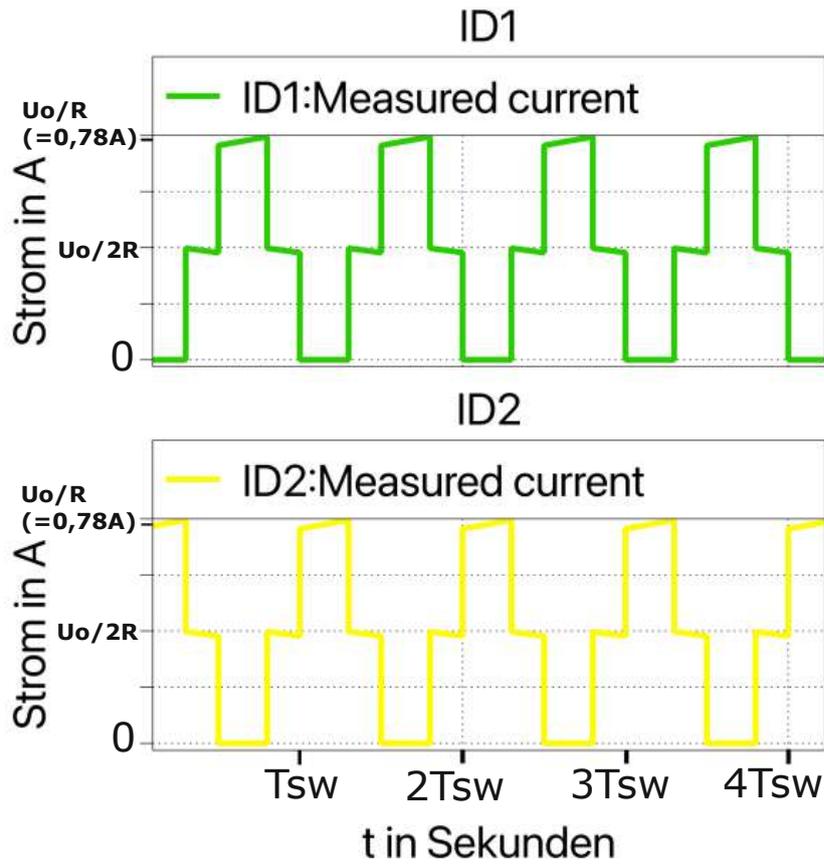


Abbildung 9: Strom durch beide Dioden D1 und D2

## 2.2.2 Stromgespeist

Eine weitere Variante des Push-Pull Konverters stellt der stromgespeiste bzw. nach der amerikanischen Literatur, der Current-Fed Push-Pull Wandler dar. Die Bezeichnung „stromgespeist“ rührt daher, dass die Induktivität, die in Kapitel 2.2.1 noch am Ausgang als Teil des LC-Filters fungierte, nun an den Eingang gesetzt wird. Diese Spule ist im Vergleich zu den real vorhandenen Streuinduktivitäten des Transformators so groß, dass sie als konstante Stromquelle betrachtet werden kann und somit besteht ihre Funktion darin, die Einspeisung eines konstanten Gleichstromes in den Eingang des Konverters zu gewährleisten. Dies steht im Gegensatz zu den Konvertern, die am Eingang eine konstante Eingangsspannung haben (diese könnte man somit Voltage-Fed Konverter nennen). Die Schaltung der stromgespeisten Variante des Konverters ist in Abbildung 10 dargestellt.

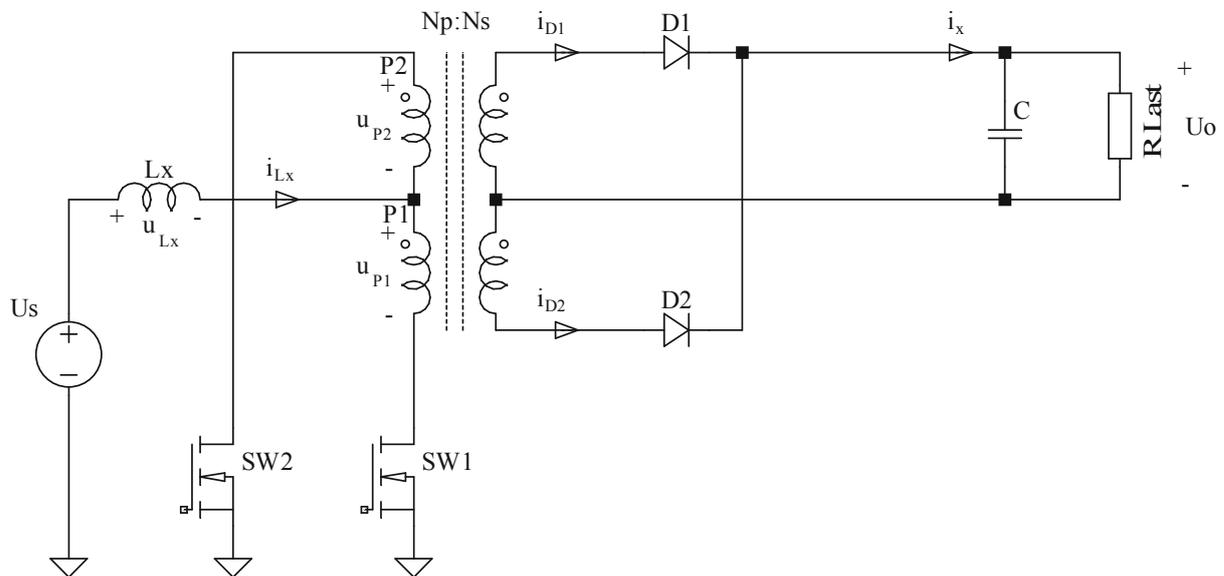


Abbildung 10: Current Fed Push-Pull Konverter

### 2.2.2.1 Analyse Stromgespeist

In Abbildung 11 sind die Schaltsignale der zwei Schalter SW1 und SW2 gezeichnet. Die Überlappung untereinander ist eindeutig ersichtlich, das bedeutet, dass der Duty Cycle jedes Schalters größer als 50% sein muss [3]. Oder anders formuliert, es darf kein Zustand eintreten, währenddessen beide Schalter ausgeschaltet sind. Ansonsten erhöht sich das Potential am floatenden Ende der Spule (Punkt P1 im Schaltbild Abbildung 10) auf einen Wert der weit über die maximale Drain-Source Spannung des Schalters hinauswachsen und ihn in Folge zerstören würde.

Die Analyse dieser Topologie erfolgt nicht mehr über die Spannungen an den einzelnen Transformatorwicklungen  $u_{P1}$  bzw.  $u_{P2}$ . Es ist möglich, nur über Spannungsverhältnisse an der Spule am Eingang das Steuergesetz mittels  $V_s$ -Balance zu bestimmen.

- **SW1 ist geschlossen:**

Im eingeschwungenen / Steady-State Zustand hat die Ausgangsspannung den gewünschten Wert erreicht. Wenn der Schalter SW1 geschlossen ist, wird der nahezu konstante DC-Strom der Spule über die leitende Diode D1 an den Ausgang fließen. Der Ausgang ist somit direkt

an die Sekundärwicklung des Transformators angebunden. Diese Spannung liegt somit auch an der unteren Primärwicklung P, mit Berücksichtigung des Transformatorübersetzungsverhältnisses an. Dies führt zu:

$$u_{Lx,Sw1oder2zu} = U_s - U_o \cdot \frac{N_p}{N_s} \quad (2.15)$$

Zu diesem Zeitpunkt ist das Vorzeichen dieser Spannung noch nicht klar bewiesen, das heißt die Ausgangsspannung ist entweder größer oder kleiner als die Eingangsspannung. Die Gleichung (2.15) gilt mit analog für die Einschaltzeit des SW2 bei geschlossenem SW1.

- **SW1 und SW2 sind geschlossen:**

Wenn beide Schalter geschlossen sind, wird sich der Strom gleichmäßig auf beide Zweige der Primärwicklung aufteilen. Da dies ein Transformator mit Mittelpunktanzapfung ist, wird der Strom nun jeweils in entgegengesetzter Richtung, d.h.: einmal mit und einmal entgegen den Wicklungssinn fließen. Dies führt dazu, dass die Spannungspolaritäten genau umgekehrt wären und somit keine Spannung an der Primärwicklung anliegen kann. Dementsprechend kann kein Strom der Primärseite auf die Sekundärseite gelangen. Da aber die Spule darin bestrebt ist, ihren Strom ohne Unterbrechung weiterzuführen, wird dieser nun gegen Masse geleitet, indem der Punkt P1 auf das Massepotential also 0V fällt.

Dadurch ergibt sich:

$$u_{Lx,Sw1und2zu} = U_s \quad (2.16)$$

Mit (2.15) und (2.16) sind die Spannungen an der Spule festgelegt. Wenn man nun dazu die entsprechenden Zeitabschnitte bestimmt, kann man anschließend das „Volt-Sekunden Gleichgewicht“ bestimmen. Da (2.16) positiv ist folgt dafür, dass (2.15) negativ ist. Das bedeutet, dass die Ausgangsspannung auf jeden Fall größer sein muss als die Eingangsspannung. Dies war auch insofern zu erwarten, da beim Boost Konverter im Vergleich zum Buck Konverter ebenfalls die Spule vom Ausgang zur Eingangsseite wechselt.

Die Abbildung 11 zeigt die Schaltsignale der beiden Schalter und gibt auf der Abszisse an, wie der Duty Cycle definiert wurde. Die restliche Zeit, in der der Schalter S1 ausgeschaltet ist, hat folglich die Zeitdauer  $(1 - D)T$ . In diesem Abschnitt ist der Schalter S2, auf Grund der Voraussetzung  $D > 50\%$ , sicher eingeschaltet, da zu keinem Zeitpunkt beide aus sein dürfen. Währenddessen ist immer die Gleichung (2.15) gültig. Diese Tatsache wurde in der Abbildung 11 im Diagramm für  $u_{Lx}$  aufgetragen. Mit der Bezeichnung der halben Schaltperiode  $\frac{T}{2}$  kann anschließend die Zeitspanne für Gleichung (2.16) mit  $\frac{T}{2} - (1 - D) \cdot T$  bestimmt werden.

Da der Steady-State Zustand gilt, kann nun die Gleichsetzung der Flächen erfolgen:

$$u_{Lx,positiv} \cdot T_{Lx,positiv} + u_{Lx,negativ} \cdot T_{Lx,negativ} = 0$$

$$U_s \cdot \left[ \frac{T}{2} - (1 - D) \cdot T \right] = - \left( U_s - U_{out} \frac{N_p}{N_s} \right) \cdot (1 - D) \cdot T \quad (2.17)$$

Weiter vereinfacht ergibt sich abschließend das Steuergesetz für den Current-Fed Push-Pull Konverter:

$$\frac{U_o}{U_s} = \frac{1}{2} \cdot \frac{N_s}{N_p} \cdot \frac{1}{1-D} \quad (2.18)$$

Wie bereits erwähnt, erkennt man hier anhand des  $1 - D$  im Nenner die Übereinstimmung mit einem Boost Wandler.

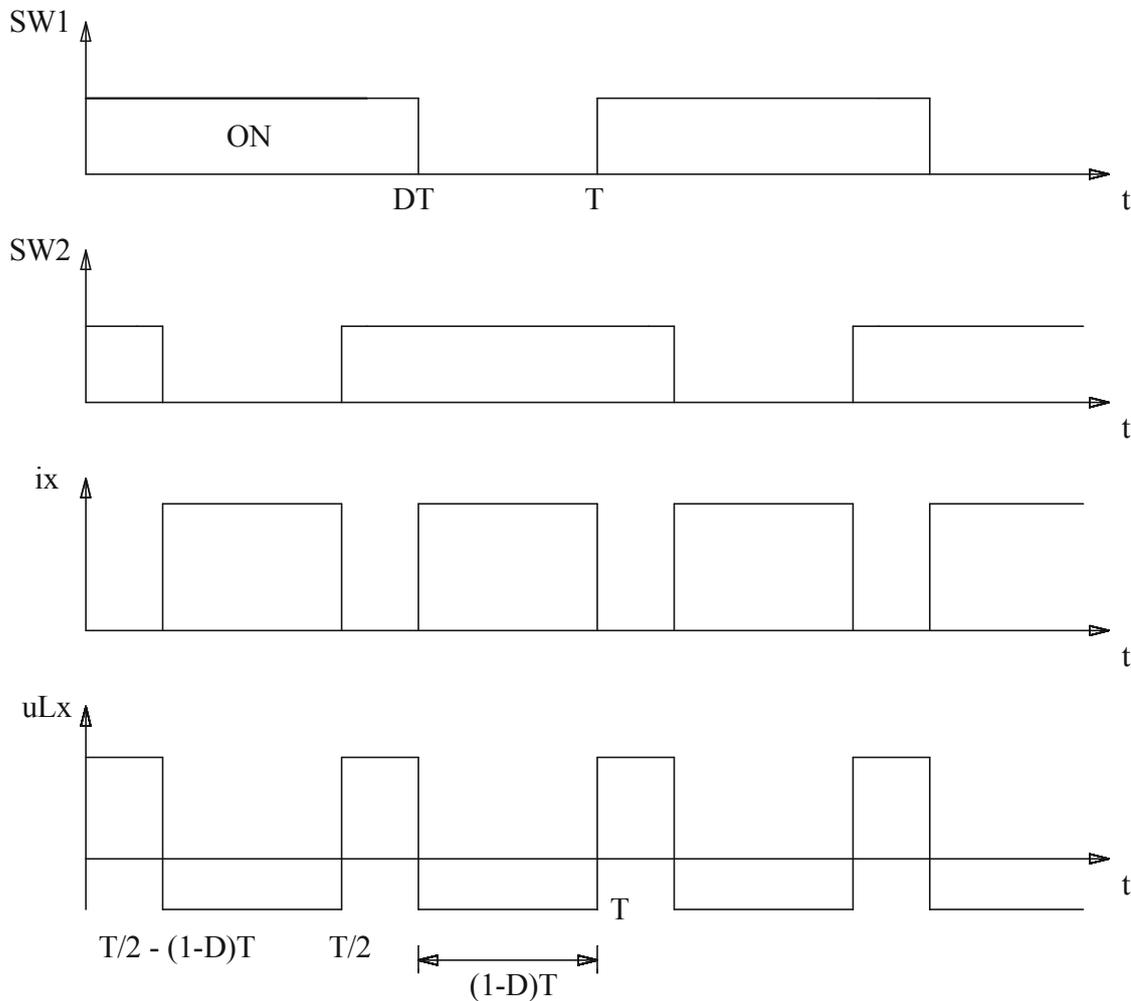


Abbildung 11: Schaltsignale,  $i_x$  und  $u_{Lx}$  des Current-Fed PP Konverters [3]

#### 2.2.2.2 PLECS-Simulation Stromgespeist

Um das Steuergesetz von (2.18) zu überprüfen, wird die Schaltung in PLECS simuliert. Die Tabelle 2 stellt die Bauteilwerte für die Simulation dar. Die Spule, die sich nun am Eingang befindet, wurde von 1mH auf 10mH geändert, dadurch wird der Steady-State Zustand schneller erreicht. Ein Wert von 1mH würde aber an dem Endresultat nichts ändern.

Die Eingangsspannung, die Schaltfrequenz und die andere Bauteilwerte sind wie beim PWM-gesteuerten Push-Pull Wandler. Der Duty Cycle wurde jedoch auf 0,6 erhöht, damit man einen Overlap der Schaltzeiten erreicht, welcher für diese Variante des Konverters essenziell ist.

Mit (2.18) und den Werten der Tabelle 2 kann nun die Ausgangsspannung berechnet werden:

$$\frac{U_o}{U_s} = \frac{1}{2} \cdot \frac{N_s}{N_p} \cdot \frac{1}{1-D} \quad (2.19)$$

$$U_o = U_s \cdot \frac{1}{2} \cdot \frac{N_s}{N_p} \cdot \frac{1}{1-D} = 13V \cdot \frac{1}{2} \cdot 2 \cdot \frac{1}{1-0,6} = 32,5V$$

Tabelle 2: Bauteilwerte für die PLECS-Simulation stromgespeister PP-Konverter

Werte	U <sub>s</sub>	D	N <sub>p</sub> /N <sub>s</sub>	L <sub>x</sub>	R <sub>Llast</sub>	C	f <sub>sw</sub>	T <sub>sw</sub>
	13V	0,6	1/2	10mH	20Ω	100μ	100kHz	10μs

**Push-Pull Konverter  
Stromgespeist**

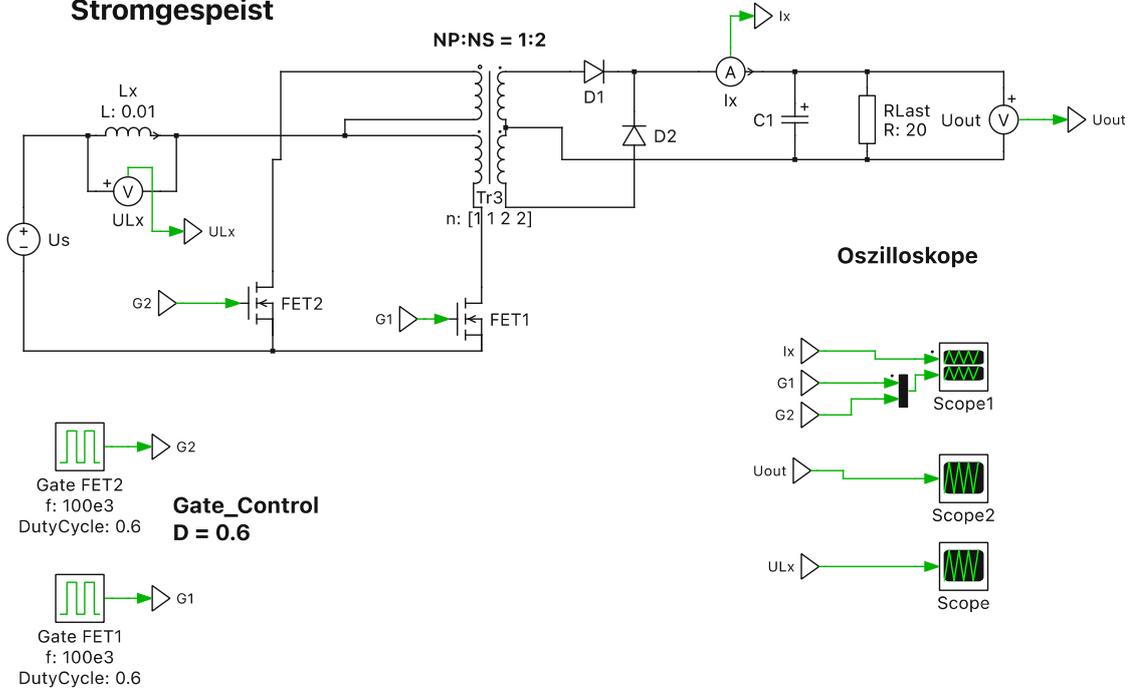


Abbildung 12: PLECS-Schematic des stromgespeisten PP-Konverters

Die Abbildung 13 zeigt die Ausgangsspannung des stromgespeisten Push-Pull Wandlers der Simulation. Im eingeschwungenen Zustand erreicht sie einen Wert von etwa 32,5V wie in (2.19) mittels Steuergesetzes berechnet wurde.

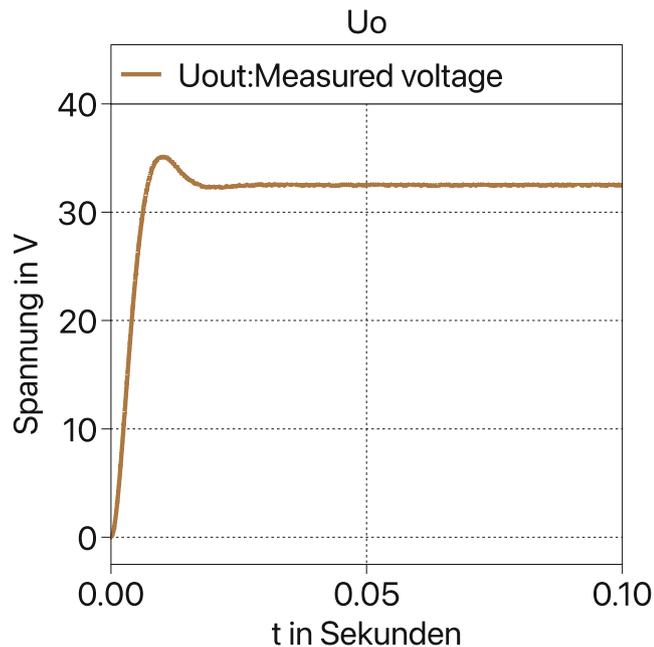


Abbildung 13: Ausgangsspannung Uo

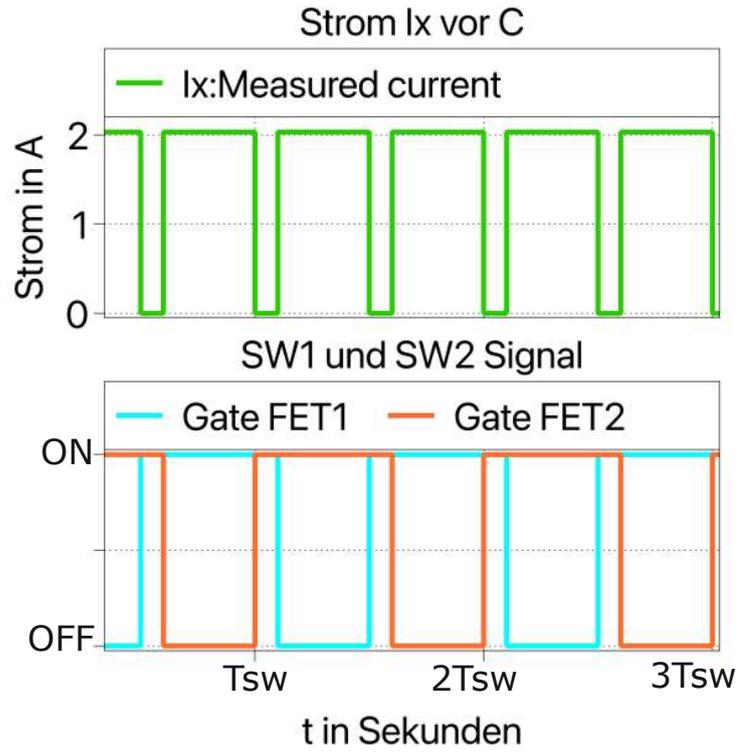


Abbildung 14: Strom  $I_x$  und Schaltsignale von SW1 und SW2

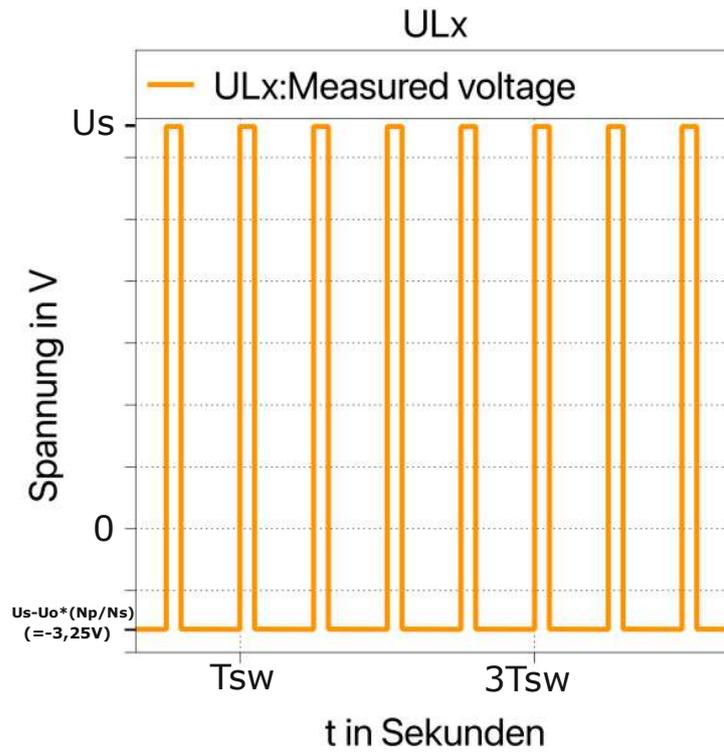


Abbildung 15: Spannung  $U_{Lx}$  an der Spule

### 2.2.3 Konstantes $D = 0,5$

Der Vorteil dieser Variante des Push-Pull Konverters ist das Fehlen einer Feedbackschleife, die den Duty Cycle  $D$  des Schalters anpassen würde. Wenn die Eingangsspannung des Konverters geregelt ist, wird die Ausgangsspannung ebenfalls geregelt sein. Die Einstellung erfolgt nur über das Windungsverhältnis des verwendeten Transformators. Die Schalter werden mit einem konstanten Duty Cycle von  $D = 0,5$  betrieben. In der praktischen Umsetzung wird noch zusätzlich eine Dead-Time zwischen der Umschaltung von einem Schalter auf der anderen eingefügt, um einen Kurzschluss über beide Schalter sicher zu vermeiden. Dabei kommt es zu eigenen Effekten, auf die gesondert in Kapitel der praktischen Umsetzung eingegangen wird.

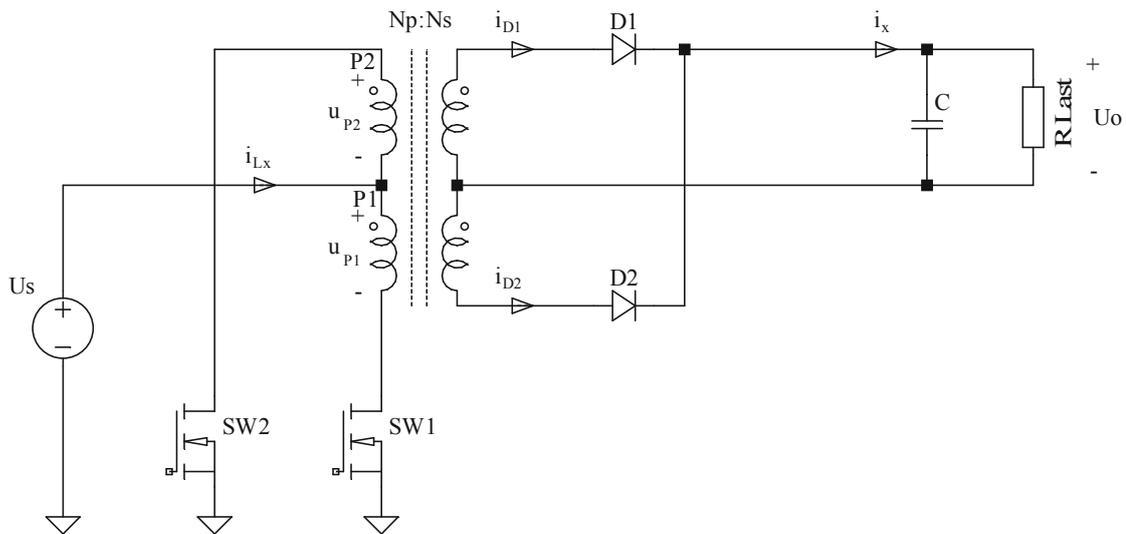


Abbildung 16: Push-Pull Konverter mit 50% Duty-Cycle

#### 2.2.3.1 Analyse konstanter Duty Cycle

Da es weder am Eingang noch am Ausgang eine Spule gibt und somit eine Duty Cycle Änderung über eine Volt-Sekunden keine Spannungsänderung am Ausgang ergibt, berechnet sich die Ausgangsspannung lediglich aus dem Produkt von Eingangsspannung und dem Transformatorübersetzungsverhältnis:

$$U_o = U_s \cdot \frac{N_s}{N_p} \quad (2.20)$$

#### 2.2.3.2 PLECS-Simulation konstanter Duty Cycle

Tabelle 3: Bauteilwerte für die PLECS-Simulation  $D = 0,5$  PP-Konverter

	$U_s$	$D$	$N_p/N_s$	$R_{Last}$	$C$	$f_{sw}$	$T_{sw}$
Werte	13V	0,5	$\frac{1}{2}$	$20\Omega$	$100\mu$	100kHz	$10\mu s$

Die Abbildung 17 zeigt die Schaltung als Schematic in PLECS. In Reihe zum Ausgangskondensator befindet sich ein sehr kleiner Widerstand, der für den korrekten Ablauf der Simulation in PLECS eingefügt wurde. Weiters sind die Bauteilwerte, die dafür verwendet wurden, in Tabelle 3 dargestellt.

Wenn man diese Werte in das „Steuergesetz“ von (2.20) einsetzt, erhält man folgende Ausgangsspannung:

$$U_o = U_s \cdot \frac{N_s}{N_p} = 13V \cdot 2 = 26V \tag{2.21}$$

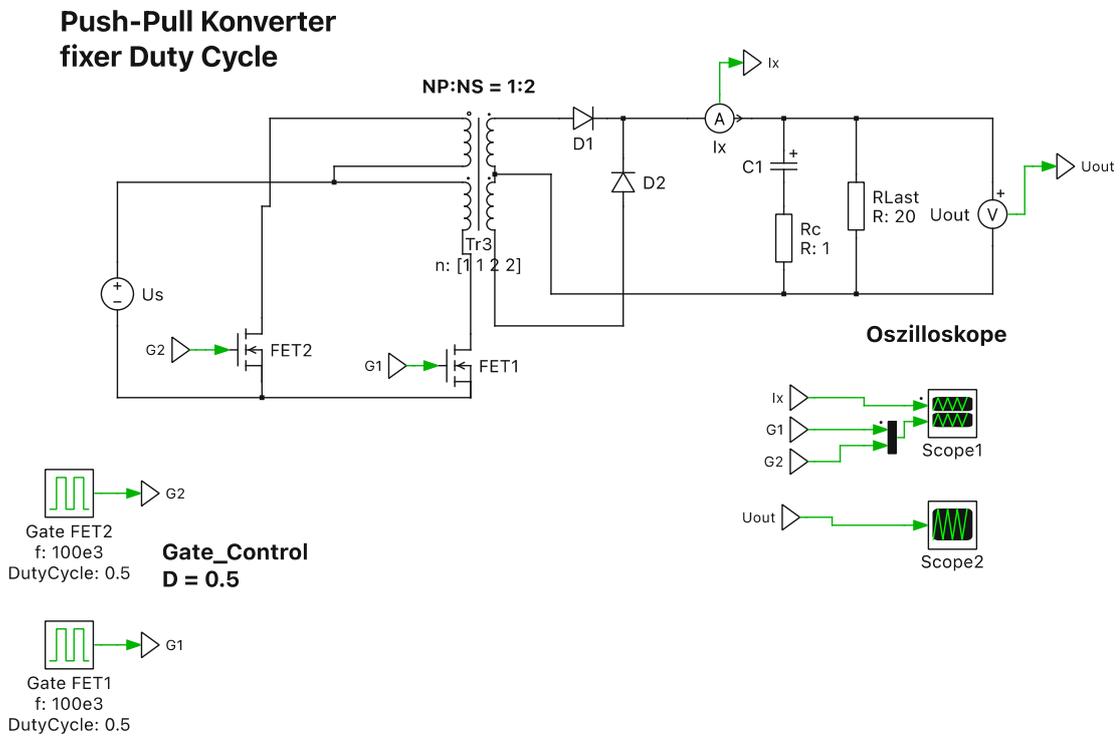


Abbildung 17: PLECS-Schematic des  $D = 0,5$  PP-Konverters

Dies wurde wiederum mittels Simulationsergebnis nachgewiesen und in der Grafik der Abbildung 18 gezeichnet. Die Ausgangsspannung stellt sich tatsächlich auf den berechneten Wert ein. Da diese Schaltungsvariante keine induktiven Bauteile im direkten Stromkreis mehr aufweist (in der Praxis kommt die Streuung dazu), kommt es zu keinem Schwingen und der Steady-State Zustand wurde direkt erreicht.

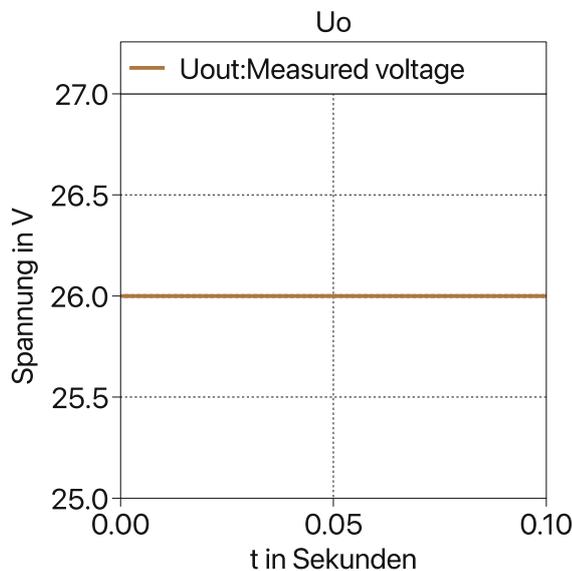


Abbildung 18: Ausgangsspannung  $U_o$

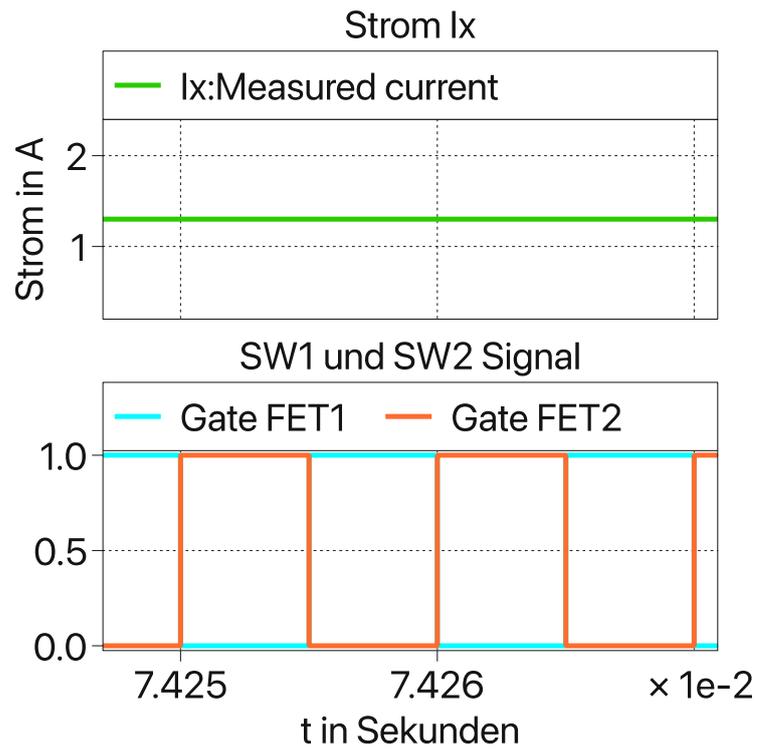


Abbildung 19: Schaltsignale SW1, SW2 und Strom am Ausgang

## 3 Gateansteuerung

Das im Zuge dieser Arbeit dargestellte Konzept für einen potenziellen IC soll die Anpassung des Ausgangsspannungsniveaus eines Push-Pull Wandlers vereinfachen bzw. überhaupt ermöglichen, ohne dass der Transformator angepasst oder getauscht werden muss. Da diese Spannung (bzw. Spannungen) dafür genutzt wird, die Spannungsversorgung für den Gatetreiber-IC des Transistors einer Halbbrücke des Power Moduls eines elektrischen Antriebs zur Verfügung zu stellen, wird anschließend auf die konkrete Ansteuerung eingegangen.

Unterschiedliche Transistortechnologien in den Leistungsmodulen bedingen unterschiedlichen Ansteuerungen und Spannungsniveaus, welche als Erfordernis eine der Hauptmotivationen für den Postregulator-IC darstellen. Dementsprechend folgt ebenfalls eine Klarstellung dieser Unterschiede in den Technologien.

### 3.1 IGBT

Der IGBT vereint die gute Ansteuerung von MOSFETs mit den geringen Leitverlusten von Leistungs-Bipolartransistoren.

Betrieben werden sie meistens mit einer Einschaltspannung von 15V und ausgeschalten werden sie mit -5V ... -15V (bei größeren Bauteilen) [5].

Die parasitären Kapazitäten von Si IGBTs sind wesentlich größer als die von z.B. SiC MOSFETs, deshalb wird üblicherweise auch eine höhere negative Spannung zum Ausschalten von IGBTs verwendet [6].

Im Gegensatz dazu wird für die positive Spannung beim turn-on eine geringere Spannung verwendet, um einer schnelleren Alterung entgegenzuwirken. Beim SiC MOSFET hat eine hohe Spannung zusätzlich noch Vorteile, die in nachfolgenden Unterkapiteln beschrieben werden.

#### 3.1.1 Notwendigkeit einer negativen Steuerspannung

Die parasitäre Kapazität  $C_{gc}$  zwischen Gate und Kollektor (bzw. Drain für MOSFETs) heißt Miller-Kapazität und kann bei Nichtbeachtung von richtigem Ausschalten der Halbleiter zu enormen Schäden am System führen. Dafür verantwortlich sind zum einen der sehr rasche Spannungshub im Bereich von  $kV/\mu s$  am Kollektor Q2, wenn der Transistor Q1 einschaltet (und Q2 demnach ausgeschaltet ist) gepaart mit dem damit erzeugten parasitären Miller-Strom über  $C_{gc}$ :

$$i_c = C_{gc} \cdot \frac{du_{ce2}}{dt} \quad (3.1)$$

Dieser fließt über den Gatewiderstand  $R_g$ , den Gate-Treiber IC, Emitter und Diode wieder zurück. Der Strompfad ist in Abbildung 20 bildlich dargestellt.

Dieser parasitäre Strom kann über den Gatewiderstand (extern und auch interne IGBT Gate-Verbindung) einen Spannungsabfall erzeugen, der als  $U_{GE2}$  die Threshold-Spannung von Q2 übersteigen und dadurch einen parasitären Einschaltvorgang hervorrufen kann. Da in diesem Moment Q1 eingeschaltet ist, führt dies unweigerlich zu einem „shoot-through“, einem Kurzschluss der Energiequelle.

Dies kann mit einer negativen Steuerspannung für den Ausschaltvorgang verhindert werden, indem dadurch trotz Spannungsabfall an  $R_g$  ein Ansteigen bis zur Threshold-Spannung des Transistors unterbunden wird.

Es gibt auch andere Möglichkeiten zur Vermeidung des Effekts, wie die der Active Miller Clamp, auf die nachfolgend nicht näher eingegangen wird, da die praktische Umsetzung in den nächsten Kapiteln mit der negativen Spannung als Lösung erfolgt, da dies die sicherste Lösung darstellt. Miller Clamps sind auf Grund der internen Modulwiderstände durch Bondings etc. nicht immer optimal.

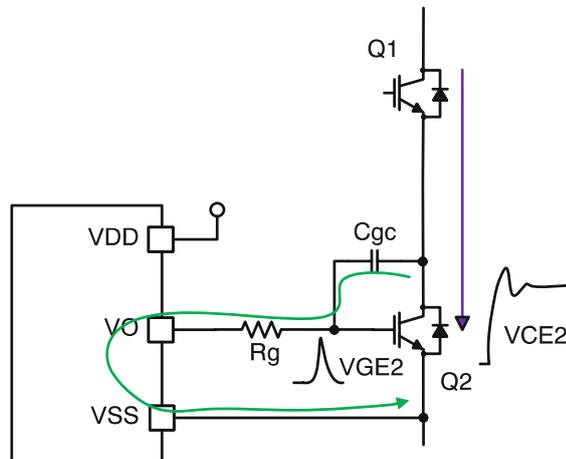


Abbildung 20: Ursache für den Miller-Strom [7]

### 3.1.2 Einschalt- und Ausschaltverhalten des IGBT

Wie in Abbildung 21 dargestellt, besteht der IGBT intern äquivalent aus einem einseitigen MOSFET, verbunden mit einer parasitären Thyristorstruktur. Die Gateansteuerung kontrolliert direkt den MOSFET-Kanal des IGBT und noch zusätzlich über seinen Drainstrom, den Basisstrom des parasitären pnp-Transistors am Kollektor. Der Anteil des pnp-Basisstroms ist jedoch so klein, dass auf Grund des MOSFET-Anteils, die Impedanz im Gateansteuerzweig als wichtigste Variable für die Einschaltverluste gilt. Dies gilt analog für die Ansteuerung von MOSFETs allgemein. Jedoch unterscheidet sich das Ausschaltverhalten der IGBTs von dem der MOSFETs teils erheblich. Dies ist geprägt und abhängig von Rekombinationsmechanismen der Minoritätsladungsträger und weniger vom Ausschalten des vorderen MOSFET an sich. Dies führt unter Umständen zu hohen Ausschaltverlusten auf Grund des verzögerten Ausschaltens (Tail Current) und verursacht vor allem bei höheren Frequenzen Probleme. [8]

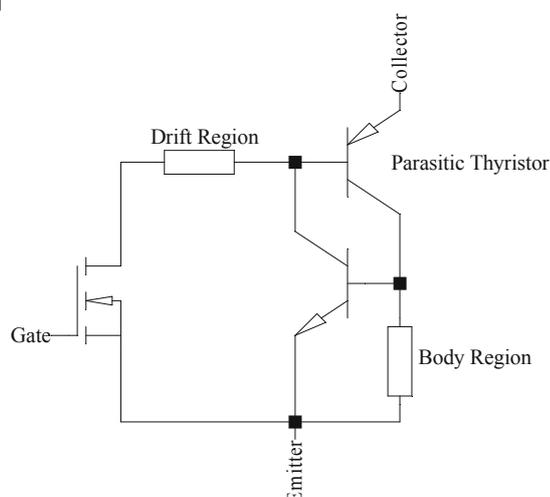


Abbildung 21: IGBT äquivalentes ESB [9]

## 3.2 SiC-MOSFET

Eine revolutionäre Entwicklung der letzten Jahre ist mit Sicherheit die Einführung und technisch ausgereifte Anwendung von WBG-Materialien wie Siliziumkarbid. SiC bietet sehr viele Vorteile im Vergleich zu Silizium, mit denen sich sehr effiziente Leistungselektronikanwendungen mit kleinem Formfaktor realisieren lassen [9].

Das dynamische Schaltverhalten von SiC-MOSFETs ist ähnlich dem des Standard-Silizium MOSFETs. Es gibt jedoch vereinzelte Gate-Drive Anforderungen, bestimmt durch die Materialeigenschaften, die nachfolgend etwas ausführlicher dargestellt werden.

Die Tabelle 4 listet dazu die wichtigsten Eigenschaften von Silizium, Siliziumkarbid und Galliumnitrid auf.

Der Kanalwiderstand  $R_{DS,on}$  im eingeschalteten Zustand eines MOSFETs ist ein wesentlicher Parameter für die Auswahl eines für eine Schaltung geeigneten Schalters. Dieser Widerstand ist für eine konkrete, benötigte maximale Sperrspannung invers proportional zum Produkt zwischen der Beweglichkeit und der kritischen Feldstärke (Durchschlag) zum Kubik, dargestellt in (3.1) [9].

$$R_{DS,on} \propto \frac{1}{\mu \cdot E_c^3} \quad (3.2)$$

Die Beweglichkeit von SiC ist kleiner als die von Silizium. Da jedoch die Durchbruchfeldstärke von SiC das zehnfache beträgt, ist der entsprechende  $R_{DS,on}$  für eine gegebene maximale Sperrspannung wesentlich geringer.

Tabelle 4: Halbleiter Materialeigenschaften [10]

Eigenschaften	Si	4H-SiC	GaN
Bandenergie (eV)	1,12	3,26	3,50
Elektronenbeweglichkeit (cm <sup>2</sup> /Vs)	1400	900	1250
Löcherbeweglichkeit (cm <sup>2</sup> /Vs)	600	100	200
Durchschlagsfeldstärke (MV/cm)	0,3	3,0	3,0
Thermische Leitfähigkeit (W/cm C°)	1,5	4,9	1,3
Maximale Sperrschichttemperatur (°C)	150	600	400

Die Abbildung 22 stellt die Ausgangskennlinie  $I_D$  über  $U_{DS}$  für unterschiedliche Ansteuerungen  $U_{GS}$  von einem beispielhaften 1200V SiC MOSFET Gen 1 von ON Semiconductor dar.

Dabei sieht man einen der wichtigsten Unterschiede zwischen den Si- und den SiC-MOSFETs. Traditionelle Silizium MOSFETs besitzen eine deutlich erkennbare Trennung zwischen ihrem ohmsch-linearen und dem Sättigungsbereich. Dies ist bei SiC-MOSFETs nicht der Fall und der Sättigungsbereich existiert bei ihnen prinzipiell nicht. Demnach verhalten sie sich wie ein verstellbarer Widerstand anstelle von einer nicht idealen Stromquelle, wie es üblicherweise im Sättigungsbereich (oder im aktiven Bereich) der Fall ist. Der  $R_{DS,on}$  von SiC-MOSFETs verringert sich somit mit höheren Drive-Spannungen  $U_{GS}$  noch erheblich. Bei Silizium gibt es beim Erhöhen der Spannung  $U_{GS}$  weit über die Threshold-Spannung  $U_{th}$  hinaus praktisch keine Änderung mehr. Sie werden mit Spannungen von 10V

oder darunter (5V für Logik-MOSFETs) betrieben. Wohingegen SiC-MOSFETs, um ein thermal runaway auf Grund von Leitverlusten zu vermeiden, mit Spannungen um die 18V betrieben werden. Da es aber bei zu hohen Ansteuerspannungen (z.B. konstant 25V) langfristig zu Zuverlässigkeitsproblemen und einem Drift der Threshold-Spannung  $U_{th}$  nach oben kommen kann und um unvermeidbaren, transienten Überspannungen mittels Toleranzen zuvorzukommen, sollte  $U_{GS}$  jedenfalls  $\leq 20V$  betragen [10].

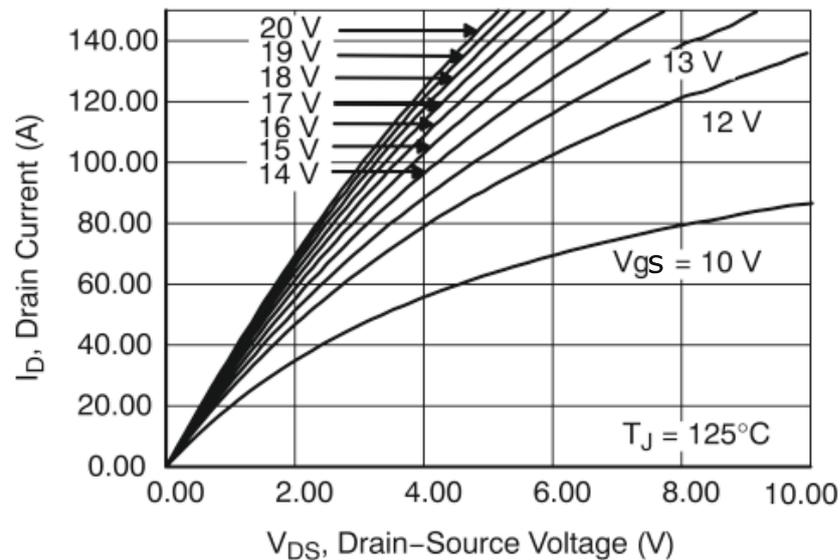


Abbildung 22: Ausgangskennlinie eines SiC-MOSFETs [10]

Ein weiteres Argument für eine höhere Spannung zum Steuern des SiC-MOSFETs liegt in der Temperaturabhängigkeit des  $R_{DS,on}$  begründet. Für Si-MOSFETs ergibt sich ein rein positiver Temperaturkoeffizient über den ganzen Temperaturbereich.

Dies stellt sich bei SiC grundlegend anders dar. Dazu zeigt die Abbildung 23 die Änderung des  $R_{DS,on}$  über die Temperatur und unterschiedlichen Gate-Spannungen. Es lässt sich klar erkennen, dass nun neben den bei höheren Temperaturen positiven, auch ein negativer Temperaturkoeffizient für niedrigere Temperaturen auftritt. Dies kann vor allem beim Parallel schalten von MOSFETs kritische Auswirkungen auf Grund von ungünstiger Stromaufteilung haben.

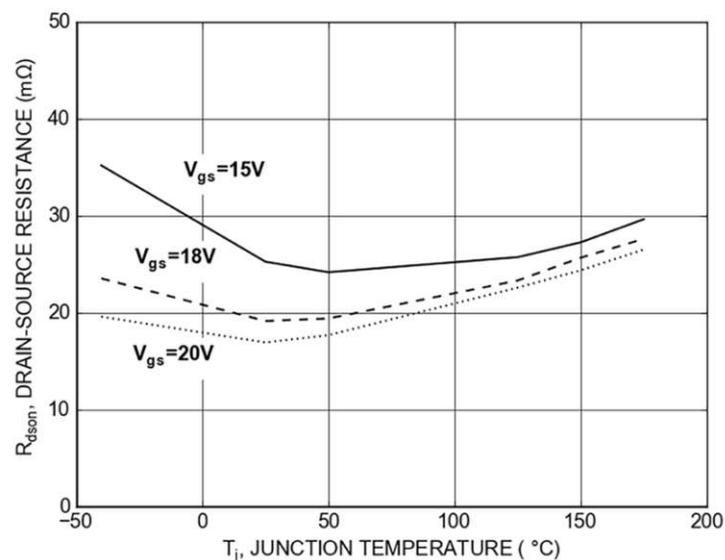


Abbildung 23:  $R_{DS,on}$ -Verhalten von SiC-MOSFETs [10]

Es lässt sich feststellen, dass der Kippunkt zwischen den beiden unterschiedlichen Steigungen / Koeffizienten abhängig von der Ansteuerspannung  $U_{GS}$  ist. Je höher die Spannung, desto früher (niedrigere Temperaturen) tritt er auf. Zusätzlich verringert sich der Grad, mit welchem sich der Widerstand pro Temperatureinheit ändert, somit hat man bei einem  $U_{GS}$  von 18V zum Beispiel, ab ca. 100°C einen bereits höheren  $R_{DS,on}$  im Vergleich zu niedrigeren Temperaturen als bei der Kurve mit 15V. Dies ist wichtig, um eine korrekte Stromverteilung über allen Temperaturbereichen sicherzustellen. Zusammenfassend lässt sich sagen, dass ein negativer Temperaturkoeffizient für  $R_{DS}$  für parallel geschaltete Strukturen unerwünscht ist.

### 3.2.1 Negative Gate-Spannung

Wie für den IGBT bereits beschrieben, sind negative Spannungen für den Ausschaltvorgang sehr praktisch, zum einen um ein sicheres Ausschalten zu gewährleisten und zum anderen um ein parasitäres Einschalten zu verhindern. Im Gegensatz zu IGBTs wird dafür auf Grund der etwas geringeren Eingangskapazität üblicherweise eine geringere Spannung gewählt, z.B. -5V.

### 3.2.2 Body Diode

Die interne Struktur und der vertikale Aufbau von Leistungs-MOSFETs hat immer eine parasitäre (aber oft nützliche) Diode zwischen Drain und Source zur Folge. Bei SiC MOSFETs hat sie eine besonders hohe Schwellspannung, weshalb sie für die Vermeidung von Verlusten nicht außerhalb der Tot-Zeit der Halbbrücke verwendet werden sollte. Üblicherweise wird bei einem geforderten Strom in Umkehrrichtung, der MOSFET eingeschaltet und somit der niederohmige Kanal anstatt der Body Diode verwendet.

Als positiv im Bezug zu Si MOSFETs sei hier auf die dafür sehr geringe Lebenszeit der Minoritätenladungsträger und der dadurch viel schnelleren Recovery-Zeit verwiesen [10] [11].

### 3.2.3 Dynamisches Verhalten

Die Abbildung 24 zeigt das Test-Setup zur Charakterisierung der dynamischen Eigenschaften des SiC-MOSFETs im Setting eines Halbbrücken Moduls.

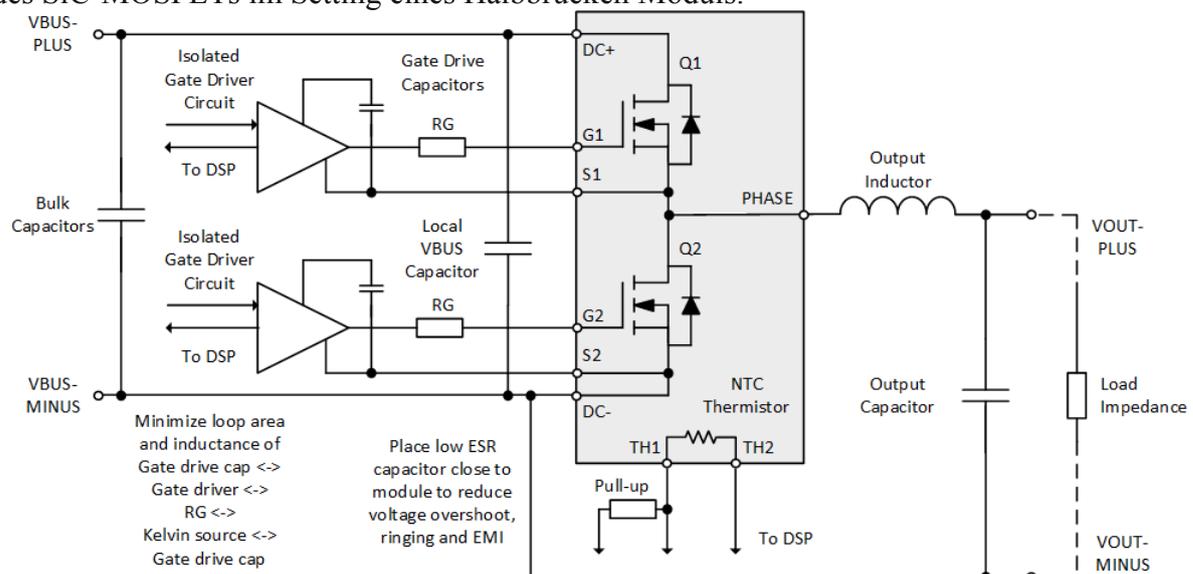


Abbildung 24: Testschaltung zur Bestimmung der dynamischen Eigenschaften [10]

Im Folgenden soll nur auf den Einschaltvorgang eines SiC-MOSFET Halbbrückenmodul eingegangen werden. Die Abbildung 25 zeigt den Vorgang eines 1200V Moduls mit 10Ω Gatewiderstand.

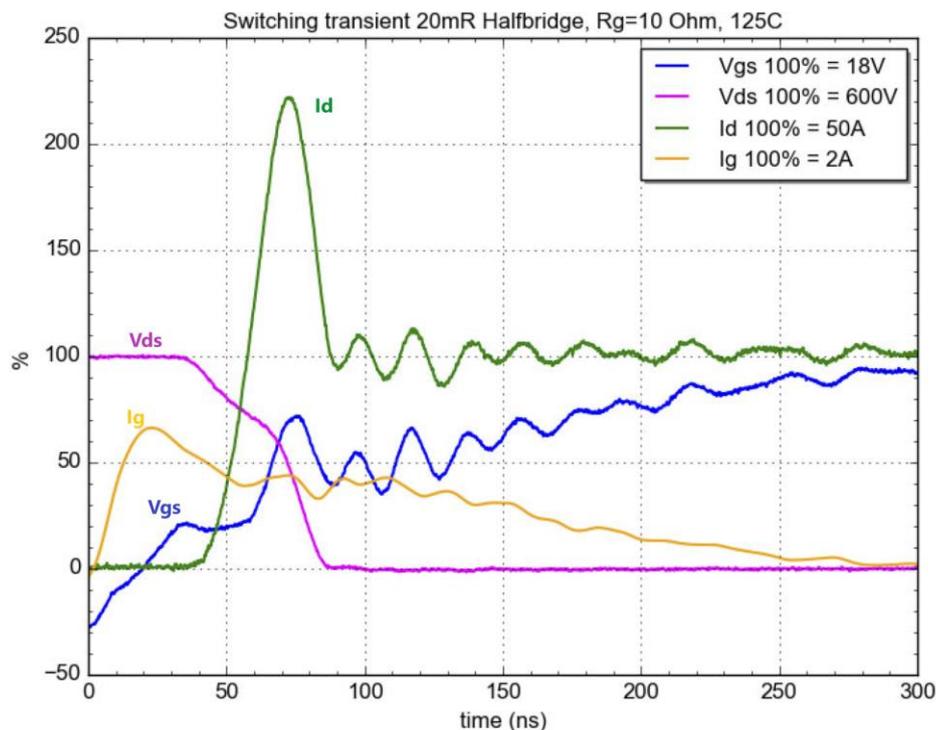


Abbildung 25: Turn-On Schaltverhalten 1200V Halbbrücke mit 20m Ω  $R_{DSon}$  [10]

Der Einschaltvorgang startet, sobald der Gatetreiber auf sein High-Potential gezogen wird ( $t = 0s$ ). Die Gatespannung  $u_{GS}$  steigt bis zur Thresholdspannung des MOSFET an, dabei steigt der Strom in die Eingangskapazität stark an. Die Spannung am MOSFET und der Strom durch den MOSFET bleiben währenddessen unverändert. Sobald die Thresholdspannung erreicht wurde, kann Strom langsam von der Diode des zweiten MOSFET übernommen werden. Der Strom nimmt mit der Vergrößerung des  $u_{GS}$  weiter zu, wobei die Formel 3.3 die Zusammenhänge der Änderungen darstellt. Die Steigung des Stromes ist sehr hoch und hat einen induktiven Spannungsabfall an  $u_{DS}$  zur Folge.

$$i_D = k \cdot (u_{GS} - u_T)^2$$

$$\frac{di_D}{dt} = 2k \cdot (u_{GS} - u_T) \cdot \frac{d(u_{GS} - u_T)}{dt} \quad (3.3)$$

Sobald der Strom  $i_D$  den Spitzenstrom der Diode erreicht hat (Laststrom + Reverse Recovery Strom + kapazitive, parasitäre Ströme), fängt die Diode an Sperrspannung aufzunehmen und  $u_{DS}$  am MOSFET sinkt. Dies führt an den parasitären Eingangskapazitäten des MOSFET zu Ausgleichsströmen, die das Gatesignal fixieren und  $u_{GS}$  während der  $u_{DS}$ -Änderung konstant halten (Miller-Plateau).

Der Turnoff ist analog, wobei die Plateau-Spannung auf Grund des geringeren Stromes (kein Reverse-Recovery) niedriger ist.

### 3.3 GaN

1993 wurde von A. Khan et al. der erste GaN Transistor basierend auf einer AlGaN/GaN-Schicht präsentiert [12]. Damals wurden diese Entwicklungen vor allem auf Grund der Fortschritte mit dem GaAs (Gallium Arsenid) heterostructure field-effect transistor (HFET) vorangetrieben. Diese Strukturen waren zuerst nur von theoretischer Bedeutung, da alle auf einem Saphir-Substrat aufgebaut wurden.

Die ersten kommerziellen HEMT-Produkte erschienen um 2004 als depletion-mode radio frequency Transistoren produziert von Eudyna Corporation in Japan. Die weitaus wichtigeren enhancement-mode (ohne Bias im Aus-Zustand) Modelle wurden im Juni 2009 von EPC (Efficient Power Conversion) als GaN auf Silizium FETs (eGaN), speziell als Alternative zu Leistungs-MOSFETs, vorgestellt [13] [14].

Die Abbildung 26 zeigt einen schematischen Aufbau einer GaN Leistungstransistorstruktur. Zwischen dem Silizium und dem Galliumnitrid wird eine dünne isolierende Aluminiumnitridschicht (AlN) aufgebracht, die als Keimschicht für das Aufwachsen der dicken GaN-Schicht verwendet wird. Diese Schicht fungiert als Basis, auf der der Transistor aufgebaut wird.

Darüber wird eine Aluminium-Galliumnitrid (AlGaN) geschichtet. Dabei entsteht infolge einer piezoelektrischen Polarisierung (Grenzschichten „passen“ nicht zusammen, wodurch eine Dehnung entsteht) eine Ansammlung von Elektronen zwischen der GaN und der AlGaN-Schicht. Diese Anreicherung an Elektronen ist bekannt als zweidimensionales Elektronengas (2DEG, two dimensional electron gas).

Dieses 2DEG erschafft GaN einen entscheidenden Vorteil gegenüber Silizium. Die einzelnen Elektronen sind nicht mehr locker in einem Kristallgitter eingeschlossen, sondern sind gar keinem Atom mehr zugewiesen. Die Wahrscheinlichkeit, dass sie sich an einem beliebigen Platz in der Ebene aufhalten, ist überall gleich. Dies hat einen sehr vorteilhaften, geringen Kanalwiderstand (sehr hohe Mobilität der Elektronen) als Resultat.

Weitere Verarbeitungsschritte erzeugen abschließend die Verarmungszone unter dem Gate. Dieser Bereich wird später im Betrieb, wie bei einem Si-MOSFET, wieder durch ein Bias zwischen Gate und Source geflutet. Um Bauteile mit einer hohen Sperrspannungsfestigkeit zu erzeugen, wird der Abstand zwischen Gate und Drain vergrößert [16].

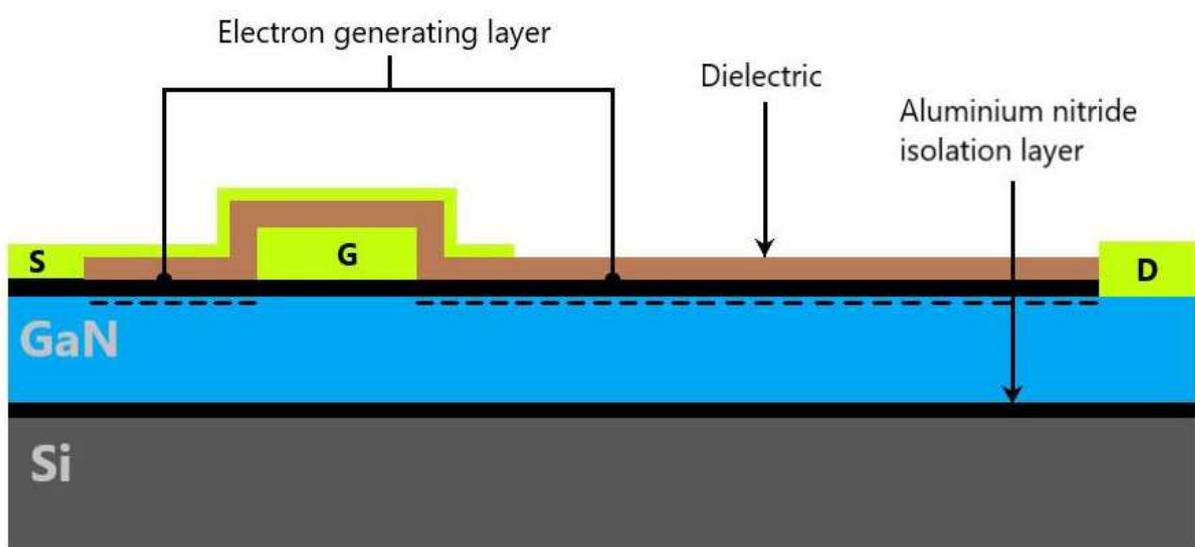


Abbildung 26: Beispielhafte GaN Power Transistor Struktur [16]

Neben dem 2DEG gibt es noch weitere bemerkenswerte Unterschiede zwischen GaN und Si Transistoren. Zum Beispiel ist die Gate-Thresholdspannung für GaN Transistoren geringer. Einer der wichtigsten Aspekte für ein schnelles Schalten sind die parasitären Kapazitäten der Bauteile. Diese besitzen angesichts der lateralen und kleinen Bauform bei GaN einen besonders geringen Wert. Vor allem das für ein schnelles Schalten entscheidende  $C_{GD}$  zwischen Gate und Drain ist gering, auch gegenüber  $C_{GS}$  was eine gute  $\frac{du}{dt}$  Immunität garantiert.

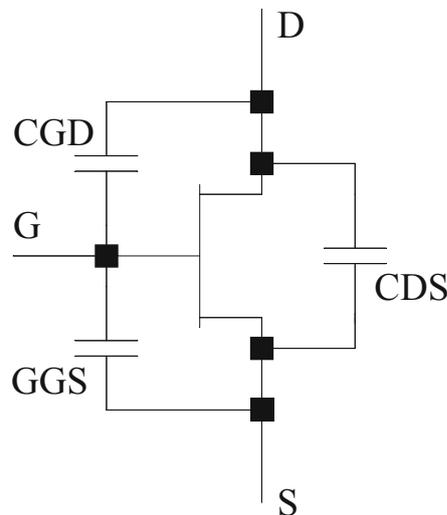


Abbildung 27: Parasitäre Kapazitäten von GaN-Transistoren

Es gibt folgende Parameter, die bestimmen, wie schnell der Einschaltvorgang bzw. der Ausschaltvorgang abläuft (Sperrspannung abgebaut wurde):

$$i_c = C \cdot \frac{d_{uc}}{dt} \quad (3.4)$$

$$\frac{d_{u_{DS}}}{dt} = \frac{u_G - u_{Miller}}{R_G} \cdot \frac{1}{C_{GD}}$$

$u_G$  steht für die Gatespannung die direkt vom vorgeschalteten Treiber kommt.  $u_{Miller}$  ist die  $u_{GS}$  Plateau-Spannung während dem Abbau der Sperrspannung.

Wonach die Größe der Miller-Kapazität  $C_{GD}$  indirekt proportional mit der Änderung der Drain-Source Spannung  $u_{DS}$  zusammenhängt. Demnach wird der Schaltvorgang für kleinere Werte wesentlich schneller.

Da diese parasitäre Kapazität für GaN-Transistoren sehr klein ausfällt, kann damit ohne besonderen Aufwand sehr schnell geschaltet werden. Auf Grund der im Vergleich zu Silizium hohen Durchschlagfeldstärke, können mit GaN-Transistoren sehr kompakte Konverter bis in den MhZ-Bereich gebaut werden.

### 3.4 SiC MOSFET-Gatetreiber GD3160

Ein Beispiel für einen Si-MOSFET Gatetreiber ist der GD3160 von NXP. Nachfolgend werden die wichtigsten Eigenschaften eines solchen Treibers anhand diesem praktischen Beispiel erläutert.

Verwendung findet dieser konkrete Treiber üblicherweise in Invertern für elektrische Antriebe, Onboard-Chargern und DC zu DC-Konvertern als Single-Channel Treiber für SiC-MOSFETs und auch IGBT-Modulen.

Eine wichtige Eigenschaft für sicherheitsrelevante Systeme wie z.B. in elektrischen Autos ist eine integrierte galvanische Trennung, die meistens magnetisch (neben optischen Systemen) ausgeführt wird. Dadurch kann das Niederspannungsnetz sicher für jeden Fehlerfall vom Hochspannungsnetz getrennt werden. Dabei wird es zukünftig mit der Einführung von 800V-Systemen statt 400V und höheren Schaltfrequenzen in Antrieben für Elektroautos beispielsweise weitere Herausforderungen geben, um parasitäre Ströme über die Isolationsstrecke unter vorgegebenen Grenzen zu halten.

Der GD3160 garantiert für eine galvanische Isolation für bis zu 8kV.

Für schnelle Schaltvorgänge wird die „Drive-Strength“ des Treibers beansprucht. Dabei muss ein hoher Strom getrieben aber auch gesenkt werden können. Der GD3160 kann hohe Ströme bis zu 15A liefern sowie auch senken. Dieses Limit wird hauptsächlich vom internen Widerstand des Treibers festgelegt [17].

Bei komplexen Gatetreiber wie dem GD3160 gibt es eine eigene SPI-Schnittstelle, mit der man unterschiedlichste Funktionen konfigurieren, die Sicherheit überwachen und diagnostische Auswertungen erstellen kann.

Um schnell Schalten zu können, muss der Treiber die nötige PWM-Frequenz zur Verfügung stellen. Der GD3160 hat eine maximale PWM-Frequenz von 100kHz.

Um die Sicherheit des Systems im Fehlerfall zu gewährleisten, gibt es für IGBTs eine Kontrolle auf „desaturation“, bei SiC-MOSFETs eine Stromüberwachung. Da die Ausgangskennlinie von SiC-MOSFETs zwischen dem linearen und dem Sättigungsbereich keine klare Trennung ausweist, wie es bei IGBTs der Fall ist, gibt es unterschiedliche Varianten für das Fehlererkennungssystem. Sobald der Kurzschlussfall auftritt, muss das System so schnell als möglich abschalten, wobei dabei niemals eine Fehlauflösung passieren darf. Dabei muss auch sichergegangen werden, dass beim Abschalten während des Kurzschlussstroms keine Überspannungen auf Grund parasitärer Induktivitäten im Modul / Inverter auftreten. Dafür wird ein two-level turn off verwendet, bei dem die Gatespannung vor dem Ausschalten auf eine Zwischenstufe geschaltet wird, um den Strom kurzfristig zu limitieren. Diese Sicherheitskonzepte können über die SPI-Schnittstelle auf jedes beliebige IGBT oder SiC Modul unterschiedlichster Hersteller angepasst werden [18] [19].

In Leistungsmodulen sind häufig NTC- oder PTC-Thermistoren verbaut, wobei über dem Treiber und dem aktuellen Widerstandswert die Modultemperatur ausgelesen werden kann.

## 4 Aspekte der praktischen Umsetzung eines Push-Pull Wandlers

Folgendes Kapitel beschreibt wichtige Punkte für die praktische Umsetzung eines Push-Pull Wandlers der Variante mit fixem Duty-Cycle, der dazugehörigen Ansteuerung und wichtigen Aspekten für die Praxis. Der Konverter (bzw. sechs Stück) soll zwei Ausgangsspannungen (einmal positiv und einmal negativ) für einen Gatetreiber-IC, zur Ansteuerung eines Transistors einer Halbbrücke, versorgen. Nachfolgend wird der Push-Pull Transformator Driver SN6507 beschrieben und verwendet. Es werden jedoch nur die Funktionalitäten des Vorgängers SN6505 benützt. Das neu zur Verfügung gestellte Duty-Cycle Controlling für Line Regulation wird nicht angewandt, da ein fixer Duty-Cycle gewünscht ist und somit die für das Duty-Cycle Controlling benötigte Ausgangsspule wegfallen kann.

### 4.1 Flux Walking

Im Kapitel 2 bezüglich der Vorteile des Push-Pull Konverters wurde das Phänomen des Flux Walking schon kurz eingeführt. In den nächsten Unterkapiteln wird genauer auf die Entstehung und die Techniken zur Vermeidung von Flux Walking in der Praxis eingegangen.

#### 4.1.1 Entstehung von Flux Walking

Beim Einschalten eines Transistors wird die Spannungsquelle direkt an eine Hälfte der Primärwicklung des Transformators geschaltet. Dabei wird nach Gleichung (4.1) ein Strom mit konstanter Steigung über die Einschaltzeit aufgebaut. Dies entspricht dem Magnetisierungsstrom für den Aufbau des Magnetfelds auf Grund des nicht idealen Magnetkerns.

$$u_L = L \cdot \frac{di}{dt} \quad (4.1)$$

Dabei wird sich auf einer Seite entlang der B-H Kurve bewegt wie in Abbildung 28 zu sehen ist. Im nächsten Schritt wird der Transistor ausgeschaltet und die Spannungsquelle über den zweiten Transistor umgekehrt gepolt an die zweite Hälfte der Primärwicklung geschaltet. Der Magnetisierungsstrom wird somit zuerst abgebaut und anschließend bis zur negativen Grenze erhöht. Dabei wird die B-H Kurve vom ersten bis zum dritten Quadranten durchlaufen. Nun ist entscheidend, dass das  $\frac{di}{dt}$  für beide Zeitabschnitte exakt gleich ausfällt, ansonsten kommt es zu einer Asymmetrie wie in Abbildung 29 dargestellt. Auch wenn diese Asymmetrie minimal ist, wird Schritt für Schritt ein DC-Strom aufgebaut, der den Transformator kern final in die Sättigung treibt.

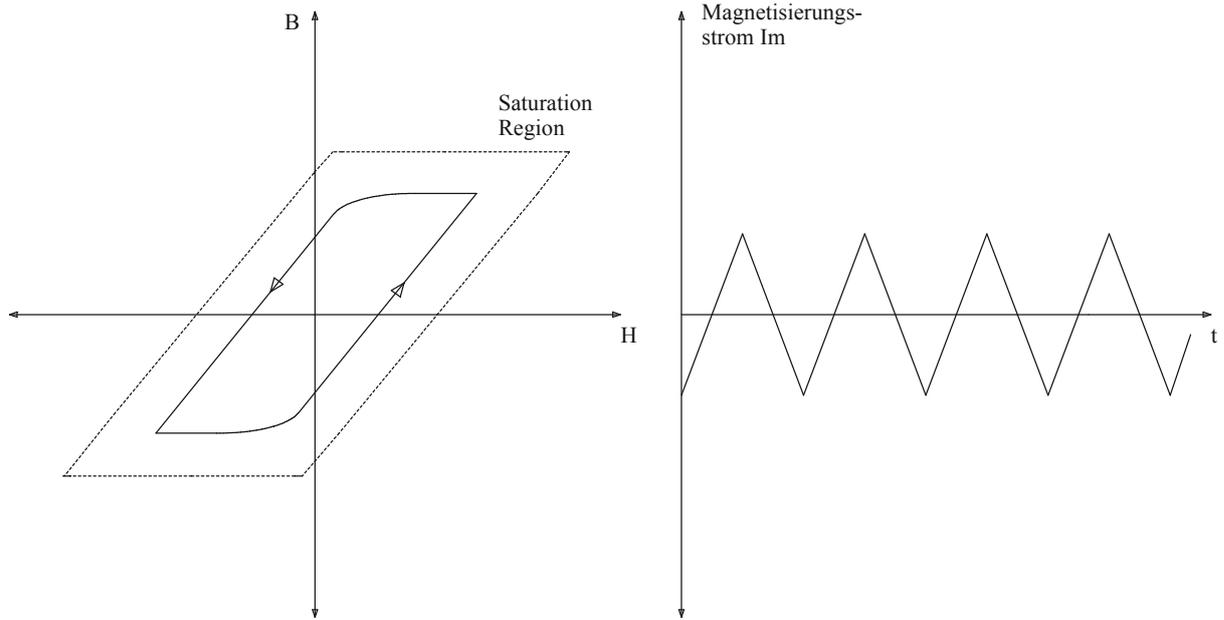


Abbildung 28: Ausgeglichener Magnetisierungsstrom durch gleichmäßige Belastung des Kerns

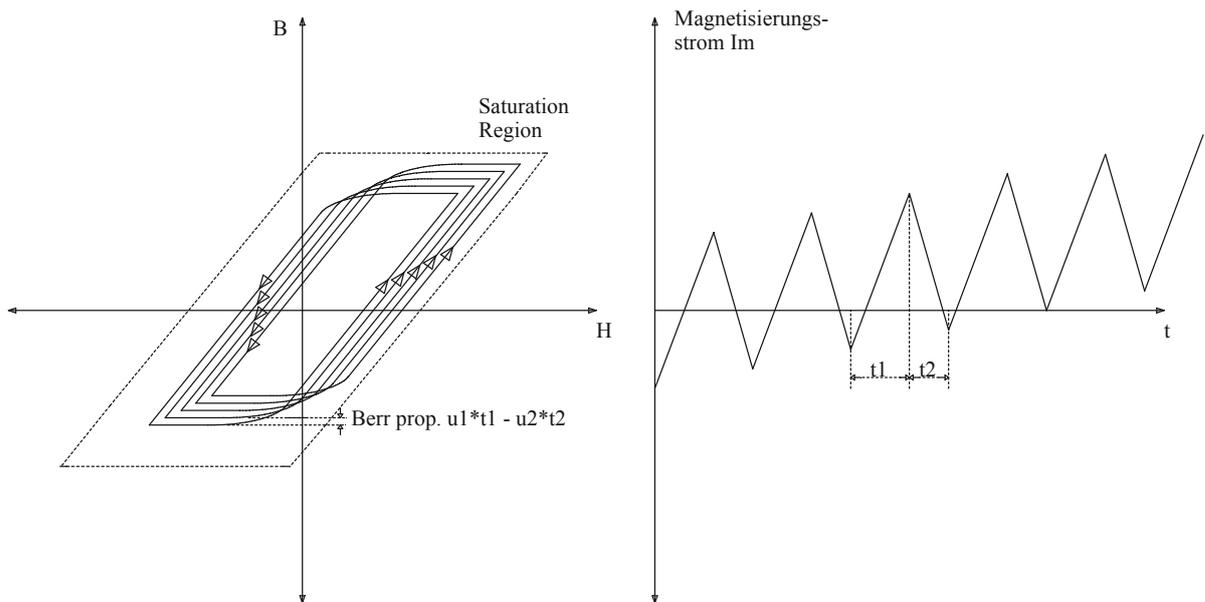


Abbildung 29: Offset des Magnetisierungsstroms durch ungleichmäßige Belastung des Kerns

In dieser Push-Pull Konfiguration muss ebenfalls darauf geachtet werden, dass der Kern unabhängig vom Flux Walking nicht schon in jeder halben Periode in die Sättigung gesteuert wird. Nach Gleichung (4.2) ist die maximale magnetische Flussdichte  $B$  über ein Spannungs-Zeit Produkt begrenzt. Dies ist als Voltage-Time in den Datenblättern dieser Transformatoren angegeben, beträgt bei diesen Größen einige  $V\mu s$  und darf nicht überschritten werden. Dies hat je nach Frequenz Auswirkungen auf die maximal zu verwendende Eingangsspannung.

$$\phi = -\frac{1}{N} \cdot \int u \cdot dt$$

$$B = -\frac{1}{N \cdot A} \cdot \int u \cdot dt$$
(4.2)

## 4.1.2 Begrenzung von Flux Walking

Ein Push-Pull Konverter hat in der Praxis immer eine geringe Asymmetrie in der Belastung seines Transformator-kerns. Es ist schlicht unmöglich den  $R_{DS,on}$  der MOSFETs oder die Widerstände der Transformatorwicklungen genau aufeinander abzustimmen. Ebenso ist es praktisch nicht möglich, exakt gleiche Einschaltzeiten für die Schalter zu erzeugen.

Jede minimale Differenz, möge sie noch so klein sein, führt unweigerlich mit der Zeit, Zyklus für Zyklus, zur Sättigung des Kerns [16].

Glücklicherweise hat der Push-Pull Konverter (wenn er mit MOSFETs gebaut wird, was der Standard ist) strukturell eine passive Möglichkeit, geringfügige Unstimmigkeiten auszugleichen. Dazu kommen noch unterschiedliche aktive Eingriffe, die unternommen werden können, um einer Sättigung und somit einer möglichen Zerstörung des Konverters zuvorzukommen.

### 4.1.2.1 $R_{DS,on}$

Da MOSFETs reale Schalter sind, fügen sie ebenfalls einen geringen ohmschen Widerstand in den Stromzweig ein, auch wenn sie komplett durchgeschaltet sind. Dieser kommt vom leitfähigen Kanal und hat vereinfacht gesagt auf Grund der Tatsache, dass nur Elektronen am Ladungstransport beteiligt sind, im Gegensatz zu bipolaren Bauteilen, einen positiven Temperaturkoeffizienten. Das bedeutet, dass sich der Widerstand bei höheren Temperaturen vergrößern wird. Dieser Effekt kann in Form eines negativen Feedbacks für eine gleichmäßige Ansteuerung des Transformators verwendet werden.

Die Abbildung 30 zeigt das zugrundeliegende Prinzip dieser Rückkopplung.

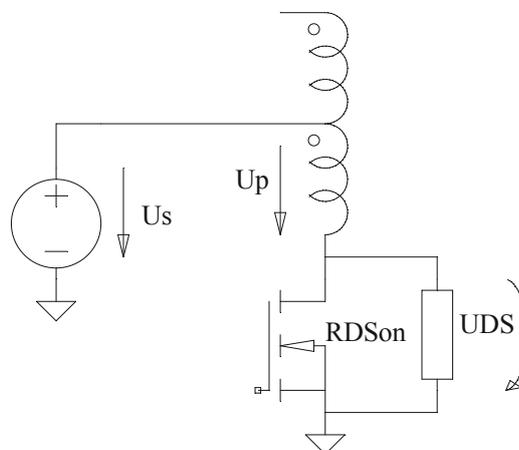


Abbildung 30:  $R_{DS,on}$  als negatives Feedback

Der magnetische Fluss ist durch das Induktionsgesetz von Faraday mit der Spannung  $u$  fix verbunden.  $\Psi$  ist die Flussverketzung die das Produkt zwischen magnetischen Fluss  $\phi$  und der Windungszahl  $N$  darstellt.

$$u = -\frac{d\Psi}{dt} = -N \cdot \frac{d\phi}{dt} \tag{4.3}$$

$$\phi = -\frac{1}{N} \cdot \int u \cdot dt$$

Die magnetische Flussdichte  $B$  der BH-Kurve ist weiters einfach über die Kernfläche mit dem

Fluss verbunden (linearisiert):

$$B = \frac{\phi}{A} \quad (4.4)$$

Die Fläche des Kerns ist für jede Wicklung identisch, da sich der Querschnitt nie ändert. Somit folgt die magnetische Flussdichte  $B$  direkt dem magnetischen Fluss  $\phi$ .

Die magnetische Flussdichte ist über die Permeabilität  $\mu$  mit der magnetischen Feldstärke  $H$  verbunden, welche wiederum eine direkte Relation zur Durchflutung  $\Theta$  und der effektiven Länge  $l$  aufbaut (linearisiert):

$$B = \mu \cdot H = \mu \cdot \frac{\Theta}{l} \quad (4.5)$$

Wenn man annimmt, dass ein halber Zyklus eine größere Spannungszeitfläche (auf Grund von unterschiedlichen Zeiten, Spannungen oder beidem) über das Integral von (4.1) aufspannen würde, ergäbe sich dafür ein erhöhter Fluss und somit eine vergrößerte magnetische Flussdichte. Diese führt über die BH-Kurve zu einer größeren Durchflutung und schlussendlich zu einem erhöhten Strom.

Diese Stromänderung führt einerseits direkt zu einem größeren Spannungsabfall am  $R_{DS,on}$  des MOSFETs und somit zu einer Verringerung der Spannung  $U_p$  an der Wicklung, andererseits steigt die Temperatur im Widerstand durch die höhere Stromzufuhr und somit auch sein Widerstandswert. Die Folge ist wiederum ein erhöhter Spannungsabfall  $U_{DS}$  und eine negative Rückkopplung auf die Spannung  $U_p$ .

Dies ist eine passive Möglichkeit ohne äußeres Zutun, den Effekt des Flux Walking in den Griff zu bekommen. Jedoch ist zu beachten, dass der Magnetisierungsstrom und der  $R_{DS,on}$  beide relativ kleine Werte haben, somit ist auch der Spannungsabfall  $U_{DS}$  im Vergleich zur Versorgungsspannung  $U_s$  verhältnismäßig klein. Die effektive Rückkopplung beschränkt sich somit auf einen Fehlerbereich von wenigen Prozent. Vor allem wenn der Konverter für höhere Leistungen ausgelegt wird und die MOSFETs dementsprechend für geringere Leitverluste dimensioniert werden müssen und dadurch noch geringere Kanalwiderstände bekommen [4].

#### 4.1.2.2 Deadtime

In Systemen mit Halbbrücken muss immer eine Break-Before-Make Logik umgesetzt werden, ansonsten riskiert man hohe shoot-through Kurzschlussströme, die die Bauteile zerstören könnten. Der SN6505 hat dazu eine kurze deadtime vorgesehen, der Duty-Cycle beläuft sich somit nicht auf exakt 50%. Nach dem Ausschalten eines Schalters gibt es dadurch eine kurze Zeit, in der kein Energietransfer von der Primär- auf die Sekundärseite stattfindet.

Dieser kurze Zeitabschnitt zwischen Ausschalten eines Schalters und Einschalten des zweiten Schalters ist unvermeidbar, kann jedoch auch bis zu einem gewissen Grad ausgenutzt werden, um den Transformator während dem Flux Walking nicht in die Sättigung zu treiben.

Die Magnetisierungsinduktivität des Kerns kann man sich parallel zu den Wicklungen des Transformators denken. Sobald beide FETs ausgeschaltet sind, möchte die Induktivität ihren Strom nicht unterbrechen und lässt die Spannung an einen der Drains (je nachdem welcher zuvor aktiv war) ansteigen. Dadurch wird die entsprechende Diode auf der Sekundärseite in Vorwärtsrichtung gepolt, die Sekundärspannung liegt wieder am Transformator Kern an und der Magnetisierungsstrom kann weiter abklingen.

#### 4.1.2.3 Strombegrenzung

Eine weitere Möglichkeit den Transformator vor der Sättigung zu schützen, besteht darin, den Strom durch die FETs für jeden Zyklus zu messen und bei Überschreiten eines Grenzwertes zu begrenzen. Beim SN6507 kann der Grenzwert von außen über einen Widerstand eingestellt werden.

#### 4.1.3 Überprüfung auf Asymmetrie

Ein direktes Messen der Asymmetrie des Kerns ist bei diesen kleinen Transformatorgrößen und ohne Sensoren nur sehr schwer möglich. Mit einer kleinen schaltungstechnischen Erweiterung der Primärseite des Push-Pull Konverters und dem Messen des Stromes im Mittelpunkt mittels Stromzange kann jedoch eine Aussage darüber getroffen werden, ob das Flux Walking schon in einem gefährlichen Ausmaß auftritt oder ob der Kern doch nur minimal asymmetrisch belastet wird. Die Abbildung 31 zeigt den entsprechenden Schaltungsaufbau.

Dafür wird eine Diode D (angenommen 1V Flussspannung) seriell in einen der zwei Primärzweige geschaltet. Wenn nun der Zweig mit der Diode auf die Spannungsquelle geschaltet wird, hat die entsprechende Primärwicklung 1V weniger angelegt als die andere Hälfte. Dadurch wurde ein künstliches Volt-Sekunden Ungleichgewicht erzeugt. Bei der Aufnahme des Stromes durch den Transformatormittelpunkt kann man beobachten, dass der Strom für den Zweig ohne Diode (höhere Spannung) einen höheren Strom führen wird. Wenn sich dieser Strom bereits nahe der Kernsättigung befindet, wird er in den nicht-linearen Bereich der B-H Kurve wandern und von seinem linearen Stromverlauf, auf eine konkave Kurvenform übergehen. In Abbildung 32 sieht man den Unterschied zwischen normalen Stromverläufen und dem Strom der sich nahe dem (bzw. schon im) Sättigungsbereich befindet.

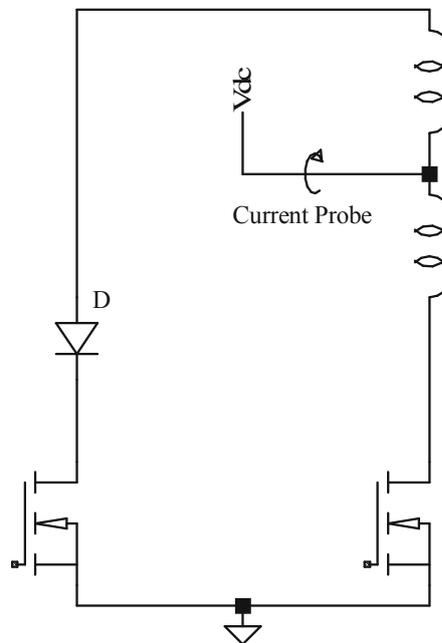


Abbildung 31: Diode in Serie mit einem der Primärzweige zur Kontrolle der Ausprägung der Asymmetrie [17]

Wenn sich dieser konkave Stromverlauf bereits mit dem Hinzufügen einer einzelnen Diode ergibt, weiß man, dass man dem Sättigungsbereich schon gefährlich nahe kommt und man eventuell Vorkehrungen treffen sollte.

Ebenfalls kann die Diode auch in den anderen Primärzweig eingefügt werden, somit lässt sich der Grund für das Spannungszeitgleichgewicht einer Seite zuordnen [17].

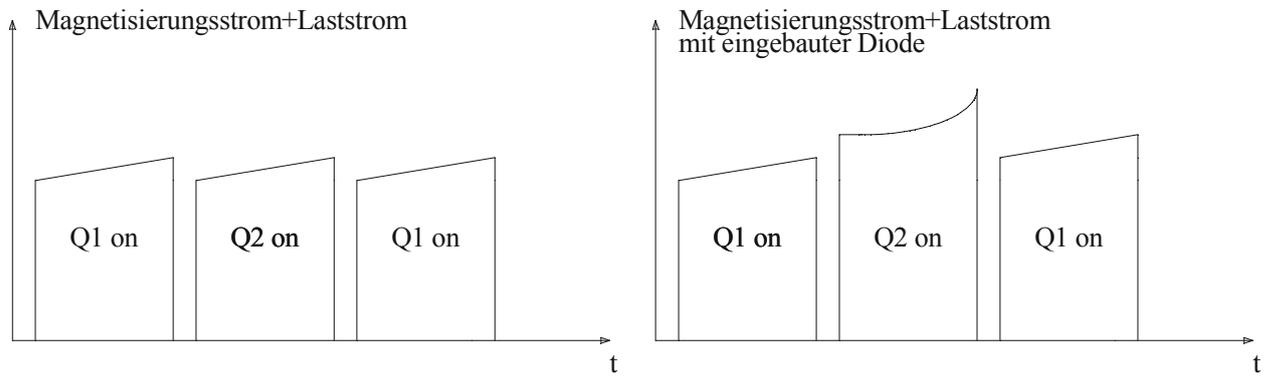


Abbildung 32: Strom im Transformermittelpunkt ohne und mit Diode in Serie [17]

## 4.2 Schaltung

Die Abbildung 33 zeigt ein Beispiel für einen Push-Pull Konverter mit konstantem Duty-Cycle wie er in der Praxis Verwendung findet. Vor dem Transformatortreiber SN6505 wird die Spannung mittels Linearregler auf ca. 4,5V stabilisiert und zusätzlich der Strom begrenzt.

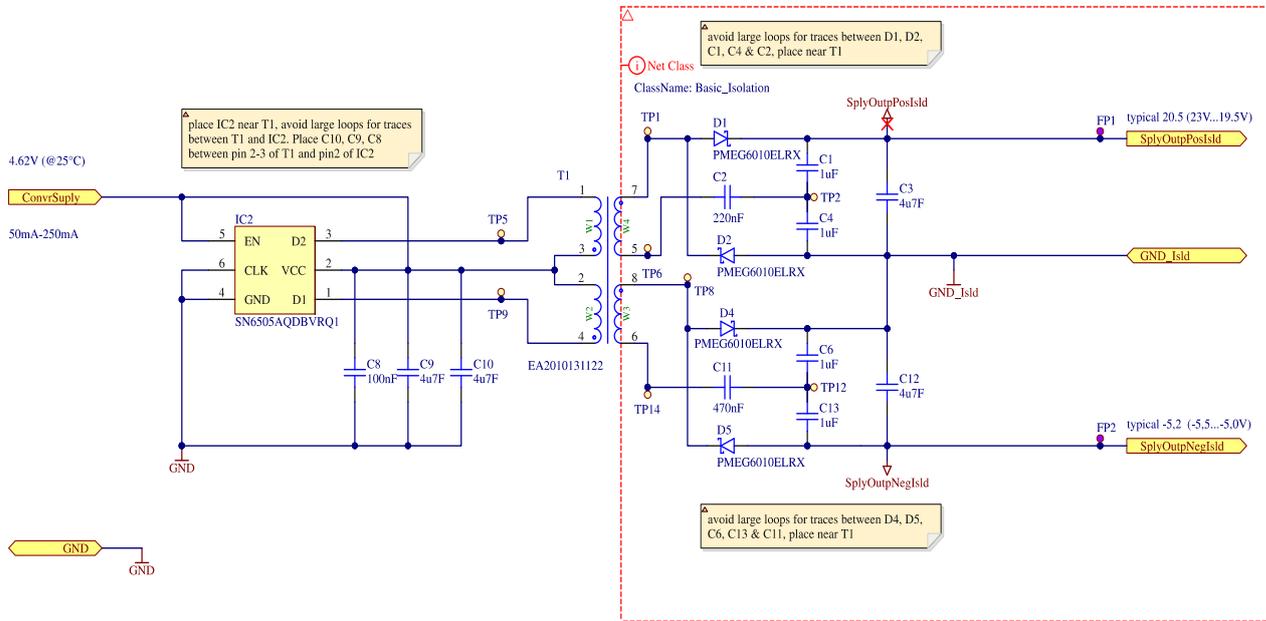


Abbildung 33: Push-Pull Konverter in der Praxis

Der Kondensator C8 ist ein 100nF MLCC-Stützkondensator, der schon fast standardweise für IC-Versorgungen verwendet wird, der die Spannung gegen hochfrequente Signale stabilisiert und sehr nahe an den IC-Pins gebunden werden muss. C9 und C10 stützen die Eingangsspannung zusätzlich DC-mäßig und sind sehr nahe am Transformator zu platzieren.

Der Transformator wurde eigens für die Anforderungen dieses Konverters gefertigt. Die Primärwicklung besteht jeweils aus acht Windungen. Sekundärseitig hat die obere Seite 15 und die untere Seite sieben Windungen. Die Sekundärwicklungen sind in einer eigenen, separaten Kammer untergebracht, um die parasitäre Kapazität klein zu halten. Der Gleichrichter ist so konzipiert, dass die Ausgangsspannung verdoppelt wird. Dies erfolgt durch einen zweiten Kondensator mit Diode für die positive und die negative Seite. Damit sieht die Last einen perfekt symmetrischen Ausgang transformiert von der Primärseite. Dabei kann auch die Windungszahl des Transformators halbiert und somit seine Impedanz verringert werden. Hinsichtlich der hohen Schaltfrequenz werden Schottky-Dioden verwendet, da durch den n-dotiertes Silizium-Metall Übergang anstatt einem PN-Übergang die Speicherzeit von Ladungsträgern und somit der Reverse-Recovery sehr stark verringert wird. Dieser würde ansonsten zu sehr hohen Verlusten führen. Dabei muss aber auch beachtet werden, dass mit erhöhter Ausgangsspannung, die Verluste und somit die Temperatur ansteigen. Dies führt zu vergrößerten Leckströmen der Schottky-Dioden.

C2 und C11 sind Resonanzkondensatoren, die mit der Frequenz des SN6505 (ca. 160kHz) und der Streuinduktivität des Transformators abgestimmt sind. Dies reduziert die effektive Impedanz des Konverters bei Laständerungen und verringert somit Spannungsabfälle. C1, C4, C6 und C13 erzeugen einen künstlichen Mittelpunkt und verdoppeln die Spannung.

Am Ausgang wird die Spannung noch mit den Kondensatoren C3 und C12 stabilisiert.

### 4.2.1 Push-Pull Transformator Treiber SN6505

Der verwendete Transformator Treiber SN6505 ist mit seinem Package und dem Pinout in Abbildung 34 dargestellt. Neben den Pins für die Versorgungsspannung, Ground und den Drainanschlüssen für die Verbindung mit den internen Schaltern gibt es einen Enable-Pin, der er erlaubt, den IC nach Belieben ein- bzw. auszuschalten. Wenn er nicht benötigt wird, kann er dauerhaft mit VCC verbunden werden. Zusätzlich gibt es als letzten Pin die Möglichkeit ein externes Clocksignal zu verbinden, um den Chip mit einem System-Clock und anderen SN6505 zu synchronisieren.

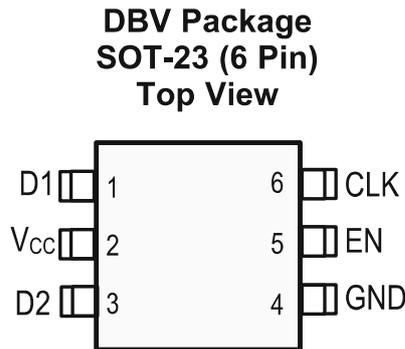


Abbildung 34: Pinout des SN6505 [18]

In Tabelle 5 sind die Pin-Funktionen des SN6505 mit einer kurzer Beschreibung angeführt.

Tabelle 5: Pin-Funktionen des SN6505 [18]

Pin		Beschreibung
Name	Nummer	
D1	1	Open Drain Ausgang des ersten Leistungs-MOSFET der mit einer Seite der Primärwicklung des Transformators verbunden wird
Vcc	2	Spannungsversorgungspin; Wenn $V_{cc} \leq 2,25V$ wird ein interner undervoltage lockout aktiviert und schaltet beide Ausgänge ab
D2	3	Open Drain Ausgang des zweiten Leistungs-MOSFET der mit einer Seite der Primärwicklung des Transformators verbunden wird
GND	4	Verbunden über einen Messschaltkreis mit den Source-Anschlüssen der Leistungs-MOSFETs
EN	5	Enable-Pin; Nach GND oder floating schaltet alle internen Schaltungen ab; Wenn EN nicht benötigt wird, an Vcc verbinden
CLK	6	Für externes Clocksignal; intern mit Pull-Down auf GND gebunden

## 4.3 TI Evaluation Board SN6507DGQEVM

Nachfolgend soll das Evaluation Board SN6507DGQEVM von Texas Instruments behandelt, analysiert und die Messergebnisse dargestellt werden.

Dabei handelt es sich um ein Modul, welches den neuen SN6507 Push-Pull Transformator Treiber enthält und Entwicklern bei der Analyse und Bewertung der Leistung desselbigen in einer konkreten isolierten Spannungsversorgungsanwendung hilft. Der Leistungsteil besteht aus dem Push-Pull Transformator, einem Gleichrichter und einem optionalen LDO.

Für Push-Pull Konverter, die mit einem konstanten Duty Cycle von etwa 50% betrieben werden (keine Induktivität am Eingang bzw. Ausgang), erfolgt der Betrieb üblicherweise ohne Feedbackschleife. Dies kann dazu führen, dass die Ausgangsspannung bei unterschiedlichen Lasten stark variiert, da keine Load Regulation vorhanden ist. Deshalb werden für Anwendungen, die eine stabile Spannung benötigen, gerne LDOs am Ausgang des Konverters benutzt.

Auf diesem Evaluation Board sind diverse Jumper, die unterschiedliche Funktionen und Bauteile wie z.B. diesen LDO sehr einfach in den Betrieb aufnehmen.

Im Anhang A befinden sich die Schematic, das PCB-Layout und die 3D-Ansicht des SN6507DGQEVM Evaluation Boards [21].

### 4.3.1 Push-Pull Transformator Treiber SN6507

Verwendet wird der Push-Pull Transformator Treiber SN6507, welcher die neuere Variante des SN6505 darstellt. Sehr viele neue Funktionen wurden neu in den IC integriert, auf die im Folgenden, inklusive der wichtigsten Eigenschaften des Vorgängers, eingegangen werden soll. Die Abbildung 35 zeigt das Pinout des SN6507 mit dem DGQ-Package. Der Pin 11 ist als Thermal Pad ausgeführt und dafür gedacht, die Wärme, die durch die Verlustleistung entsteht, über das Board abzuführen. Dieser gehört für eine korrekte Funktion des IC unbedingt mit den GND-Pins (Pin 2 und Pin 9) verbunden.

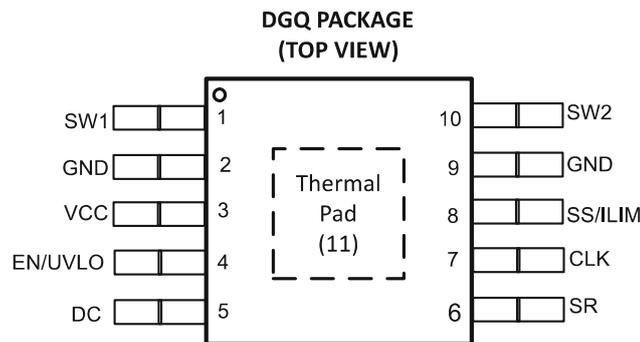


Abbildung 35: Pinout des SN6507 [20]

Die Tabelle 6 führt alle Pins des SN6507 mit Pin-Nummer und deren Funktion auf.

Tabelle 6: Pin-Funktionen des SN6507 [20]

Pin		Beschreibung
Name	Nummer	
SW1	1	Open Drain Ausgang des ersten Leistungs-MOSFET der mit einer Seite der Primärwicklung des Transformators verbunden wird
GND	2	Masseanschluss der Leistungs-MOSFETs und des Steuerschaltkreises; Pin 2 und Pin 9 müssen für beste Effizienz und EMV-Verhalten auf PCB kurzgeschlossen werden
Vcc	3	Der Vcc-Pin ist der Hauptversorgungspin für alle Schaltungen; während des Ein- und Ausschaltens der Leistungsschalter werden kurze Hochstromimpulse erzeugt
EN/UVLO	4	Enable und undervoltage lockout Pin <ul style="list-style-type: none"> <li>• Wenn dieser Pin floated oder die Threshold-Spannung unterschritten wird, stoppt das Schalten</li> <li>• Wenn dieser Pin fix an Vcc ist, startet Schalten automatisch bei Erreichen der Vcc Threshold -Spannung</li> </ul>
DC	5	Pin zur Steuerung des Tastverhältnisses, für Line Regulation. Ein Widerstand an diesem Pin gegen GND legt den Duty Cycle fest. Wenn der Pin nicht benutzt wird, bleibt er potentialfrei und das Tastverhältnis wird auf den Standardwert (48%) gesetzt. Duty Cycle Control ist im SYNC-Modus deaktiviert.
SR	6	Slew Rate Control; Ein Widerstand gegen GND ändert Slew Rate der Schalter und verbessert somit Emissionsverhalten; Floating stellt default Slew Rate ein
CLK	7	Pin für das Synchronisieren eines externen Clocksignals (SYNC Modus) oder um Schaltfrequenz über Widerstand gegen GND einzustellen; Kurzschluss zu GND bedeutet default Frequenz (üblich 1MHz); Floating stoppt Schalten
SS/ILIM	8	Soft-Start und Strombegrenzung Eingangspin <ul style="list-style-type: none"> <li>• Kondensator gegen GND für SS und Inrush-Current</li> <li>• Widerstand gegen GND für Strombegrenzung</li> </ul>
GND	9	Masseanschluss der Leistungs-MOSFETs und des Steuerschaltkreises; Pin 2 und Pin 9 müssen für beste Effizienz und EMV-Verhalten auf PCB kurzgeschlossen werden
SW2	10	Open Drain Ausgang des zweiten Leistungs-MOSFET der mit einer Seite der Primärwicklung des Transformators verbunden wird
PowerPAD	11	GND-Pins (Pin 2 und Pin 9) müssen mit diesem Pin 11 elektrisch auf dem Board verbunden werden

### 4.3.2 Tests der neuen Funktionen

Der SN6507 hat im Vergleich zur Vorgängerversion SN6505 einige neue Funktionen, wie die Einstellung der Frequenz, die Adaptierung des Soft Starts und die Änderung der Slew Rate für die EMV. Mehrere Features wurden praktisch mit dem Evaluation Board überprüft und Messungen aufgenommen.

#### 4.3.2.1 Einstellung der Frequenz

Mit einem Widerstand am CLK-Pin kann die Frequenz des SN6507 angepasst werden. In Abbildung 36 sieht man die Änderung der Frequenz vom Default-Wert 1MHz (Pin Short auf GND) auf etwa 240kHz mittels 47kΩ Widerstand.

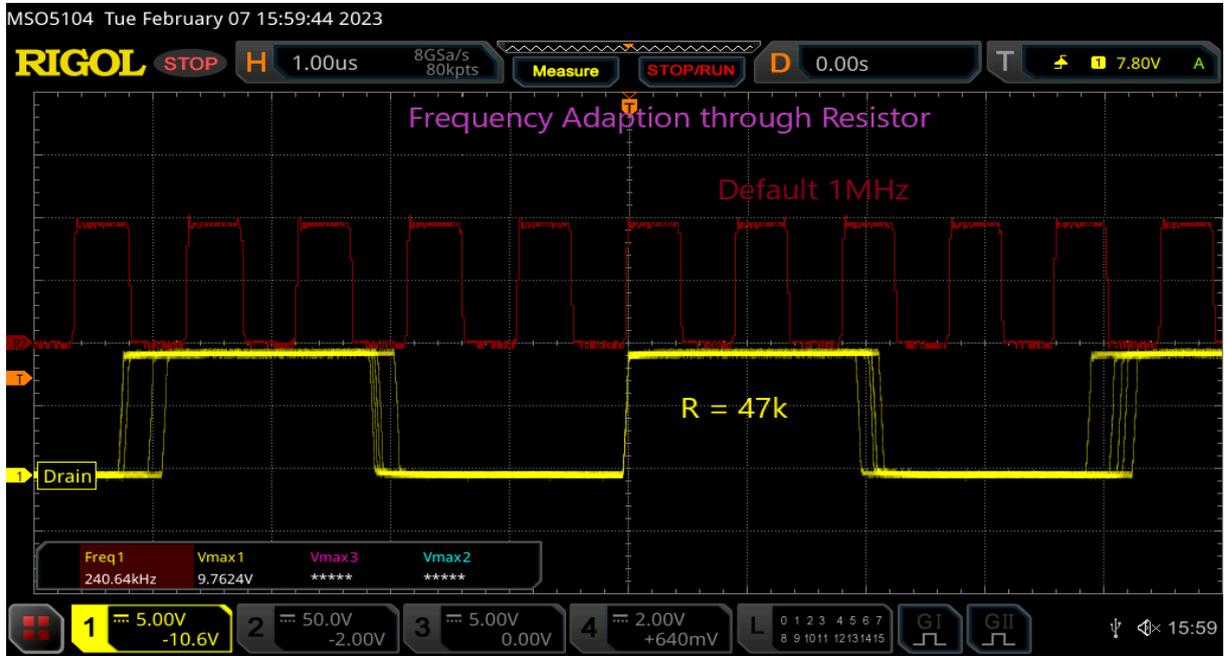


Abbildung 36: SN6507 Frequenzänderung

#### 4.3.2.2 Slew Rate

Wenn die Änderung der Slew Rate auf Grund von EMV-Vorgaben gewünscht ist, kann dies auch mit nur einem Widerstand am Pin SW gemacht werden.

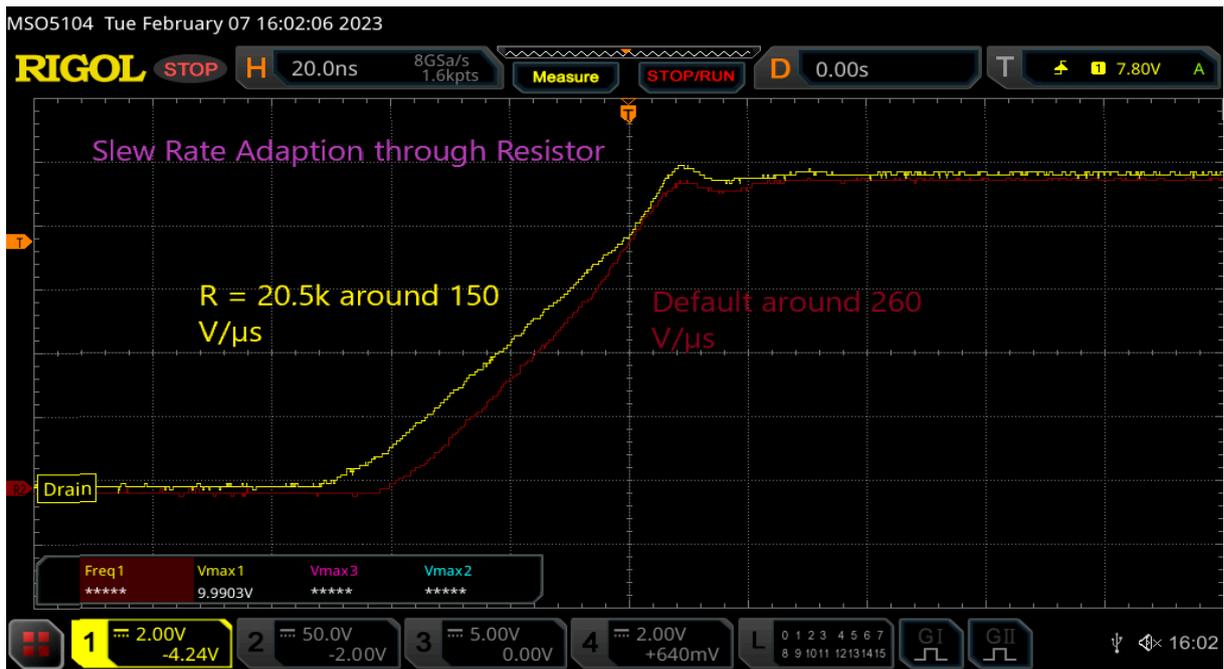


Abbildung 37: SN6507 Slew Rate Änderung

#### 4.3.2.3 Soft Start

Um den Inrush-Current der Kondensatoren gering zu halten, kann der IC SN6507 mit einem Soft Start gestartet werden. Je höher der Kondensator am Pin 8 SS, umso langsamer läuft dieser Spannungsrampe ab.

In Abbildung 38 sieht man den Unterschied zwischen 2.2 $\mu$ F und 5 $\mu$ F.

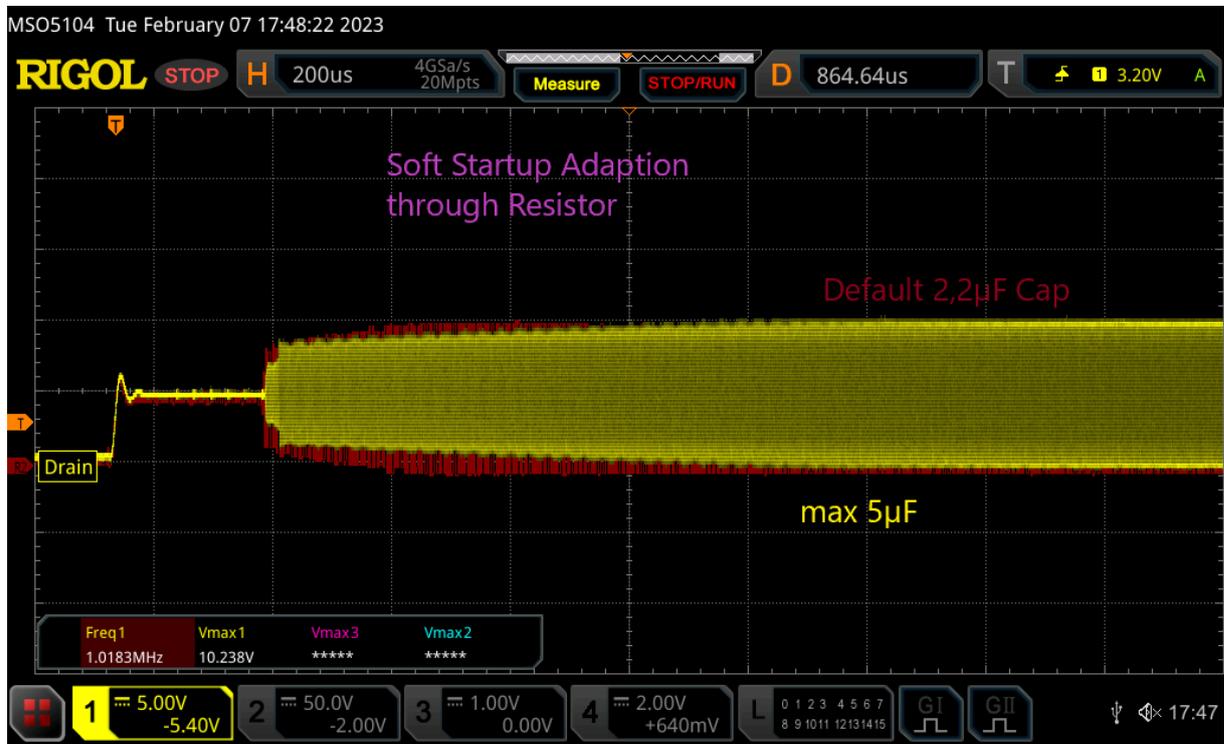


Abbildung 38: SN6507 Soft Start Änderung

## 5 Postregulator für Push-Pull Konverter

Der Postregulator ermöglicht die Regelung der Ausgangsspannung des Push-Pull Konverters für jeden Ausgang separat. Somit kann mit nur einem Widerstand ein Wert eingestellt werden, der Transformator und Spannungsregler vor dem Konverter können für unterschiedliche Projekte, die unterschiedliche Spannungsniveaus erfordern, gleichbleiben.

Um dies zu ermöglichen, soll ein Schalter zwischen AC-GND und der Transformatorwicklung (bzw. Resonanzkondensator) eingebaut werden. Bei Überschreiten der vorgesehenen Ausgangsspannung wird der Schalter geöffnet und somit die Energiezufuhr abgekappt. Beim Unterschreiten der Spannung wird der Schalter geschlossen und weiter Energie zugeführt bis zum Erreichen des gewünschten Wertes. Ein Feedbackkreis mit Verstärker führt die Information über die Ausgangsspannung zurück.

Die Abbildung 39 zeigt die positive Seite des Push-Pull Konverter Gleichrichters und die vorgesehene Position des Schalters.

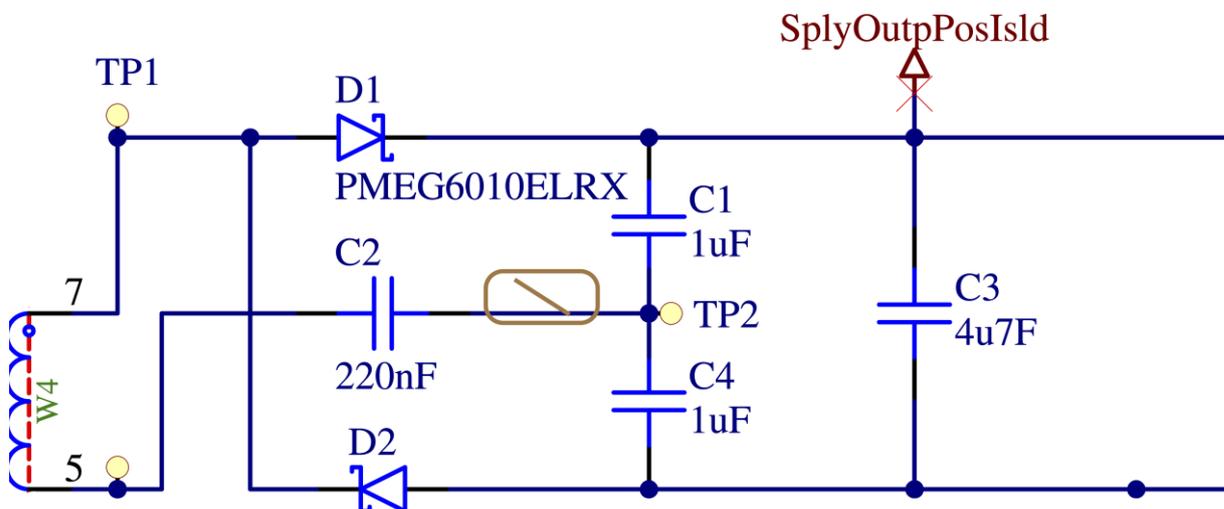


Abbildung 39: Postregulator-Konzept im sekundärseitigen Gleichrichter des Konverters

In diesem Abschnitt wird der Postregulator zuerst anhand von LTSpice-Simulationen detailliert erklärt und anschließend mit der entsprechenden Hardware als Evaluation Board getestet.

### 5.1 Simulation in LTSpice

Die Simulation in LTSpice bildet das Grundkonzept des Postregulators, auf dem alles weitere aufgebaut wurde. Sie unterteilt sich in drei Hauptteile, den Push-Pull Konverter, einer äquivalenten Last und dem Konzept des Postregulators an sich.

#### 5.1.1 Push-Pull Konverter

Der Push-Pull Konverter wird übersichtshalber in eine Primär- und in eine Sekundärseite, getrennt durch seinen Transformator, aufgeteilt. Primärseitig befindet sich der Push-Pull Transformer Treiber SN6505 und sekundärseitig die äquivalenten Kondensatoren als Last, für einen Leistungstransistor.

5.1.1.1 Primärseite

In Abbildung 40 ist der Push-Pull Konverter primärseitig dargestellt. Der linke Teil mit der rechteckigen Umrandung steht für die äquivalente innere Beschaltung des SN6505 Gatedrive-

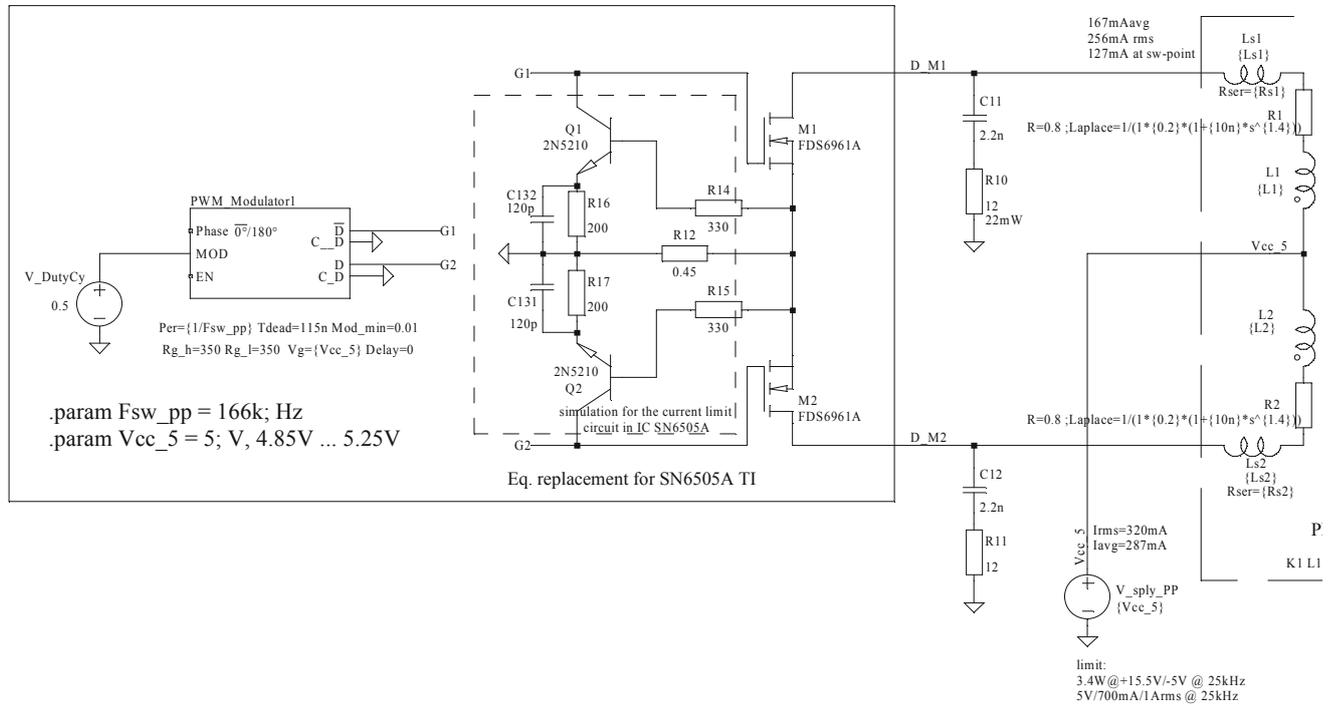


Abbildung 40: Push-Pull Konverter vorderer Teil

IC. Es wird über einen PWM-Modulator die Frequenz von 166kHz, die Totzeit und der DutyCycle moduliert. Der SN6505 hat intern auch eine Strombegrenzung, die hier mittels Bipolartransistor und „Stromsensor-Widerstand“ realisiert wurde. Sobald ein zu hoher Strom erreicht wird, fällt am Widerstand R12 ein genügend hoher Spannungsabfall ab, um den Transistor (Q1 bzw. Q2) durchzuschalten und die Treibersignale auf Ground, statt auf das Gate abzuleiten.

M1 und M2 sind die Transistoren, die die zwei Primärwicklungen des Transformators mit der Schaltfrequenz auf die Versorgungsspannung beschalten.

Am Punkt D\_M1 bzw. D\_M2 befindet sich ein RC-Snubberglied um transiente Überspannungen auf Grund der Streuinduktivitäten zu verringern und somit die Schalter des SN6505 zu schützen. Die Bemessung erfolgt üblicherweise durch das Probieren und Testen unterschiedlicher Varianten. Die Abbildung 41 stellt den Spannungsverlauf am Drain über die ersten 500µs dar. Die nominale Spannung von 10V wird praktisch für keine der Perioden stark überschritten. In Abbildung 42 sieht man den Spannungsverlauf ohne RC-Glied. Eine 20-30% Erhöhung tritt gehäuft auf, kurzzeitig sogar eine Verdoppelung der nominalen Spannung. Diese Überspannungen hängen davon ab, wie hoch der Strom zum Zeitpunkt des Umschaltens ist. Somit können beim Abschneiden von höheren Strömen (höhere Last) noch höhere Überspannungen auftreten (beim harten Schalten). Dies kann unter Umständen den Drainanschluss bzw. den Schalter des IC nachhaltig beschädigen.

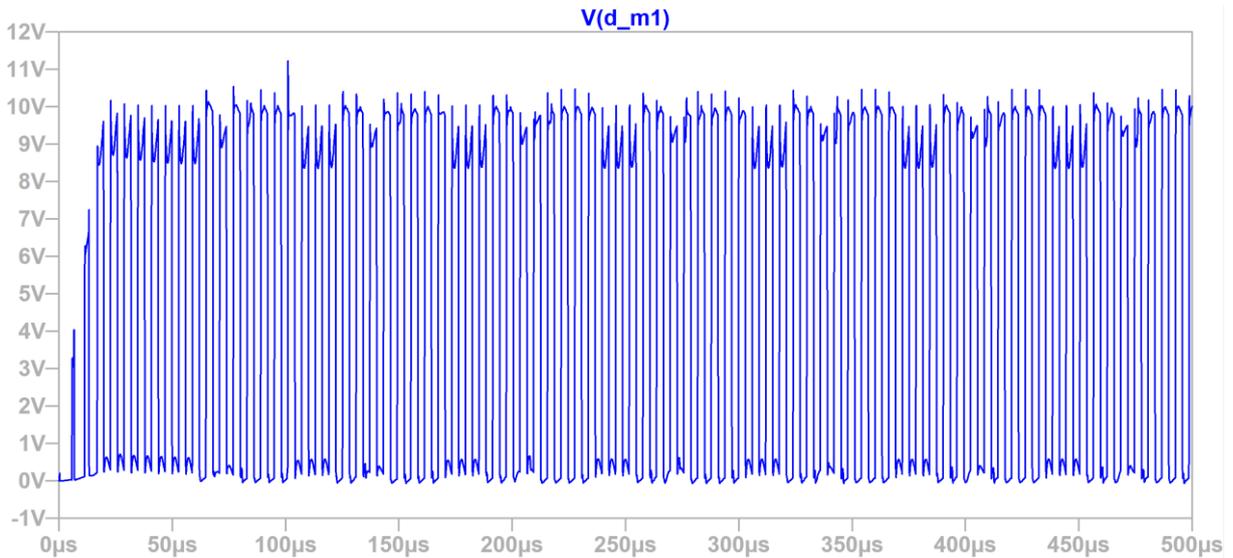


Abbildung 41: mit RC-Snubber Beschaltung

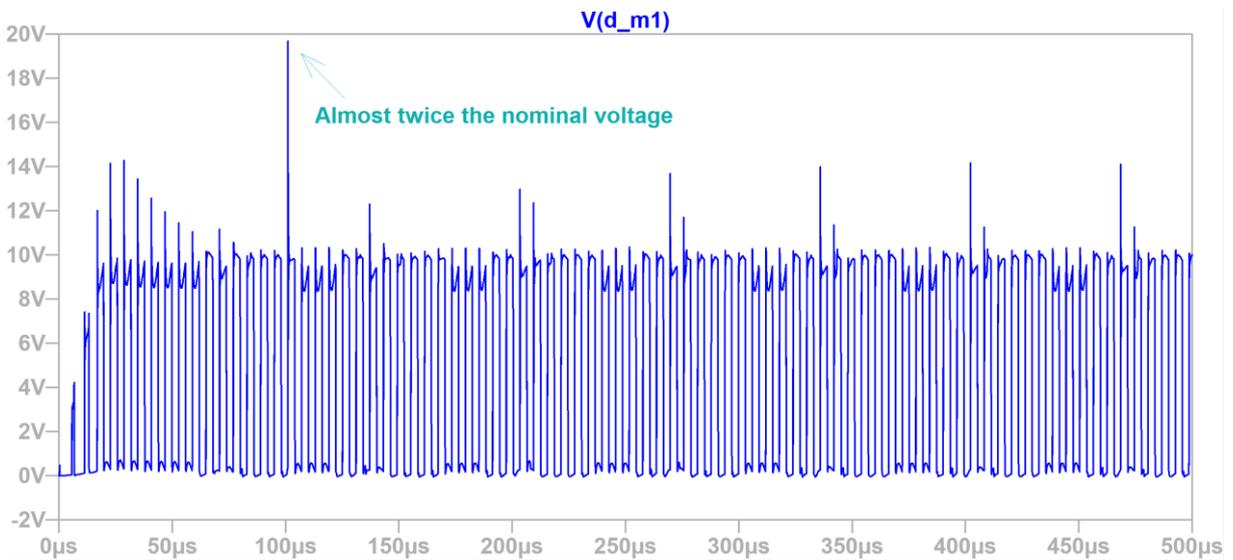


Abbildung 42: ohne RC-Snubber Beschaltung

Die in der Simulation verwendeten Induktivitäten des Transformators basieren auf den Messungen und Berechnungen die in Abbildung 43 dargestellt sind. Mit einem Impedanzanalysator wurden Induktivitäten gemessen, die im Anschluss daran auf einen Wert umgerechnet wurden, den man im daraufhin auch an unterschiedliche Transformatoren (nur andere Wicklungsanzahl) anpassen kann.

Grundlage für diese Berechnungen bildet folgende Formel:

$$L = N^2 \cdot A_L \tag{5.1}$$

Mit der Induktivitätskonstante  $A_L$  kann nun über die Windungszahl die Induktivität berechnet werden.

## 04.12.2022, measured leakages using NA Analog Discovery-2 ; measured Transformator with 8+8+15+7 turns

```
.param AL = 45u/(8**2) ; measured avg AL= L1/15² for main ind
;param AL0 = 1.52u/(8**2) ; measured avg ALo_air= Lsp/N² for leakage ind --> OBSOLATE

; measured with primary in Short Circuit, calculated values per turn to extend to any other N number

.param ALs1=0.12u/(8**2) Rs1_1=0.225/8 ; leakage per turn and resistance per turn, secondary is open, primary in SC
.param Ls1=ALs1*N1**2 Rs1=Rs1_1*N1 ; calculated values for actual construction, same ferrite core, 151nH, 0.253R

.param ALs2=0.12u/(8**2) Rs2_1=0.225/8; leakage per turn and resistance per turn, 151nH
;param Ls2=ALs2*N2**2 Rs2=Rs2_1*N2 ; resistance increases lin. with N
.param Ls2=Ls1 Rs2=Rs1 ; resistance increases lin. with N

.param ALs3=5.18u/(15**2) Rs3_1=0.7488/15 ; leakage per turn and resistance per turn, w. primary only in SC
.param Ls3=ALs3*N3**2 Rs3=Rs3_1*N3 ; expected leakage ind of L3 and series res. of the leak ind., 11uH, 1.1R

.param ALs4=1.17u/(7**2) Rs4_1=0.306/7; leakage per turn and resistance per turn, w. primary only in SC
.param Ls4=ALs4*N4**2 Rs4=Rs4_1*N4 ; expected leakage ind of L3 and expected series resistance, 1.17uH, 0.305R

.param L1 = L2 RL1 = 950m/8 *N1 -Rs1 ; 57u, 0.815R
.param L2 = AL*N2**2 RL2=RL1; main ind. using ALo of the measured core
.param L3 = AL*N3**2 RL3=2.32/15 *N3 -Rs3 ; 340u, 2.304R
.param L4 =AL*N4**2 RL4=0.96/7 *N4 -Rs4 ; L4+RL4 are sunted in leakage test by Rs3 II Ls3 ;34u, 0.654R

; Si reinforced, transformer input data
; by changing the N1...N4, the Transformer data will be recalculated based on per-turn data of the measured one
.param N1 = 8; primary
.param N2=N1; primary
.param N3 = 15
.param N4 = 7
```

Abbildung 43: Messungen und Berechnungen für die Transformator Induktivitäten

5.1.1.2 Sekundärseite

Auf der Sekundärseite des Push-Pull Konverters befindet sich der Gleichrichter, eine Grundlast und der Postregulator (im linierten Rechteck in Abbildung 44). Die zu regelnde Ausgangsspannung (Pin U18 und U5) versorgt die Last, die im nachfolgenden Unterkapitel genauer beschrieben wird. Genauso wird das Innere des Postregulators in einem weiteren Kapitel getrennt behandelt.

An den Feedback-Anschlüssen FB+ und FB- des Postregulators befinden sich die Widerstände R5 und R6, die die gewünschte einzustellende Spannung als Feedback-information rückführen. Diese Simulation wurde mit  $R_5 = 5k6\Omega$  und  $R_6 = 2k7\Omega$  betrieben. Dies steht für eine eingestellte Spannung von  $U_{cc} = 15,6V$  bzw.  $U_{ss} = -4,5V$  ( $U_{ss}$  ist auf Grund einer unterschiedlichen Zener-Diode für die Simulation etwas abweichend).

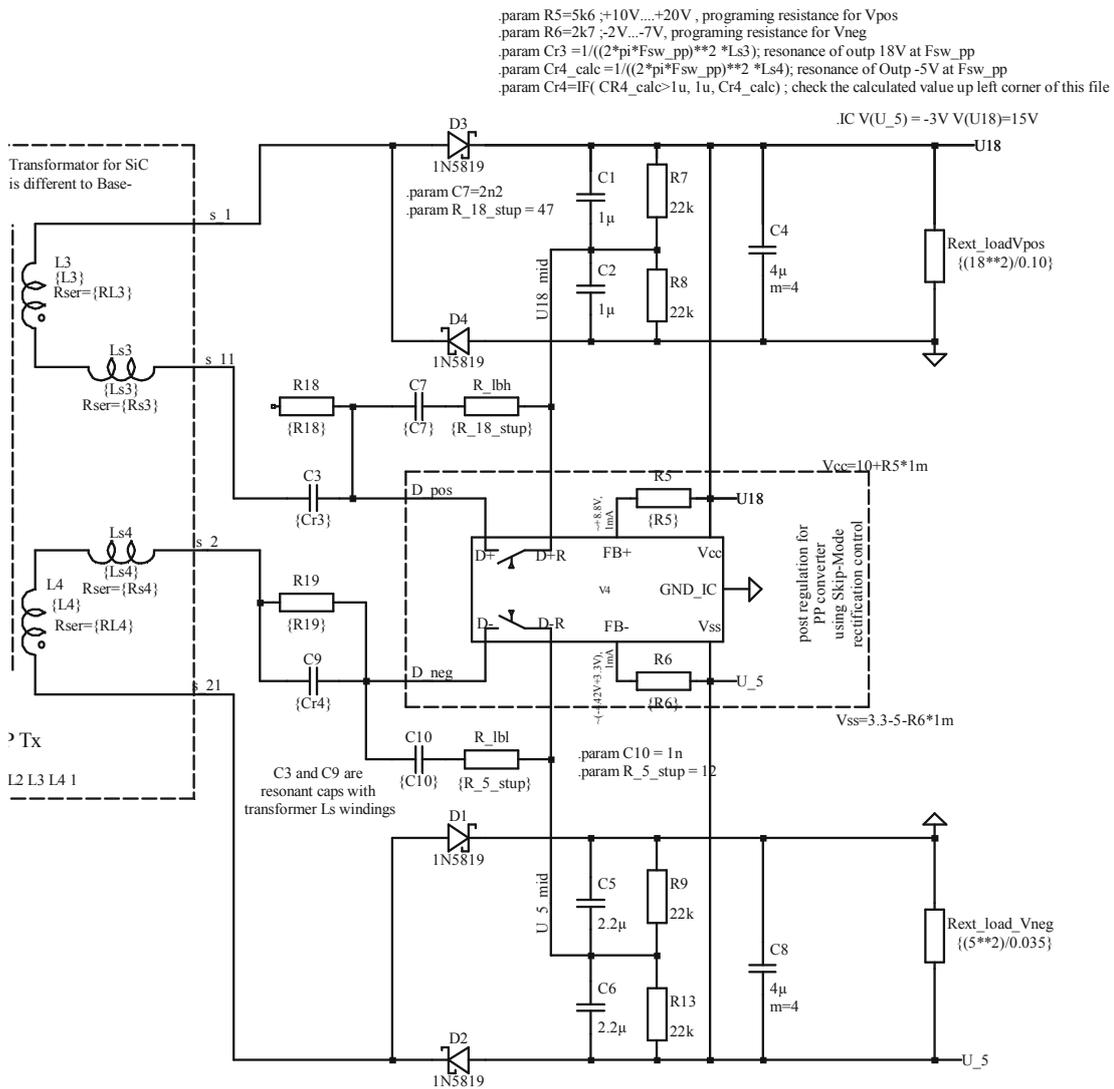


Abbildung 44: Gleichrichterstufe auf der Sekundärseite des Push-Pull Konverters

In Abbildung 45 sieht man wie sich die Spannung Schritt für Schritt auf den einzustellenden Wert anpasst.

Die Kondensatoren Cr3 und Cr4 sind über die Schaltfrequenz des SN6505 mit den Streuinduktivitäten des Transformators auf Resonanz abgestimmt. Dies verringert die

effektive Impedanz des Konverters und schwächt die bei dynamischen Laständerungen auftretenden Spannungsabfälle.

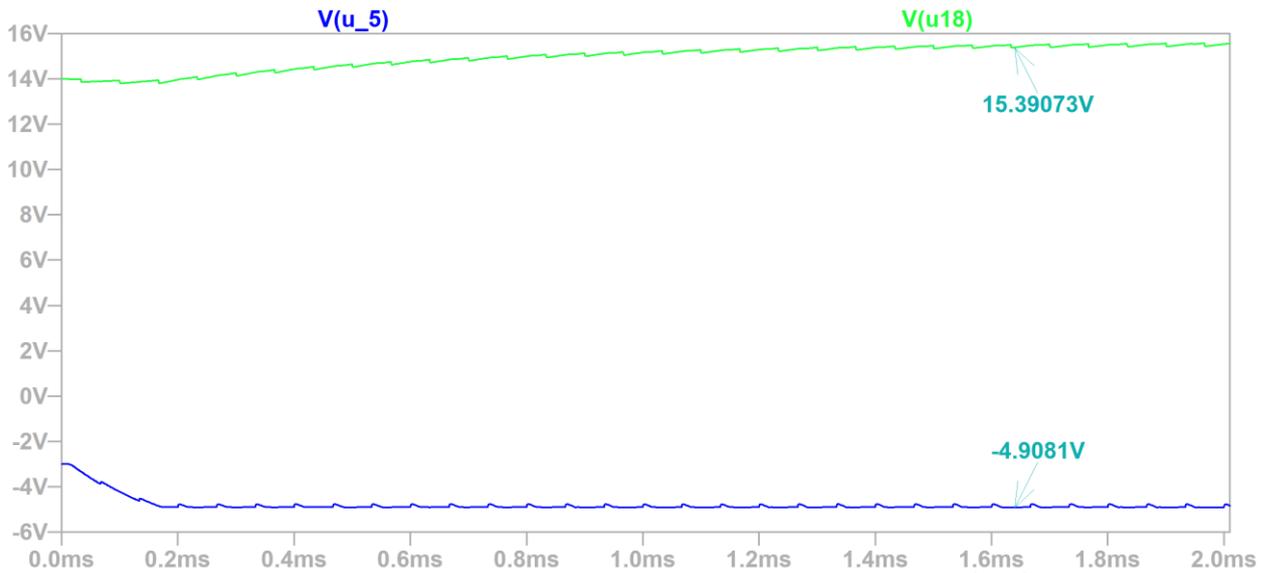


Abbildung 45: Gesteuerte Ausgangsspannungen des Push-Pull Konverter mit integriertem Postregulator

Die RC-Kombinationen C7 / R\_lbh bzw. C10 / R\_lbl wurden ursprünglich dafür vorgesehen, den Postregulator bei niedrigen Versorgungsspannungen, wie es beim Einschalten der Fall ist, korrekt hochzufahren. Im Zuge der Simulationen wurde festgestellt, dass der Postregulator nur mittels Body-Diode der MOSFETs hochfahren kann. Nichtsdestotrotz wurden die RC-Glieder weiter beibehalten, um den Start-Up Vorgang noch etwas zu beschleunigen. Energie kann auch bei geöffnetem Schalter fließen.

Die Widerstände R7 / R8 und R9 / R13 stabilisieren zusätzlich den Mittelpunkt U18\_mid und U5\_mid.

### 5.1.2 Last

Neben der Grundlast des Push-Pull Konverters die für den Eigenstromverbrauch des Treibers steht, wird eine dynamische Last modelliert, die für den Gatetreiber selbst und den zu schaltenden Transistor steht.

Der Treiber besteht nur aus zwei Schaltern, die komplementär beschaltet werden. Dadurch wird entweder die positive oder die negative Versorgungsspannung auf den Kondensator durchgeschaltet. Der echte Gatetreiber (im Projekt GD3160) hat zwei getrennte Ausgänge, mit denen das Ein- und Ausschalten getrennt abläuft. Gatetreiber die nur einen Ausgangspin besitzen, müssen bei gewünschten unterschiedlichen Ein- bzw. Ausschaltverhalten mit Dioden beschaltet werden. Mit einer Diode kann dadurch erreicht werden, dass zum Beispiel der Ausschaltvorgang schneller abläuft als der Einschaltvorgang (Speed-Up).

In der Simulation wurden zwei ideale Dioden verwendet, um die Ströme komplett getrennt voneinander aufnehmen und steuern zu können.

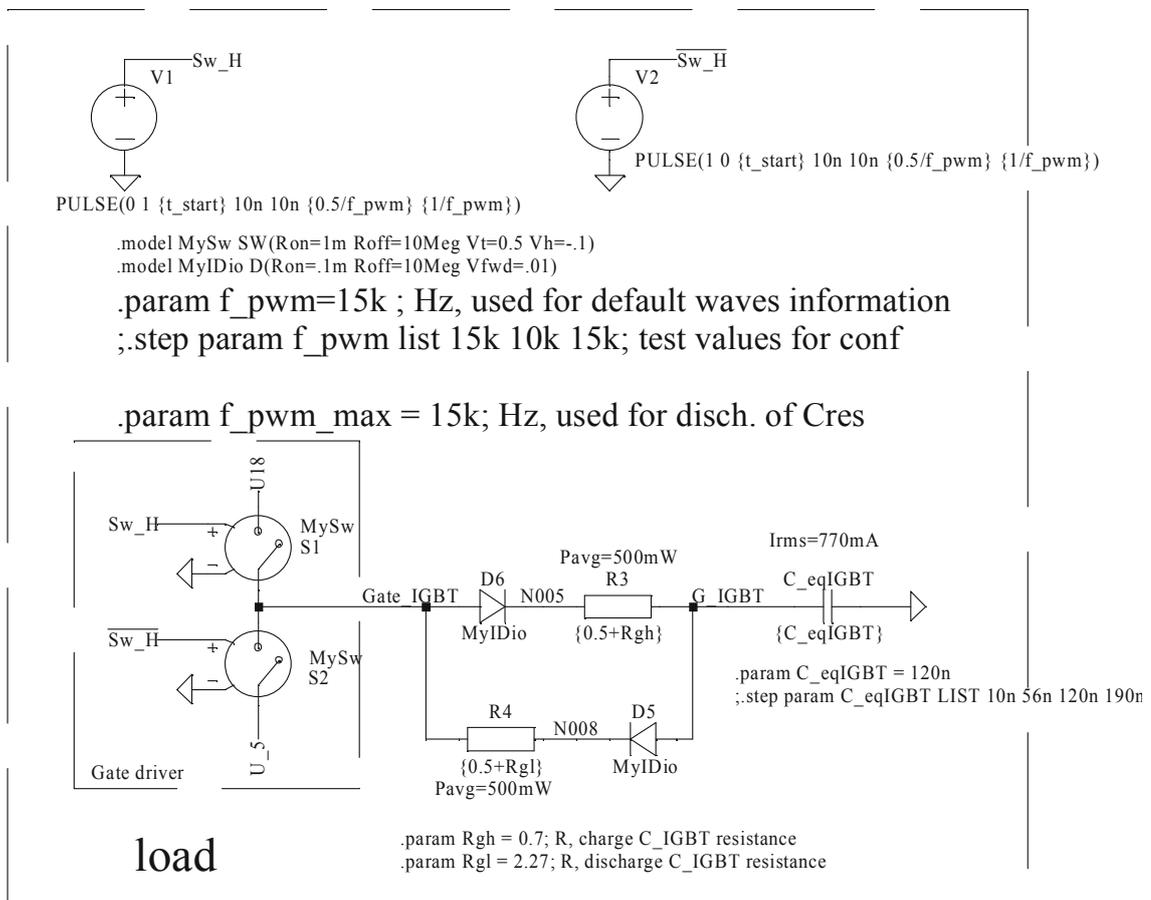


Abbildung 46: Simulationsmodell der Last

Die Widerstände R3 und R4 bestimmen als Gatewiderstände ganz wesentlich das Schaltverhalten. Je nach „Drive Strength“ (maximal vom Gatetreiber zu leistender Strom), gewünschtem EMV-Verhalten, Slew Rate beim Schalten und anderen Parametern werden die Widerstandswerte bestimmt. Zusätzlich müssen interne Übergangswiderstände, wie z.B.: im Transistormodul durch das Bonding und Anschlusswiderstände, berücksichtigt werden.

Der Kondensator steht äquivalent für die parasitäre Eingangskapazität des Transistors. Die beim Aufladen des Kondensators, also beim Schalten des Transistors, entstehenden Stromspitzen führen zu kleinen Spannungseinbrüchen der Gatetreiberversorgung und müssen vom Postregulator wieder auf den über das Feedback eingestellten Wert aufgeregelt werden.

Die zu erwartenden Stromspitzen errechnen sich folgendermaßen:

$$\hat{i} = \frac{U_{18} - U_5}{R3 \text{ bzw } R4} \quad (5.2)$$

Anschließend wird der Strom exponentiell nach einem RC-Verhalten abfallen, bis der Kondensator vollständig geladen wurde.

Die Abbildung 47 zeigt die Ströme der Simulation in LTSpice. Es ergeben sich beispielhaft 15A für den Einschaltvorgang und ca. -6A für das Ausschalten auf Grund von unterschiedlichen Gatewiderständen (das Evaluation Board wird für beide Schaltvorgänge einen Wert haben, somit werden die Stromamplituden gleich). Die Spannung  $U_{18}$  liegt bei etwa 15V und  $U_5$  bei -3V, vorgegeben durch die Feedbackwiderstände.

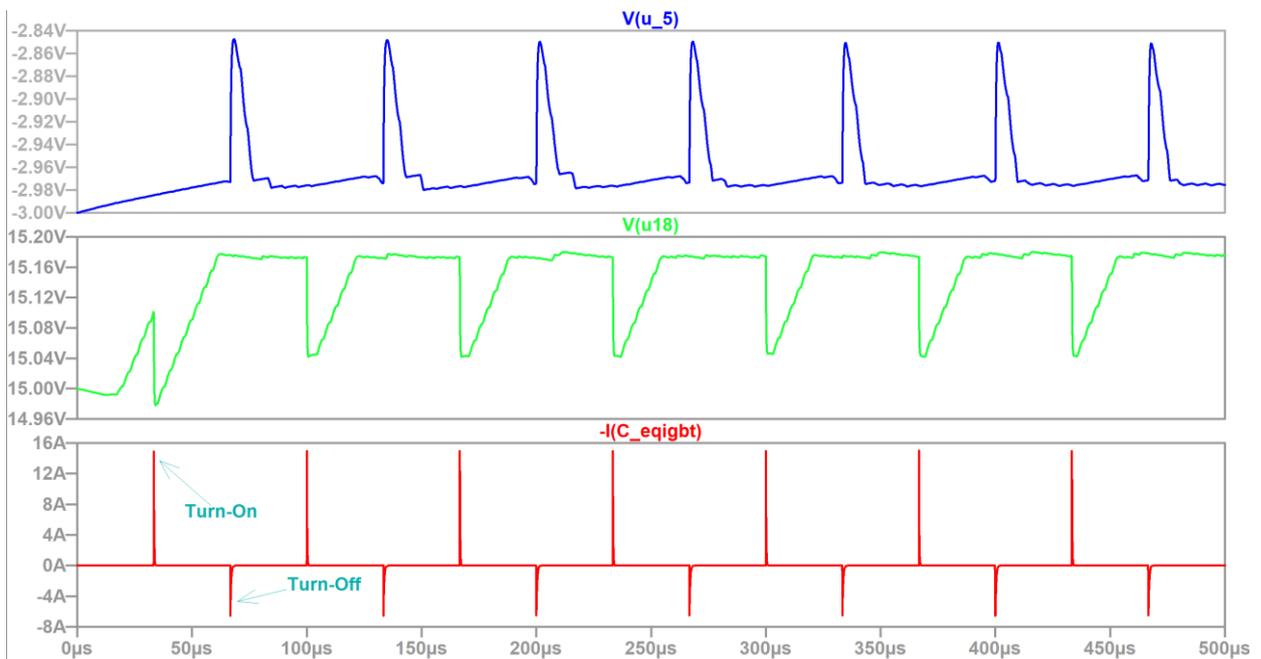


Abbildung 47: Ladeströme des äquivalenten Transistorgates

Der äquivalente Kondensator wurde bei dieser Simulation mit 120nF angenommen. Dieser Wert hängt vom verwendeten Bauteil ab und kann auch um einiges größer sein (Faktor 2-3). Abhängig von den Gatewiderständen und der Kapazität ändert sich die Dauer dieser Pulse. Die Fläche darunter ist die gespeicherte Energie. Die Zeitdauer dieser Pulse legt die maximal mögliche Treiberfrequenz fest, denn je höher die Frequenz, umso geringer wird die Zeit die z.B. dem Einschaltimpuls bleibt, bis er vor dem Ausschaltimpuls abgeklungen ist.

Die Hardware-Evaluierung wird mit maximal 256nF und 15kHz getestet, so kommt es dem realen Aufbau sehr nahe und es gibt diesbezüglich keine Probleme.

### 5.1.3 Postregulator

Anhand der Simulation wird die Funktion Schritt für Schritt blockweise erläutert. Die Schematic setzt sich aus zwei Hauptkomponenten (für jede Spannungspolarität eine Regelschaltung) zusammen. Nachfolgend werden diese aufgeteilt und getrennt voneinander betrachtet.

Die gesamte Schaltung der Simulation ist im Anhang A.2 abgebildet.

#### 5.1.3.1 U18 – positive Spannung

In Abbildung 48 ist die Schaltung für die positive Ausgangsspannung (hier  $V_{cc}$ ) dargestellt. Diese besteht aus verschiedensten Bauteilen, die in Blöcke unterteilt und farblich gekennzeichnet sind. Um später das Zuordnen von eventuell auftretenden Fehlern im Evaluation Board zu vereinfachen, wurde ein IC als Stromquelle in der Simulation, mit der Idee das Modell auch später in der Hardware einzusetzen, verwendet.

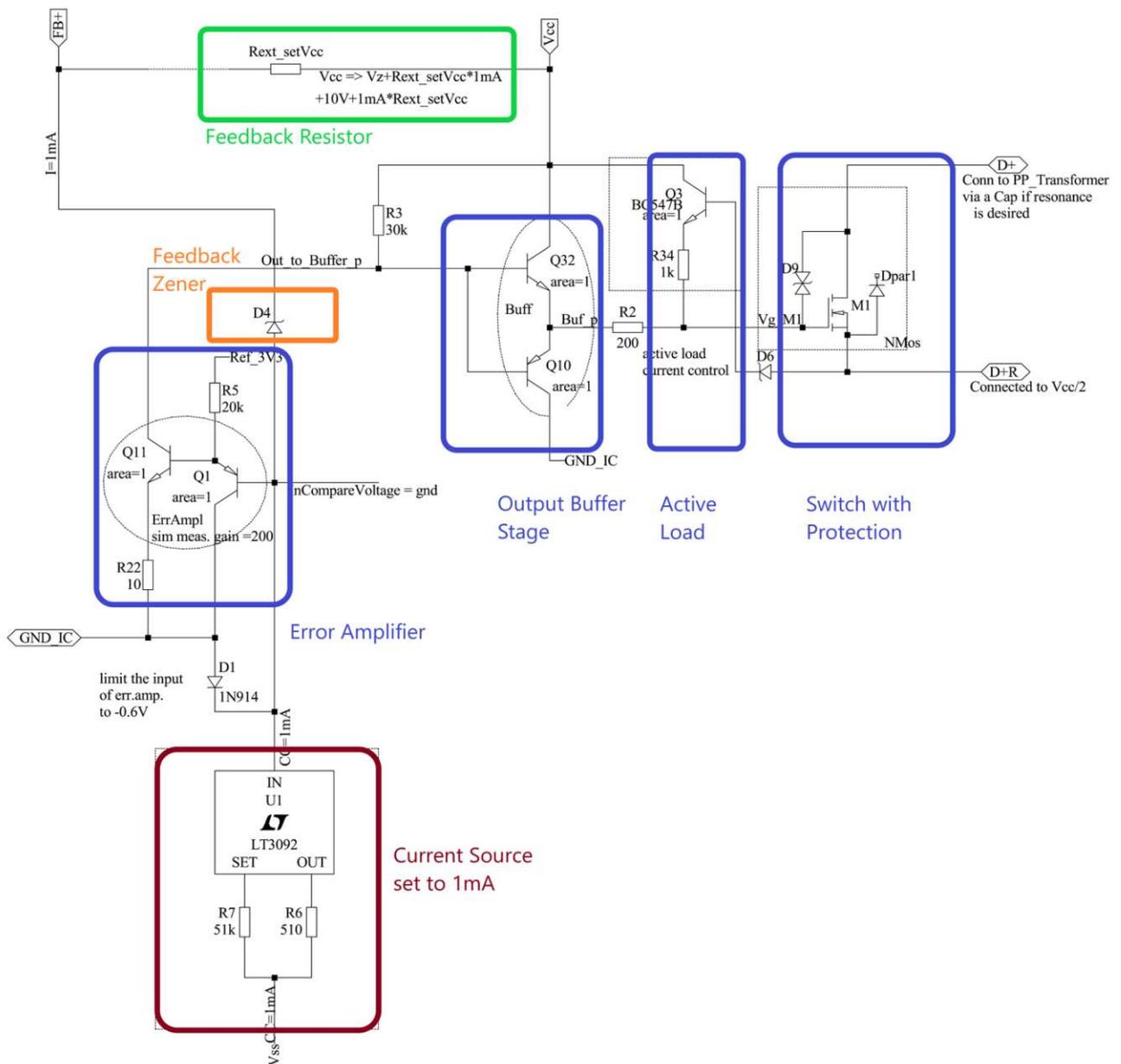


Abbildung 48: LTSpice Schematic des Postregulators für die positive Ausgangsspannung

Da der Postregulator grundsätzlich als eigener IC (außerhalb des Scopes dieser Arbeit) gedacht ist, müssten die Stromquellen diskret aufgebaut sein (z.B. mit Hilfe eines JFETs oder Ähnlichem).

Als IC wurde der LT3092 von Linear Technology (nun Analog Devices) verwendet. Diese Stromquelle ist sehr einfach über zwei externe Widerstände von 0.5mA bis auf 200mA programmierbar. Die Stabilität ist ohne Ein- und Ausgangskondensator gewährt, was eine hohe DC und AC-Impedanz garantiert. Die zwei Pins müssen auf keinem festen Pin sitzen und können floatend ausgelegt sein. Dies ist hier vor allem für den Start-Up Ramp sehr wichtig, da man dabei auf beiden Terminals kein fixes Potential hat, Der Eingangsspannungsbereich ist mit 1.2V bis 40V sehr flexibel.

Eingestellt wurde 1mA als Kompromiss zwischen geringen Verlusten und der Aufnahme der bemessenen Zenerspannung auf die Zenerdiode die Teil des Feedbackkreises ist.

Die Ausgangsspannung kann mit nur einem Widerstand auf Werte zwischen ca. 10V und 18V (oberes Limit vom Transformator abhängig) eingestellt werden. Dieser Widerstand befindet sich zwischen der Ausgangsspannung und einem eigenen Feedback-Pin (siehe grüne Markierung in der oberen Abbildung).

Dieser Pin wird intern zusätzlich mit einer Zener-Diode beschaltet, für die positive Seite handelt es sich dabei um eine 10V Zenerdiode. Diese bestimmt das untere Limit der regelbaren Ausgangsspannung. Werte unter 10V fallen unter die Anforderungen des Push-Pull Konverters.

Beim Einschaltvorgang des Push-Pull Konverters kann neben dem verbauten RC-Glied im Serienkreis, auch über die Body-Diode des MOSFETs zwischen D+ und D+R Energie fließen (aber nur für einen halben Zyklus bzw eine Stromrichtung).

Der Strom der LT3092 Stromquelle fließt, bei einem Wert der Ausgangsspannung unter dem eingestellten Wert, über die Diode D1 und Ground. Sobald der eingestellte Spannungspegel erreicht wurde, hat die Zenerdiode in etwa ihre bemessene Zenerspannung aufgenommen und die Differenz zur gewünschten Spannung fällt am Feedbackwiderstand ab. Dabei steigt der Eingang des Fehlerverstärkers vom -0.6V Limit (Eingangsspannungsbereich des Verstärkers – Emitterdiode) auf einen kleinen Bereich rund um das GND-Potential an.

Würde die Spannung  $V_{cc}$  über diesen Wert hinaus ansteigen, würde auf Grund des konstanten Stromes nicht mehr Spannungsabfall am Widerstand anliegen können. Da die Zenerspannung zusätzlich ziemlich stabil ist, muss das Potential am Eingang des Verstärkers als Folge steigen. Im weiteren Schritt steigt das Potential an der Basis von Q11 ebenfalls. Dadurch leitet dieser Transistor und verstärkt sein Signal als Emitterschaltung (R22 kleines, negatives Stromfeedback). Der Pegel an `Out_to_Buffer_p` vor dem Ausgangsbuffer sinkt und abschließend auch die Spannung am `Gate Vg_M1`. Der Transistor fängt an zu sperren, der Stromfluß zum Ausgang ist unterbrochen und die Spannung sinkt. Wenn die Spannung unter den gewünschten Ausgangsspannungspegel fällt, wird ein Teil des 1mA Stromes wieder über die Diode D1 fließen (bei starker undervoltage), das Potential am Eingang des Fehlerverstärkers sinkt und demnach auch die Basis des Q11, wodurch dieser sperrt. Der Ausgangsbuffer erfährt einen Spannungshub am Eingang, welcher den Q32 in den Leitzustand versetzt. Das Gatepotential steigt, der MOSFET schaltet durch und der erneuerte Stromfluss lässt die Spannung ansteigen.

Diese Funktion lässt sich grundsätzlich als P-Regler beschreiben und lässt die Ausgangsspannung in etwa beim gewünschten Wert einpendeln.

In Abbildung 49 sind die wichtigsten, eben beschriebenen Verläufe der Simulation in LTSpice dargestellt. Ab dem Zeitpunkt 4ms sieht man, dass die Ausgangsspannung erreicht wurde ( $U_{GS}$  fängt an sich zu verändern) und den Spannungsabfällen durch die Last-Stromspitzen entgegengeregelt wird. Dabei ist der Strom vollständig von der Diode D1 auf den Feedback-Pfad übergegangen.

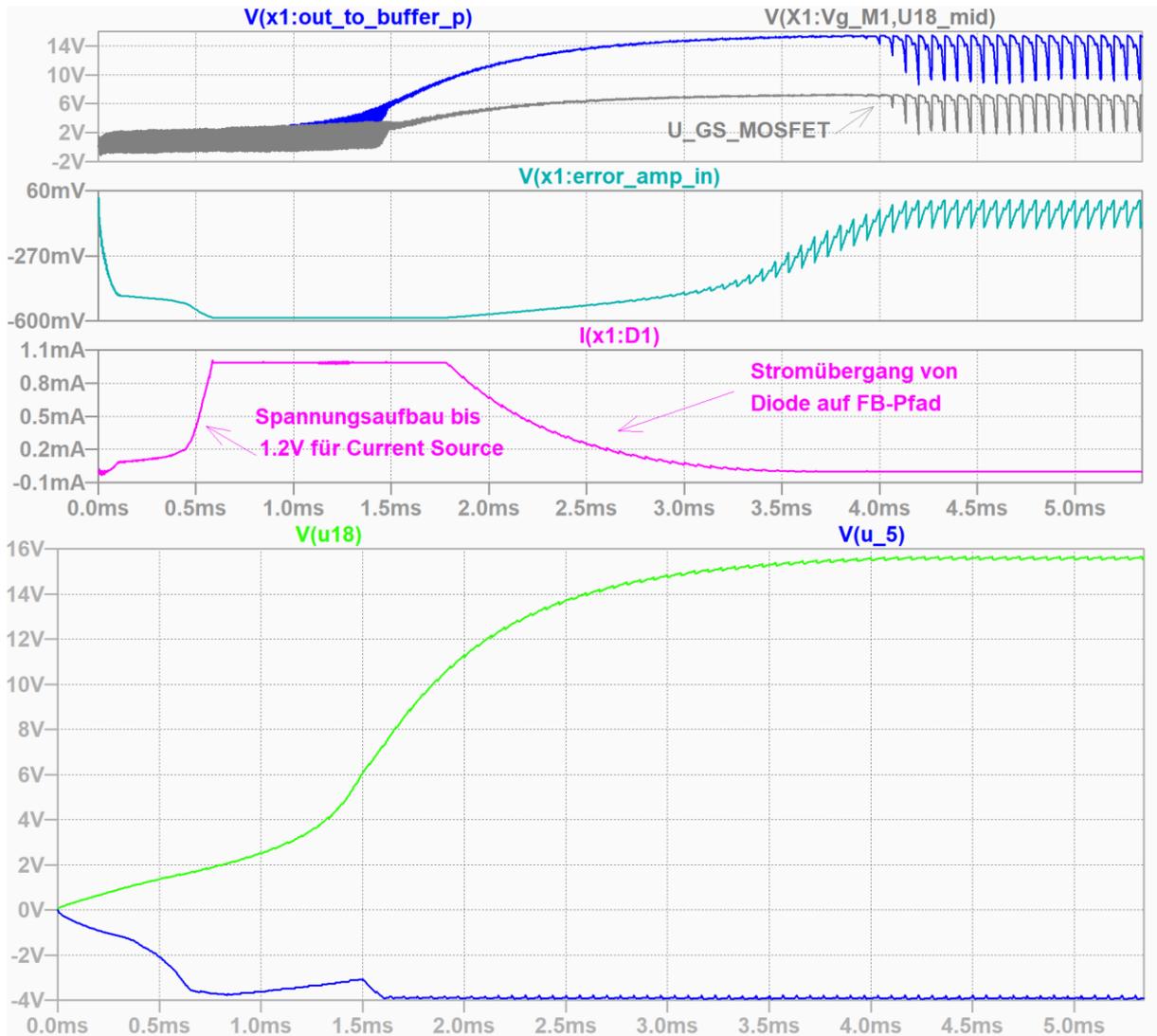


Abbildung 49: Funktion des Postregulators für die positive Ausgangsspannung

Der Pin D+ am Drain des MOSFETs ist mit dem Trafo verbunden und kann bei ungünstigem Schalten, Überspannungen infolge der etwas erhöhten Streuinduktivität der positiven Seite erfahren. Deshalb ist das Gate gegenüber dem Drain mit einem Transient Voltage Suppressor bipolar geschützt.

Nach jedem Last-Strompuls erholt sich die Spannung wieder nach einem kurzen Ramp-Up. Die Rippel ergeben sich durch die Verteilung der Ladung von den Spannungsstabilisierungskondensatoren zu den Lastkondensatoren über die Frequenz des SN6505 Treibers. Die Spannung kann unter Umständen leicht über den eingestellten Wert steigen, dadurch wird die Spannungstoleranz vom niedrigsten zum höchsten Punkt breiter. Um dies zu verringern, wurde eine künstliche Last eingebaut. Diese wird aktiv, sobald der MOSFET in den Sättigungsbereich kommt und ausschaltet. Dies ist dann der Fall, wenn die eingestellte Spannung erreicht bzw. überstiegen wurde.

In Abbildung 50 sind die Verläufe für das Aktivieren der künstlichen Last dargestellt. Während U18 den gewünschten Wert hält, kommt der MOSFET in den Sättigungsbereich und wirkt als einstellbarer Widerstand. Dabei fließt Strom durch D2 und der Transistor Q3 wird leitend. Dabei fließt Strom vom Pin U18 durch R34 und die überschüssige Energie wird in Wärme umgesetzt, bis die Ausgangsspannung wieder stimmt.

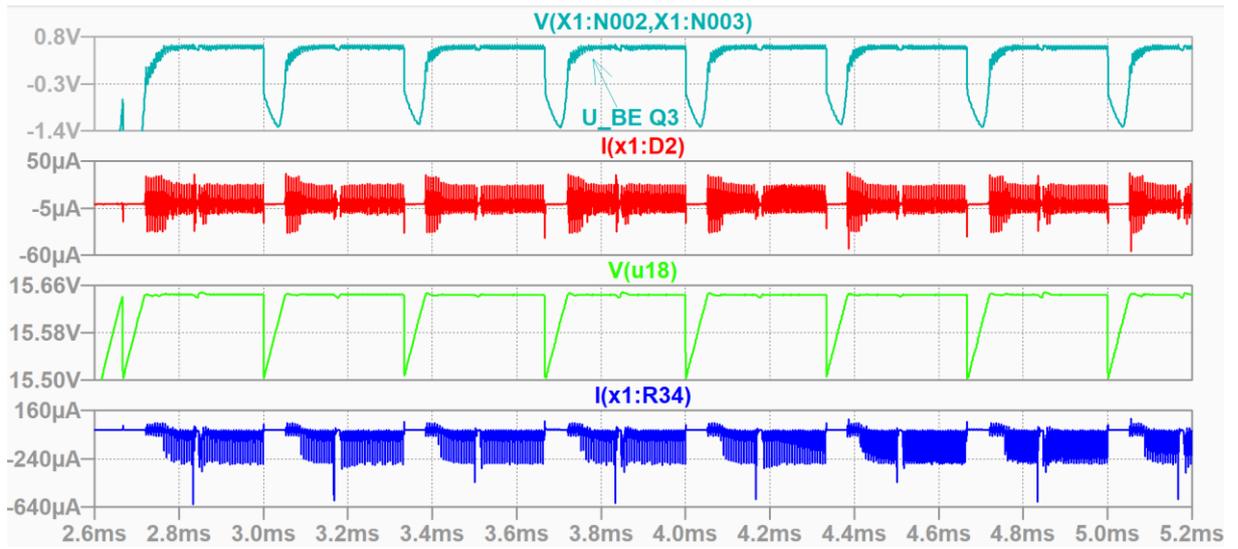


Abbildung 50: Artificial Load der positiven Regeleinheit

5.1.3.2 U5 – negative Spannung

Die Abbildung 51 stellt die zweite Hälfte des Postregulators dar, der für die Einstellung der negativen Ausgangsspannung zuständig ist.

Für den Strom der schlussendlich wieder durch den Feedback-Pfad fließen soll, wurde ebenfalls der LT3092-IC als Stromquelle gewählt.

Da im Gegensatz zum Regler für die positive Spannung nun ein Differenzverstärker und eine Spannungsreferenz zum Einsatz kommen, werden mit Hilfe von Stromspiegeln mehrere Strompfade erzeugt. Die Widerstände wurden nach Bedarf angepasst, somit fließen 100µA (in der Hardwareevaluation wird es Änderungen geben) als Stromquelle für den Differenzverstärker.

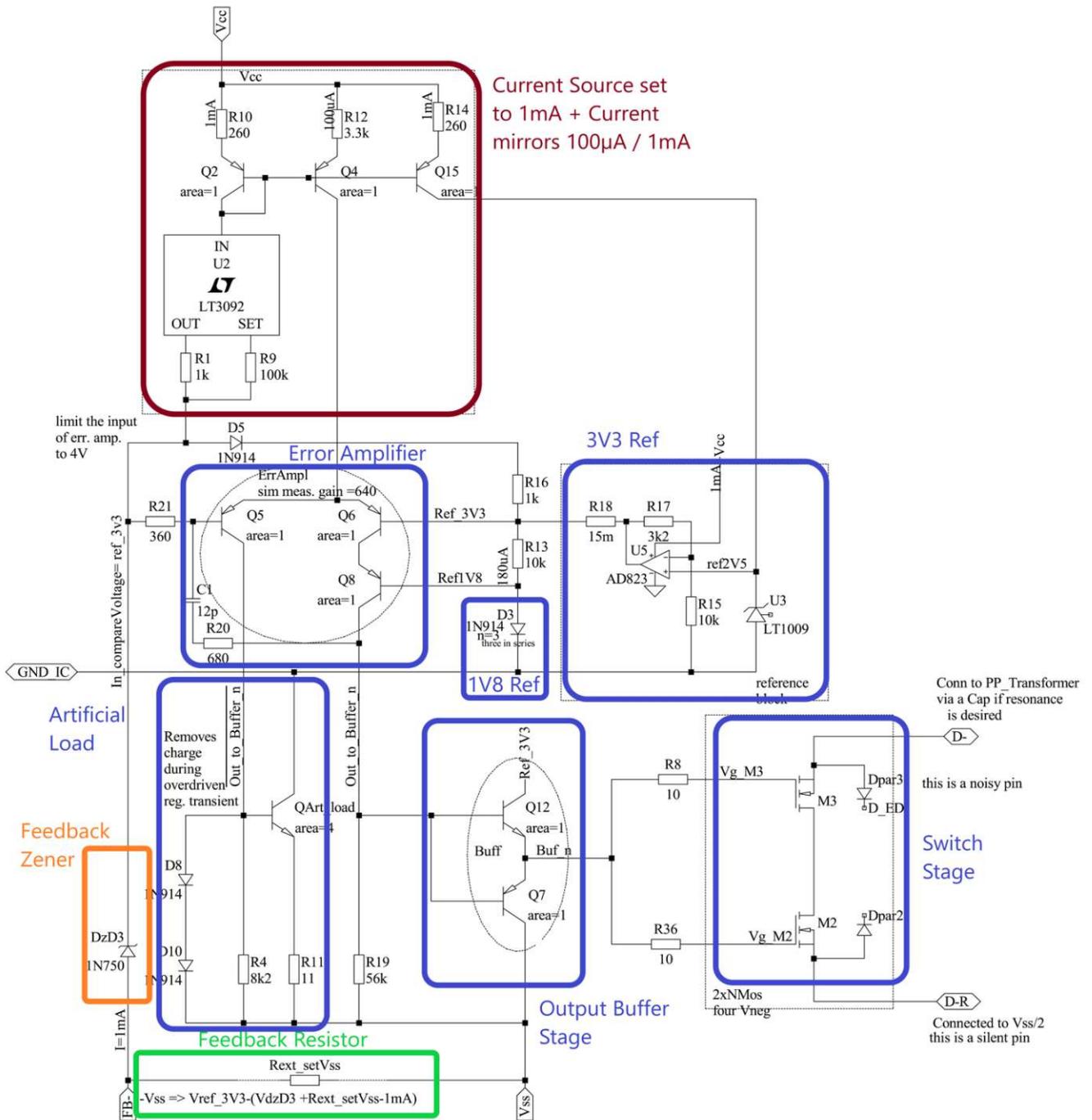


Abbildung 51: LTSpice Schematic des Postregulators für die negative Ausgangsspannung

Weitere 1mA fließen durch die Zenerreferenz LT1009 U3, die 2.5V als Referenz für den positiven Eingang des OPV AD823 erzeugt. Dieser ist als nichtinvertierender Verstärker beschaltet und erzeugt die 3V3 Referenz für die beiden Verstärker des Postregulators.

Der Feedbackpfad besteht wieder aus einem Widerstand, der den einzustellenden Spannungswert festsetzt und einer Zenerdiode (5,1V). Um Spannungen unter dieser Zenerspannung einstellen zu können, wurde die eigentliche Ground-Referenz des Differenzverstärkers mittels der 3V3-Referenz angehoben.

Auch für den negativen Regler wurde ein N-Kanal MOSFET verwendet, mit der ursprünglichen Idee, einen Start-Up über seine Body-Diode, unabhängig vom RC-Glied zu ermöglichen. Da dabei jedoch bis zur halben negativen Maximalspannung des Push-Pull Konverters aufgeladen wird (eine Stromrichtung möglich) und dies schon im Bereich liegt, in dem geregelt werden möchte (im Gegensatz zu den ca. 10V der positiven Seite), musste die Body-Diode mit einem entgegengerichteten zweiten MOSFET blockiert werden. Davor befindet sich eine Gegentaktstufe als Ausgangsbuffer. Der Differenzverstärker hat den Vorteil, zwei gegengesetzte Ausgangssignale an seinen Ausgängen zu liefern. Bei einem zu verstärkenden Signal wird der Ausgang Out\_to\_Buffer\_n positiver und die Switch Stage fängt an in den Sättigungsbereich durchzuschalten und Energiezufuhr zu erlauben. Dabei wird das invertierte Signal an die künstliche Last geschaltet, wobei kein zusätzlicher Strom fließen wird.

D8 und D10 begrenzen direkt die Spannung und somit indirekt den Strom der künstlichen Last.

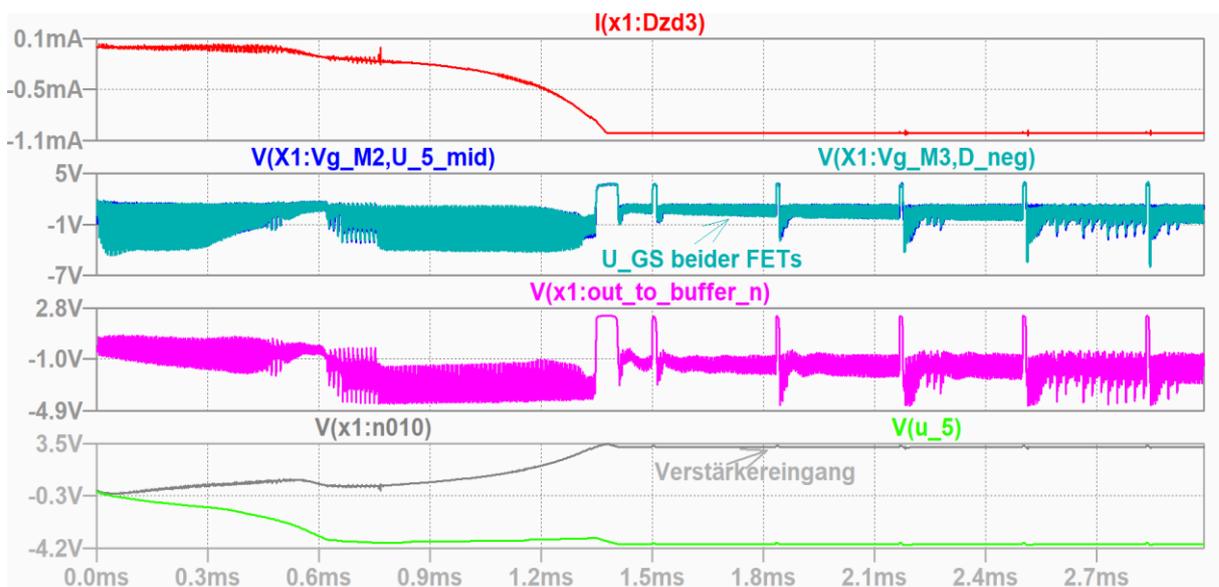


Abbildung 52: Funktion des Postregulators für die negative Ausgangsspannung

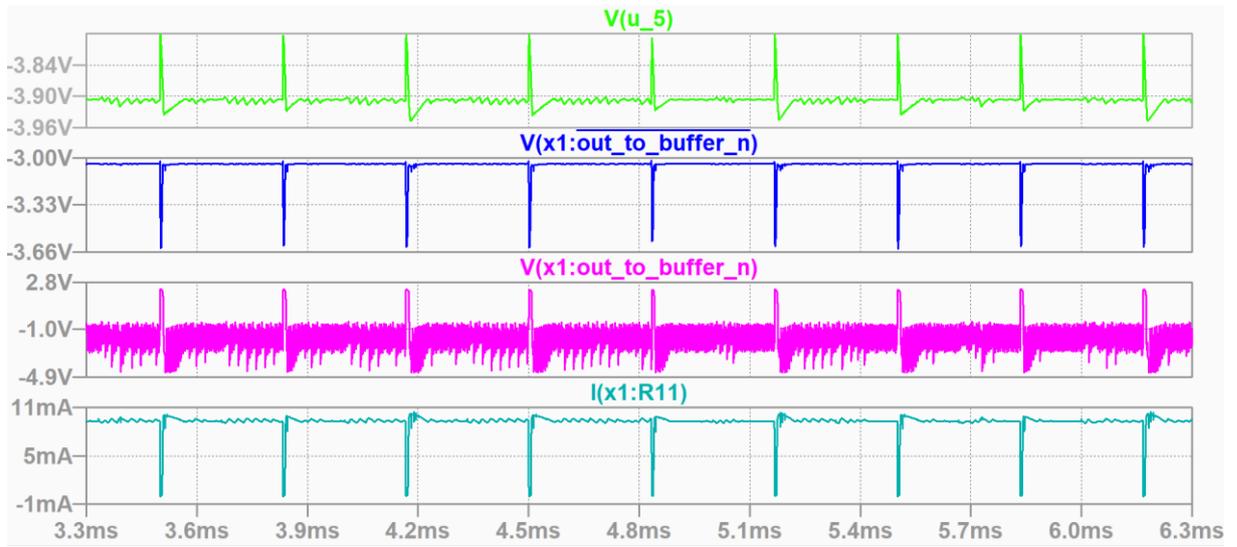


Abbildung 53: Künstliche Last der negativen Regeleinheit

## 5.2 Evaluation Board in Altium

Um die Ergebnisse der schaltungstechnischen Simulation von LTSpice zu überprüfen, wurde mit der ECAD-Software Altium Designer ein Evaluation Board entwickelt, das in den nachfolgenden Unterkapiteln mit umfangreichen Messergebnissen dargestellt und diskutiert wird.

### 5.2.1 Schematic

Die vollständigen Schematic-Abbildungen für den Push-Pull Konverter, den Postregulator und der Last befinden sich im Anhang A.3.

#### 5.2.1.1 Push-Pull Konverter

Damit man überprüfen kann, wie weit man vom kritischen Sättigungszustand entfernt ist, werden Dioden in Serie eingesetzt (verwendet wird immer nur eine Diode auf einer Seite) um ein künstliches Spannungszeit-Ungleichgewicht herzustellen. Nachdem der Test ausgewertet wurde, kann die Diode mit dem vorgesehenen  $0\Omega$ -Widerstand überbrückt werden. In Abbildung 54 sieht man deren Position auf der Primärseite des Push-Pull Konverters. Der Widerstand R212 im Mittelpunkt der Primärwicklung ermöglicht eine Strommessung. Es handelt sich um einen  $0\Omega$ -Widerstand mit einem Querformat 0612-Footprint. Der Widerstand wird ausgelötet und auf die nun relativ großen Löt pads kann man eine Drahtbrücke aufbringen, die ein Einsetzen einer Stromzange ermöglicht.

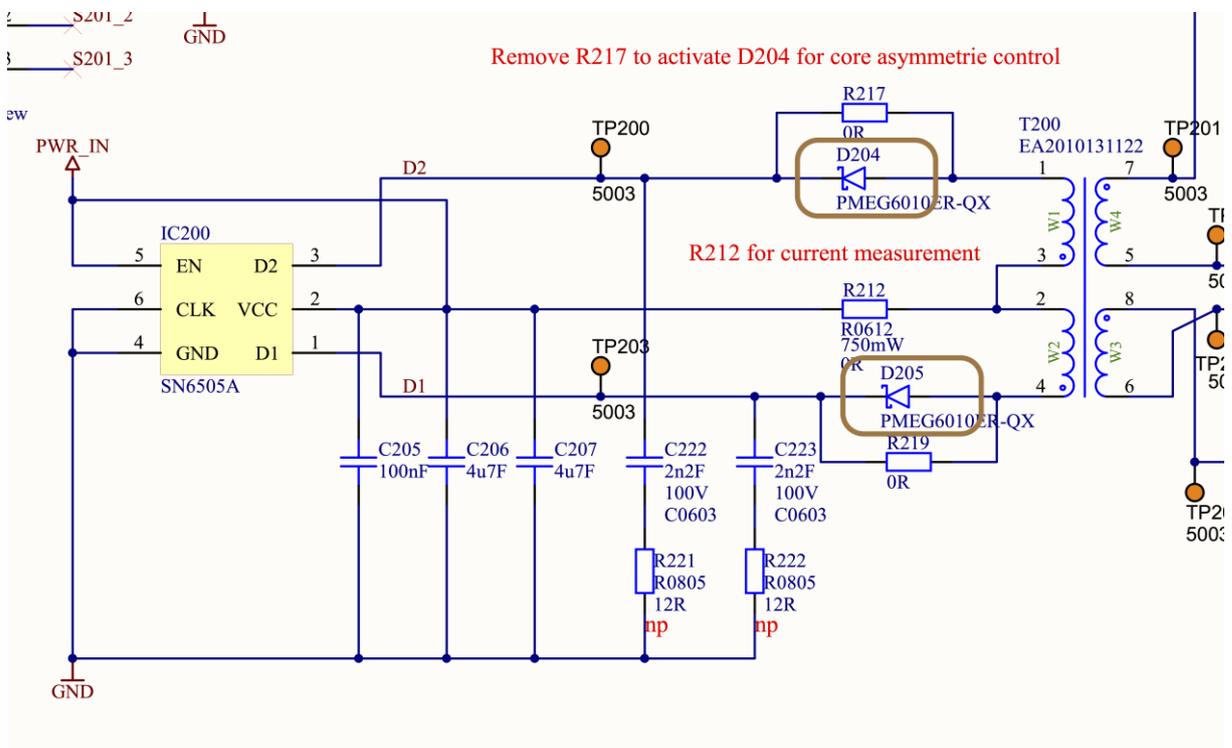


Abbildung 54: Dioden für den Asymmetrie-Test

In Abbildung 55 ist der positive Teil der Sekundärseite des Push-Pull Konverters dargestellt. Um einen Betrieb ohne Postregulator zu gewährleisten, kann der Widerstand R203 zwischen D+ und D+R eingefügt werden und zusätzlich muss der Feedbackpfad mit der Entfernung von R202 an FB+ aufgetrennt werden.

Der Widerstand im Querformat 0612 R207 ist wiederum für eine geplante Strommessung vorgesehen.

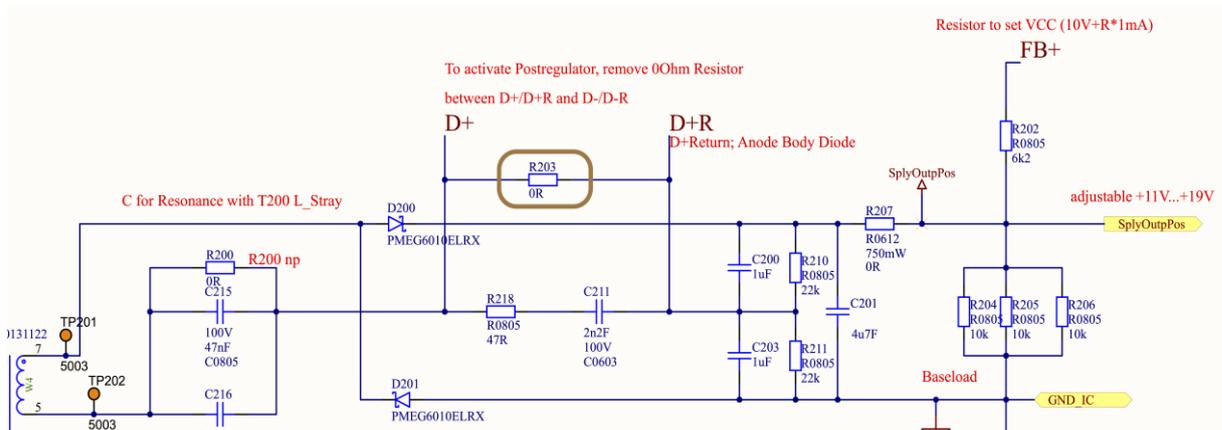


Abbildung 55: Deaktivierung des Postregulators

### 5.2.1.2 IC

Die Schematic des Postregulators selbst ist fast identisch zu der LTSpice-Simulation. Im Anhang A.3 befindet sich die gesamte Abbildung.

### 5.2.1.3 Last

In diesem Abschnitt wird näher auf die Last eingegangen, die äquivalent für einen Leistungstransistor in einem Modul, wie sie z.B. in einem elektrischen Antrieb Anwendung findet, steht. Über eine SMA-Buchse wird ein Signal von einem Funktionsgenerator eingespeist. Es soll ein möglichst realistischer Betrieb simuliert werden. Vorgesehen ist eine Frequenz von 5kHz bis etwa 15kHz, wobei der Duty-Cycle 50% und die Spannung 5V im Ein-Zustand bzw. 0V für den Ausschaltvorgang beträgt.

Für das Evaluation Board musste ein Gatetreiber mit möglichst kleinem Footprint und einer hohen Strom-sourcing / -sinking Fähigkeit bis zu ca. 14A gefunden werden. Es wurde ein passendes Bauteil von der Firma IXYS (Littelfuse) ausgewählt. Da der IXDN614 nur für unipolare Spannungsversorgungen vorgesehen ist, musste eine Schaltung davor geschaltet werden, die die Pegel entsprechend umsetzt. Dafür wurde der UCC23513 verwendet, der mit einer emulierten Diode eine verbesserte „optische Isolationsbarriere“ aufbaut. Diese Isolation hat für dieses Evaluation Board keinerlei sicherheitsrelevante Aspekte, es muss nur dafür gesorgt werden, dass die Pegel angepasst sind.

Die Widerstände R101, R105 und R106 vor dem Levelshifter sind auf den Spannungsabfall, den Diodenstrom und einen rauscharmen Betrieb des UCC23513 abgestimmt.

Der Pin 6 für VCC und Pin 4 für VEE sind mit den zu regelnden Ausgangsspannungen nach einer optionalen Filterstufe verbunden.

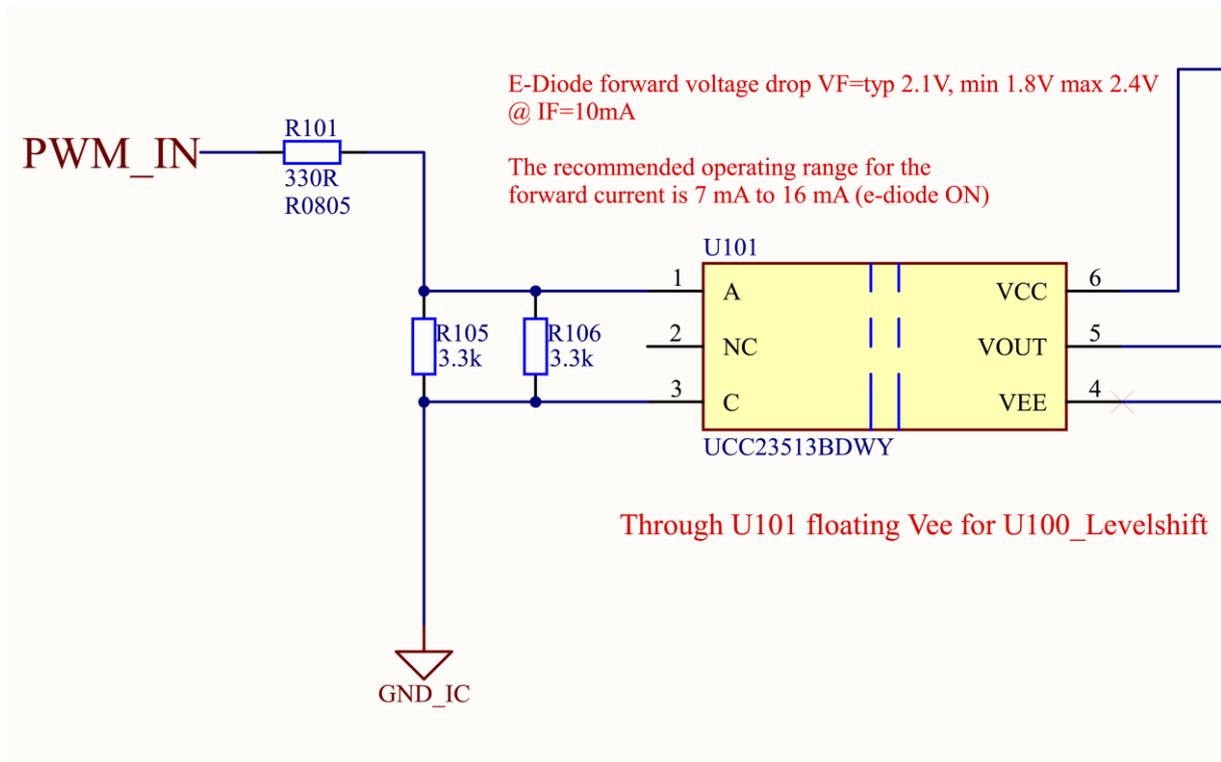


Abbildung 56: Levelshift vor dem Gatetreiber

In Abbildung 57 ist der Abschnitt mit dem Gatetreiber und der Last dargestellt. Die Spannungsversorgungen sind jeweils mit drei  $4,7\mu\text{F}$  Kondensatoren verbunden, die die hohen Stromspitzen zur Verfügung stellen und somit die Spannung stabilisieren sollen. Der IXDN614 Treiber besitzt zwei Output-Pins, diese sind jedoch intern gebunden und somit kann der Einschalt- und Ausschaltpfad nicht intern voneinander getrennt werden.

Da beide Schaltvorgänge sowieso dieselben Stromspitzen führen sollen, stellt dies kein Problem dar. Die Gatewiderstände R102 und R103 werden für beide Schaltvorgänge verwendet. Der R107-Widerstand mit dem Querfootprint 0612 ist wiederum mittels Drahtbrücke für die Strommessung vorgesehen. SB100-102 sind Lötbrücken, die es ermöglichen, nur durch Lötverbindungen neue Kondensatorkombinationen an den Gatetreiber zu schalten. Somit ergeben sich acht unterschiedliche Varianten mit einem Wertebereich von  $33\text{nF}$  bis  $256\text{nF}$ .

Simuliert wurden die Schaltvorgänge mit  $120\text{nF}$ , wobei der Laststrom in Abbildung 58 dargestellt ist. Wie zu erwarten ist, handelt es sich um einen klassischen RC-Verlauf. Für die Dimensionierung des Gate-Widerstands muss dies berücksichtigt werden.

Die Firma KOA-Speer stellt hochwertige Widerstände für höhere Leistungsklassen her. In den Datenblättern sind Diagramme angegeben, die die Maximalleistung je nach Pulsdauer definieren. Da es sich dabei aber nur um Leistungsgrenzen für einmalige Pulsereignisse handelt, muss für die Bemessung auf periodische Pulse umgerechnet werden. Dies wird nachfolgend etwas genauer behandelt.

Der Gatetreiber IXDN614SI kann maximal  $14\text{A}$  zur Verfügung stellen. Daher werden die Widerstände mit der maximalen Ausgangsspannung auf etwa diesen Wert abgestimmt.

Nach Formel (5.2)  $\hat{i} = \frac{U_{18} - U_5}{R_3 \text{ bzw } R_4}$  folgt für den Gesamtwiderstand  $R = \frac{25\text{V}}{14\text{A}} = 1,8\Omega$ . Da der Spannungsbereich auch etwas kleiner ausfallen kann (je nach Trafo z.B.) und die Leistung pro Widerstand nicht überschritten werden darf, wurden zwei  $4,7\Omega$  Widerstände (also  $2,35\Omega$ ) der WK73S-Reihe von KOA-Speer gewählt.



Da der Stromverlauf eben nicht pulsformig ist, muss dieser für die Leistungsberechnungen zuerst äquivalent auf einen Puls umgerechnet werden. Der Spitzenstrom bleibt gleich, somit ist nur noch die Zeitbasis zu verändern. Wenn der äquivalente Puls mit einer Zeitdauer der halben RC-Zeitkonstante angenommen wird, dann kann man sicher gehen, dass die Energie der beiden Verläufe übereinstimmt. Abbildung 59 stellt diese Zusammenhänge bildlich dar (aus umfangreicheren Datenblatt von KOA-Speer, welches man nur auf Anfrage bekommt).

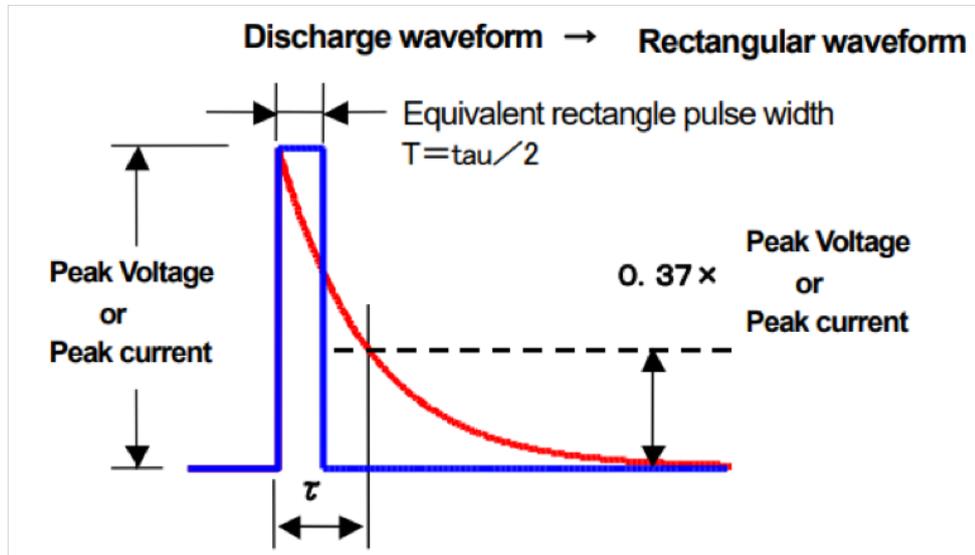


Abbildung 59: Daten für die Umwandlung zum Puls

Dieses Äquivalent für einen einzelnen Puls gehört nun noch auf periodische Vorgänge umgerechnet. Es muss dabei berücksichtigt werden, dass nun zusätzlich zur Spitzenleistung noch eine Leistung des zeitlichen Mittels hinzukommt, welche wiederum die Maximalleistung nicht überschreiten darf. Je nach Pulsdauer und Zeit zwischen den Pulsen, gibt es ein Derating der mittleren Leistung (z.B. Faktor 0,7; Herstellerdaten). Zusätzlich gibt es ein Leistungsderating je nach Temperatur im Betrieb.

All diese Parameter wurden in eine Mathcad-Funktion eingefügt und für unterschiedliche Widerstandsreihen bzw. Widerstandswerte berechnet.

Die Abbildung 60 stellt die finale Berechnung dar, wonach sich für zwei 4,7Ω der WK73R\_3A (3W) Reihe entschieden wurde. Die Abstände bis zu den Maximalwerten sind ausreichend groß.

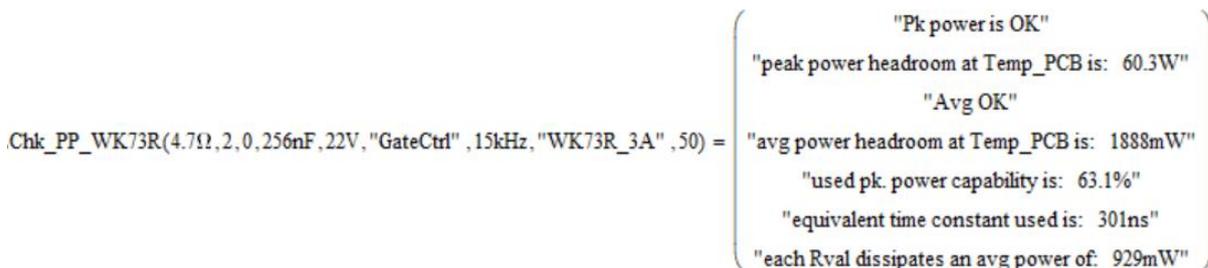


Abbildung 60: Ergebnis der Mathcad-Berechnung

### 5.2.2 PCB-Layout

Die vollständigen Layout-Abbildungen für den Push-Pull Konverter, den Postregulator und der Last befinden sich ebenfalls im Anhang A.3.

Die Abbildung 61 zeigt den Layer Stackup des PCB mit 4 Layer wobei eine für die Herstellung relevante Gesamtdicke von 1.6mm beachtet wurde. Layer 2 und 3 sind jeweils zwei reine Kupfer Planes, die als unterschiedliche Grounds definiert wurden, da sie jeweils die Isolationsstrecke des Transformators als Trennung haben.

	Top Overlay		Overlay				
	Top Solder	Solder Resist	Solder Mask		0.01016mm	3.5	
1	Top Layer		Signal	1oz	0.03556mm		
	Dielectric 2	PP-006	Prepreg		0.07112mm	4.1	0.02
2	Layer 2	CF-004	Signal	1oz	0.035mm		
	Dielectric 1	FR-4	Dielectric		1.29632mm	4.8	
3	Layer 3	CF-004	Signal	1oz	0.035mm		
	Dielectric 3	PP-006	Prepreg		0.07112mm	4.1	0.02
4	Bottom Layer		Signal	1oz	0.03556mm		
	Bottom Solder	Solder Resist	Solder Mask		0.01016mm	3.5	
	Bottom Overlay		Overlay				

Abbildung 61: PCB Layer-Stackup

### 5.2.3 PCB und PCBA

Die Abbildung 62 zeigt das fertige PCB mit einer HASL-Behandlung der Pads. Man kann die Isolationsstrecke des Transformators klar erkennen, wobei die Kupferplanes voneinander getrennt sind.

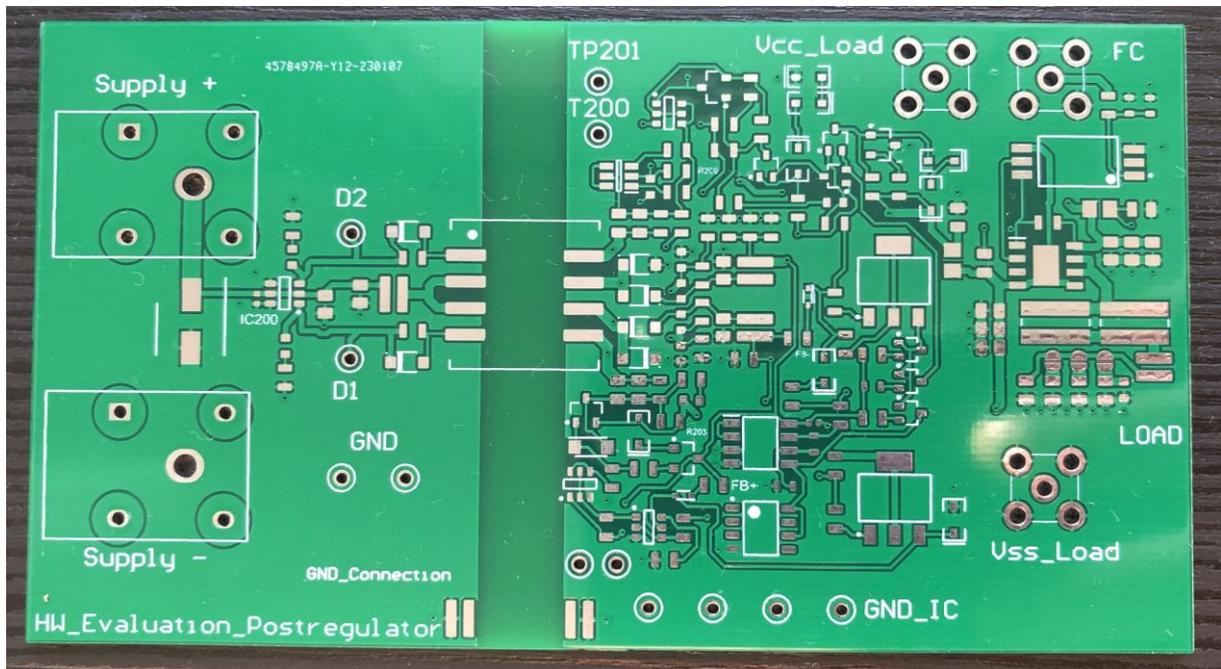


Abbildung 62: Fertiges PCB

In Abbildung 63 ist das Board mit allen Bauteilen bestückt dargestellt.

Die Versorgung erfolgt über die Bananenstecker auf der linken Seite des Boards. Neben den Testpunkten (in orange) für die Drains des SN6505, wurde zusätzlich ein Testpunkt an jeder Transformatorwicklung sekundärseitig angebracht. Für jeden Testpunkt wurden noch zusätzlich Punkte für die GND-Verbindung montiert. Damit kann jeder Punkt möglichst

niederinduktiv und auf mehreren Channel gleichzeitig gemessen werden.



Abbildung 63: Fertiges PCBA

Die drei SMA-Buchsen auf der rechten Seite der Platine werden für die Messungen der einzustellenden Ausgangsspannungen  $U_{18}$  ( $V_{cc\_Load}$ ) bzw.  $U_5$  ( $V_{ss\_Load}$ ) und der Einspeisung der Gatetreiberspannung mittels Frequenzgenerator (FC) verwendet.

Für die korrekte, praktische Funktion des Konverters gibt es grundsätzlich zwei unterschiedliche Ground auf Grund der galvanischen Isolation. Um die Messungen richtig aufnehmen zu können, wurden zwei Pads links und rechts von der Isolationsstrecke ( $GND\_Connection$ ) angebracht, um diese später verbinden zu können und jeden Messpunkt auf dasselbe Ground-Potential zu referenzieren (Spannungsquelle  $Supply -$ ). Im getrennten Zustand kann man die parasitäre Kapazität des Konverters messen.

## 6 Messergebnisse

Die Simulationsergebnisse von LTSpice im vorherigen Kapitel 7 werden abschließend mit den praktischen Messungen des gefertigten PCBA verglichen.

### 6.1 Messaufbau

Abbildung 64 zeigt einen von mehreren Messaufbauten mit denen die Funktion des Postregulators überprüft und Oszilloskopbilder aufgenommen wurden. Die Testläufe untergliedern sich prinzipiell in vier Fälle. Zuerst wurde der Postregulator deaktiviert und der Push-Pull Konverter an sich auf seine Funktion getestet. Die Ausgangsspannungen wurden aufgenommen und kurzzeitig auch die Last in Form von den äquivalenten Gatekondensatoren dazugeschaltet. Anschließend wurde der Postregulator aktiviert und überprüft, ob die Spannungen mit den über den Feedbackwiderständen eingestellten Werten übereinstimmen. Abschließend wurde wiederum die Last hinzugefügt, um zu überprüfen, ob sich die Spannung nach Stromspitzen auch richtig zurückregelt.

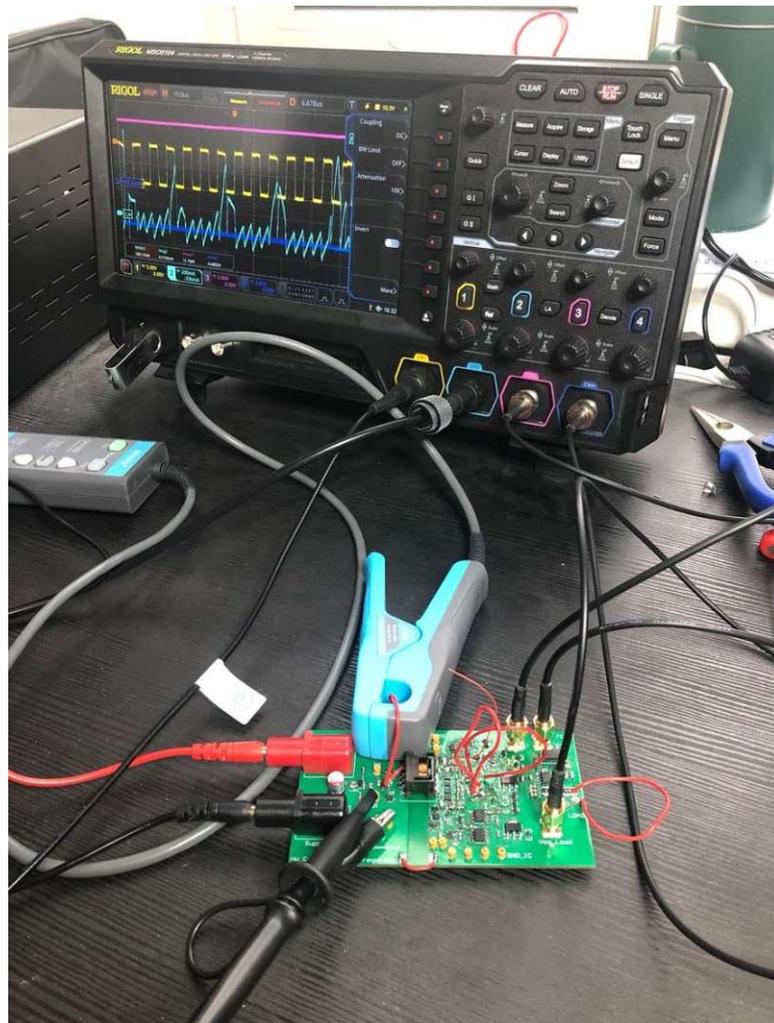


Abbildung 64: Messaufbau für das Testen des Postregulators

## 6.2 Oszilloskopaufnahmen

Die Oszilloskopbilder zeigen die Tests für unterschiedliche Einstellungen. Zuerst wurde nur die Funktion des Push-Pull Konverters selbst, ohne Postregulator geprüft. Anschließend wurde testweise die Last dazugeschaltet. Im Anschluss erfolgte der Betrieb mit aktiviertem Postregulator.

Alle Tests wurden mit einer Eingangsspannung von 5,0V durchgeführt.

### 6.2.1 Postregulator deaktiviert

Der Postregulator wurde deaktiviert, indem ein  $0\Omega$ -Widerstand auf die Schalter gehängt und die Feedbackwiderstände entfernt wurden.

Die Abbildung 65 zeigt die Ausgangsspannungen  $U_{cc}$  und  $U_{ss}$ . Zusätzlich werden die Testpunkte D1 und D2 für die Drainspannungen an den Pins des SN6505 aufgenommen. Wie im Datenblatt angegeben, beläuft sich die Frequenz auf etwa 160kHz (kleine Abweichungen z.B. auf Grund vom genutzten Spread Spectrum Clocking). Wie in vorherigen Kapiteln berechnet, ergibt sich für die Schalter eine Sperrspannung von der doppelten Eingangsspannung (=10V).

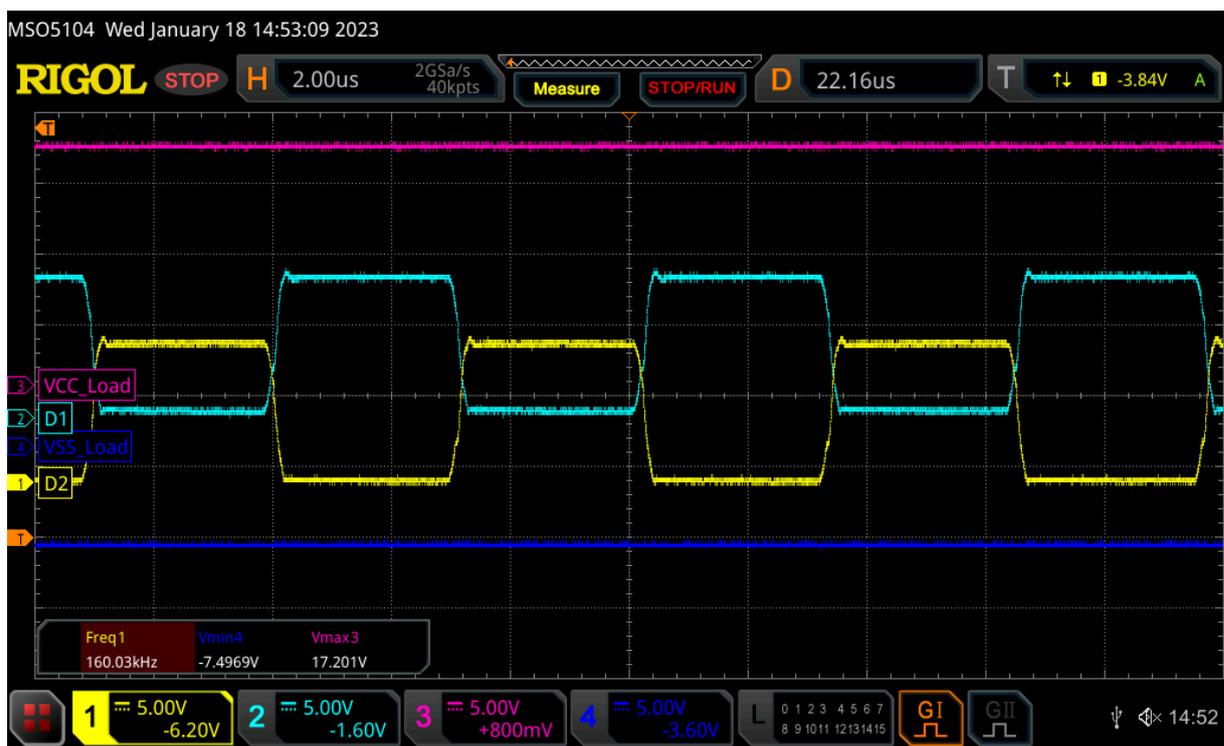


Abbildung 65: Ausgangsspannungen ohne Postregulator

In Abbildung 66 ist neben den Drainspannungen der Strom im Mittelpunkt des Transformators primärseitig dargestellt. Der lineare Stromanstieg kommt daher, dass beim Anlegen der 5V Eingangsspannung an eine der Primärwicklungen, der nicht ideale Magnetkern mit seiner endlichen Induktivität einen Stromfluss (im Querzweig des Transformator ESB) aufbaut. Dieser wird während der Totzeit über die Sekundärseite abgebaut und im nächsten Zyklus über den zweiten Schalter und der anderen Hälfte der Primärwicklung wieder aufgebaut.

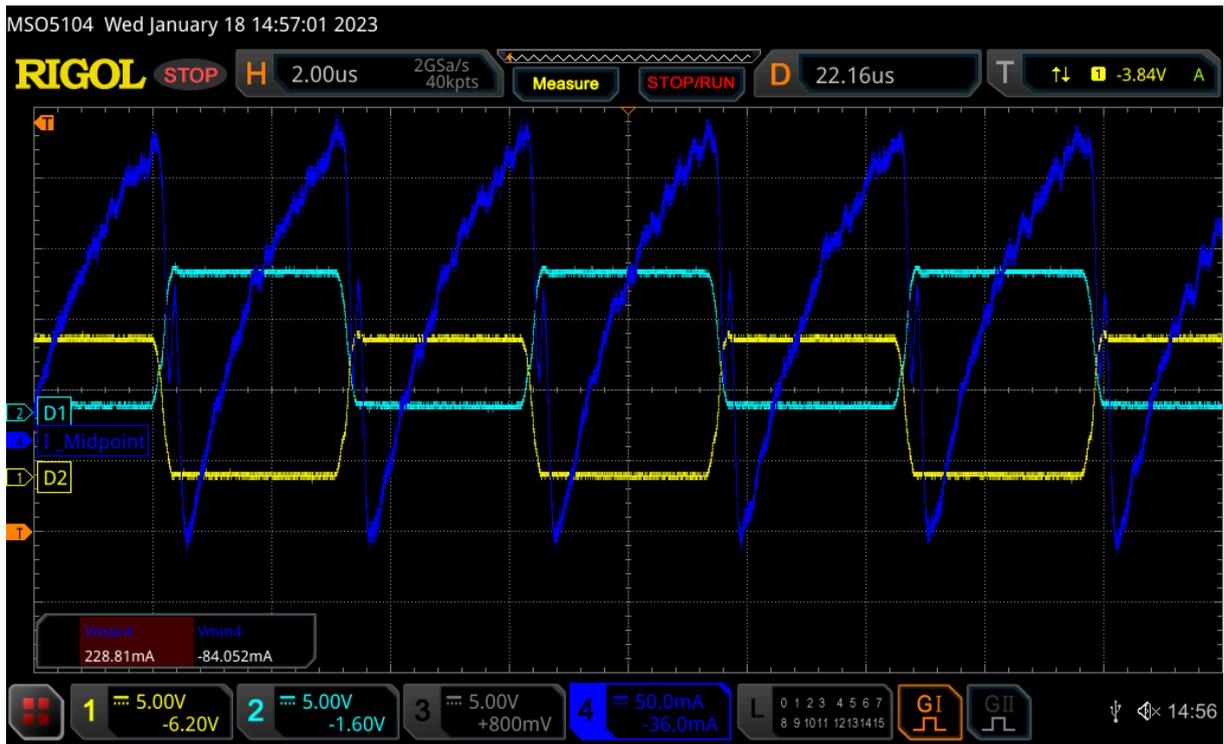


Abbildung 66: Strom im Transformatormittelpunkt primärseitig

Bei einem durch einen Frequenzgenerator eingespeisten Rechtecksignal mit  $D = 50\%$ , Pegel von 5V bzw. 0V und einer Frequenz von 10kHz ergeben sich bei voller Last (256nF) die in Abbildung 67 ersichtlichen Stromspitzen von etwa 6A.

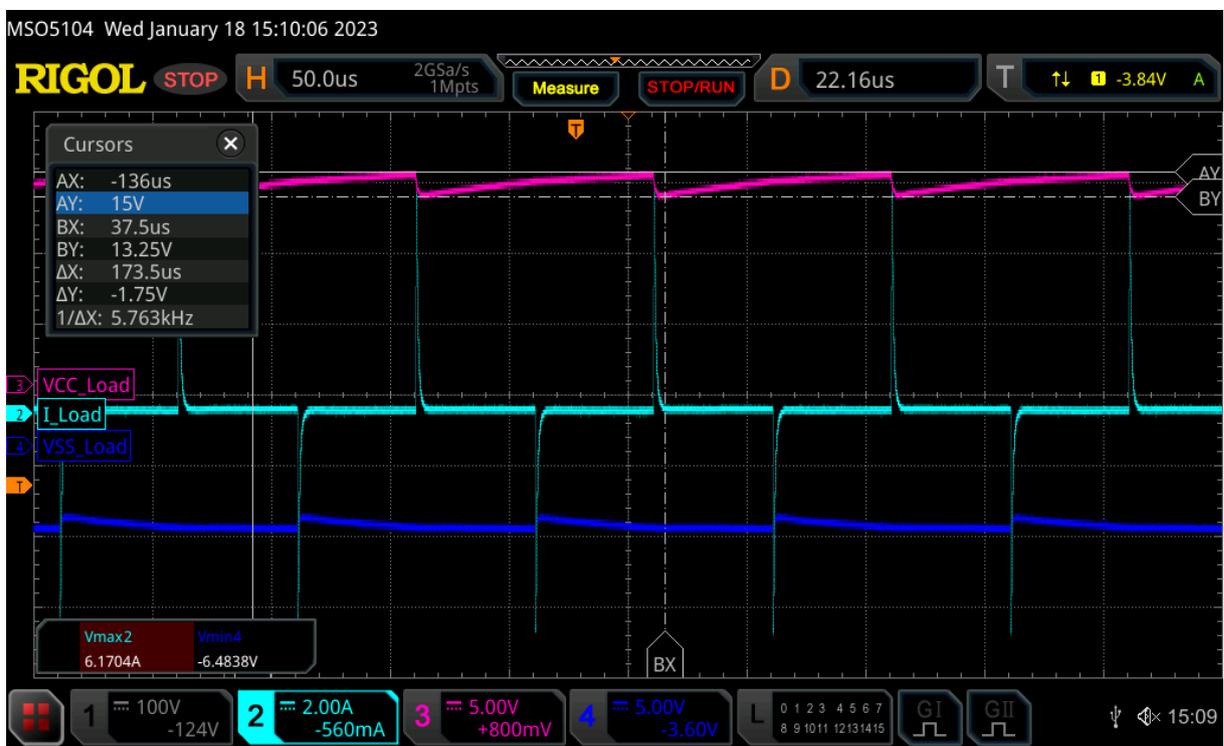


Abbildung 67: Spannungseinbrüche bei Stromspitzen ohne Postregulator

## 6.2.2 Postregulator aktiviert

Um den Postregulator zu aktivieren, wird der  $0\Omega$ -Widerstand wieder entfernt und der Feedback-Widerstand in den Feedback-Pfad eingefügt. Nachfolgend werden die Ergebnisse mit dem aktivierten Postregulator angeführt.

### 6.2.2.1 Start-Up

Die Abbildung 68 zeigt den Start-Up ohne Last und ohne Resonanzverhalten. Der SN6505 kann den Gate-Drive seiner Leistungs-MOSFETs Schritt für Schritt von 0V auf Versorgungsspannung ansteigen lassen und damit einen Soft-Start durchführen. Dies vermeidet einen hohen Inrush-Current zum Aufladen der Kondensatoren. Diese Methode des Soft-Starts, im Gegensatz zur Alternative mit stetig ansteigenden Duty-Cycle, verhindert zusätzlich ein Flux Staircaising des Push-Pull Transformators beim Einschalten.

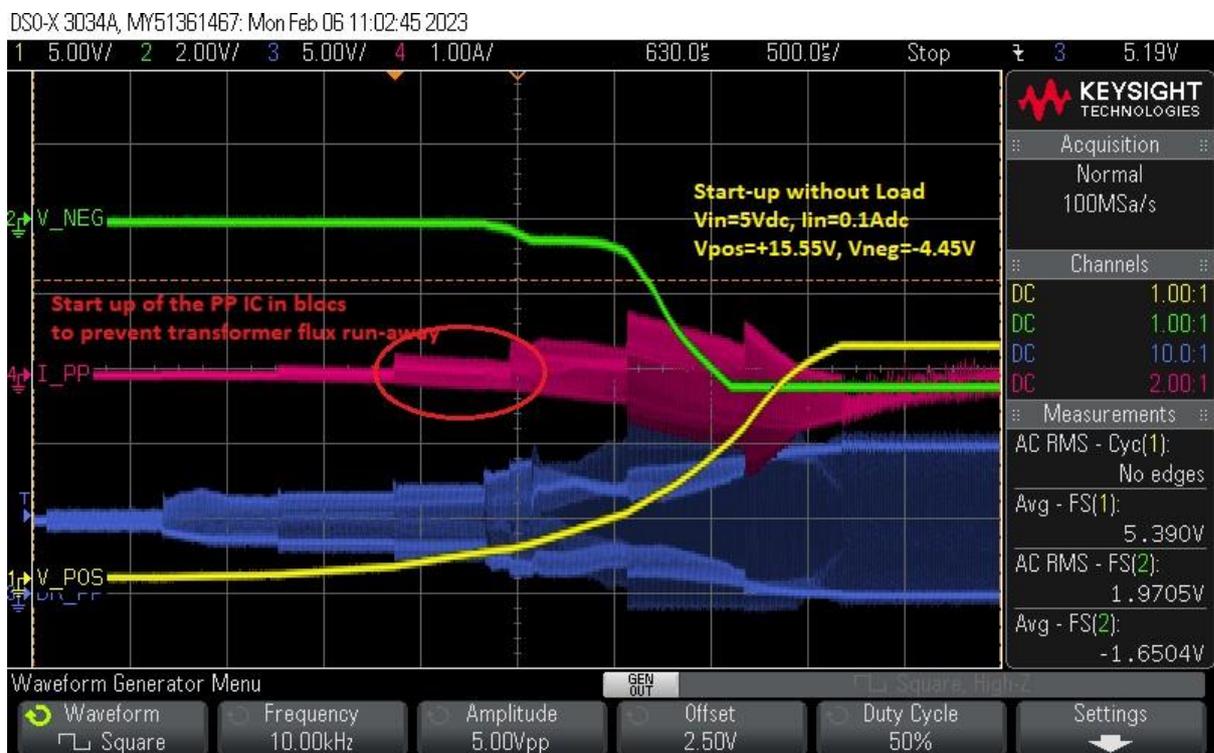


Abbildung 68: Start-Up mit Postregulator und ohne Last

Abbildung 69 zeigt den Start-Up mit eingeschalteter Last und ohne Resonanz.

In Abbildung 70 sieht man davon noch eine gezoomte Darstellung vor allem auf die positive Ausgangsspannung. Die Stromaufnahme nach den negativen Laststrompulsen ist wesentlich größer, da die Nachladung des Kondensators mit geringerer Impedanzen erfolgen kann. Es gibt einen leichten Einfluss der negativen Seite auf die Vcc Seite. Bei den Strompulsen für Vss lädt Vss nur noch begrenzt nach und bleibt kurzzeitig auf einem Plateau.

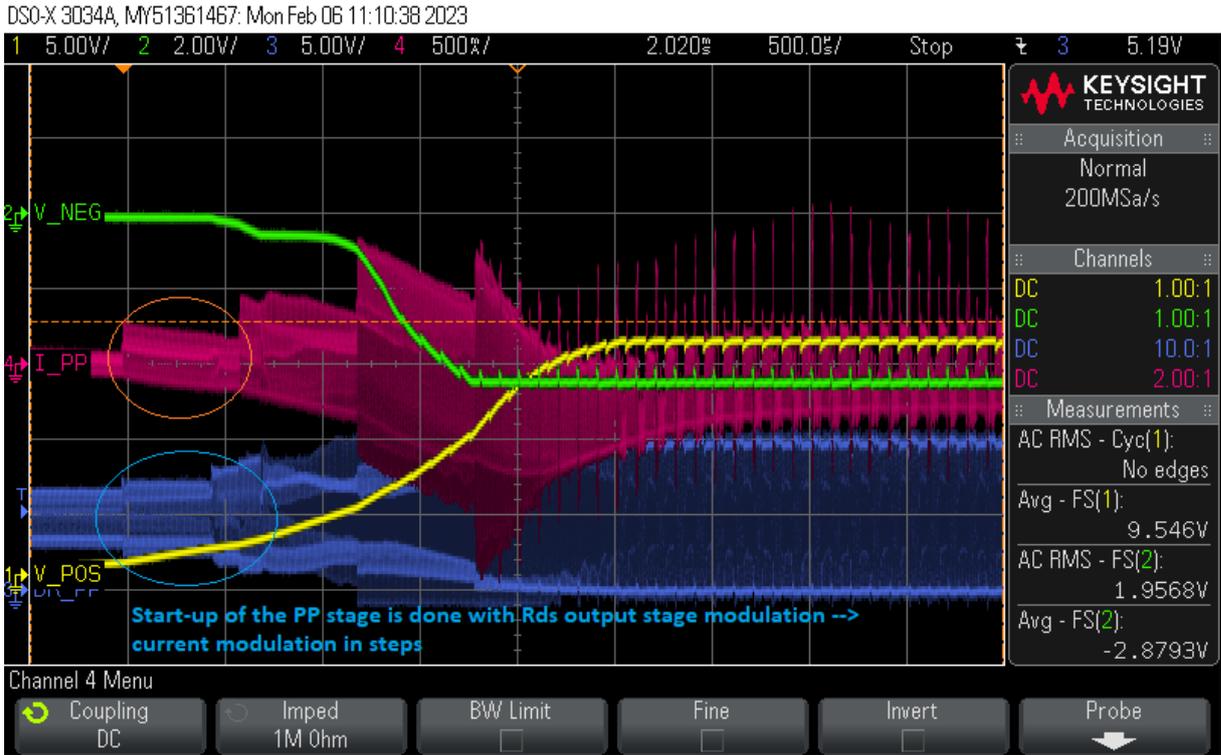


Abbildung 69: Start-Up mit Postregulator und Last

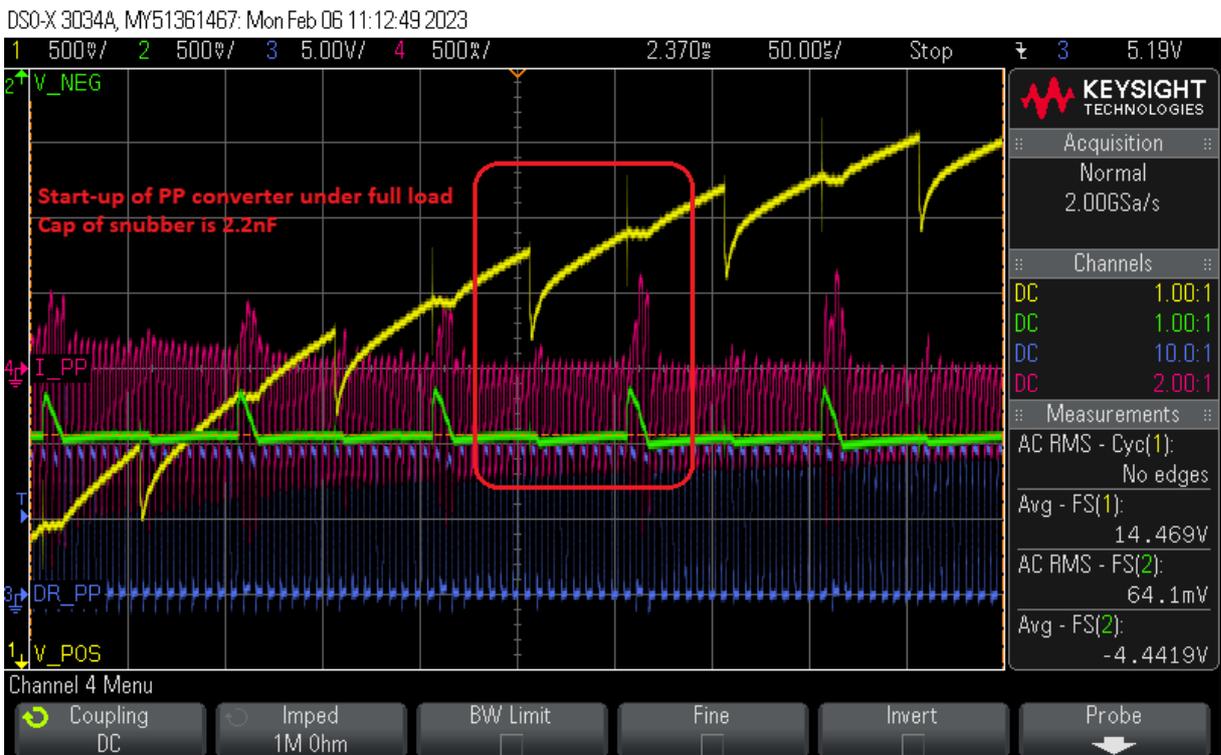


Abbildung 70: Start-Up Zoom-In



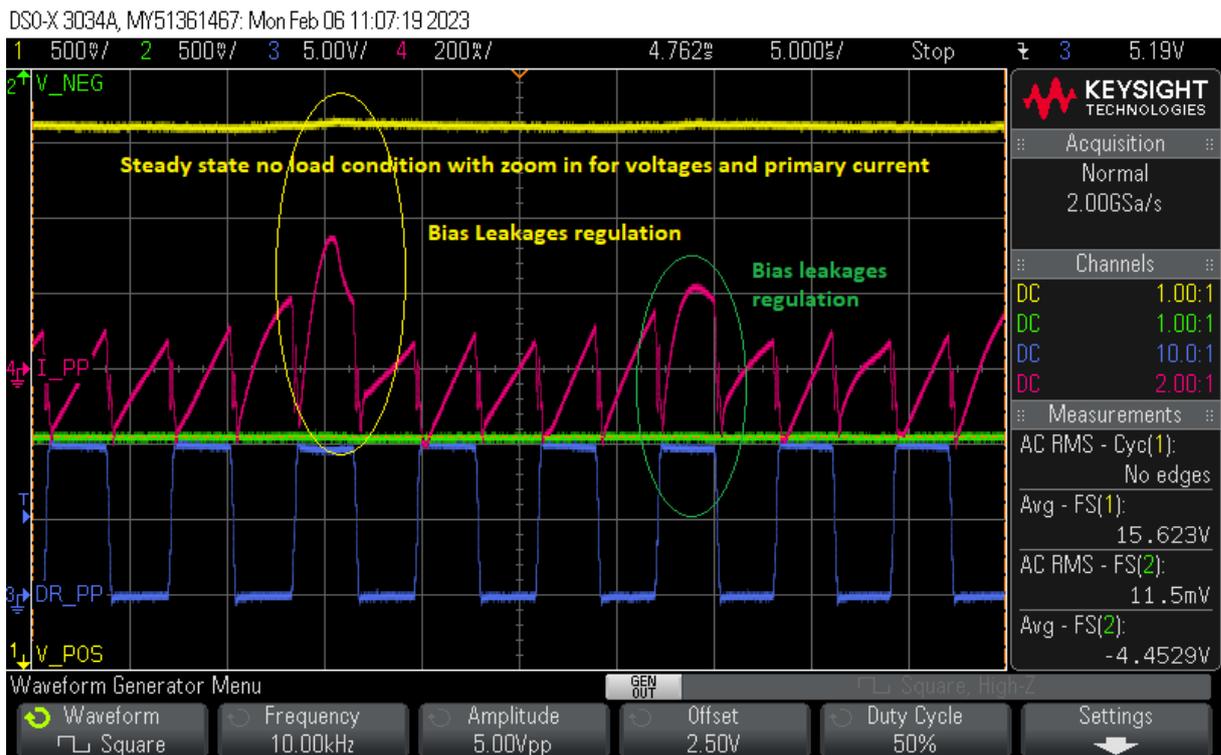


Abbildung 72: Grundlast Leakage Regulierung

### 6.2.2.3 Snubber

Die LTSpice-Simulation zeigte einen optimalen Wert für den Kondensator von 2.2nF. Testweise wurde dieser auf 220pF abgeändert. Dabei kommt es beim Schalten (Stromunterbrechung) auf Grund der Energie in den Streuinduktivitäten zu Spannungsüberhöhungen. Dabei wurde mit einer Last von 155nF bei 10kHz getestet und gemessen.

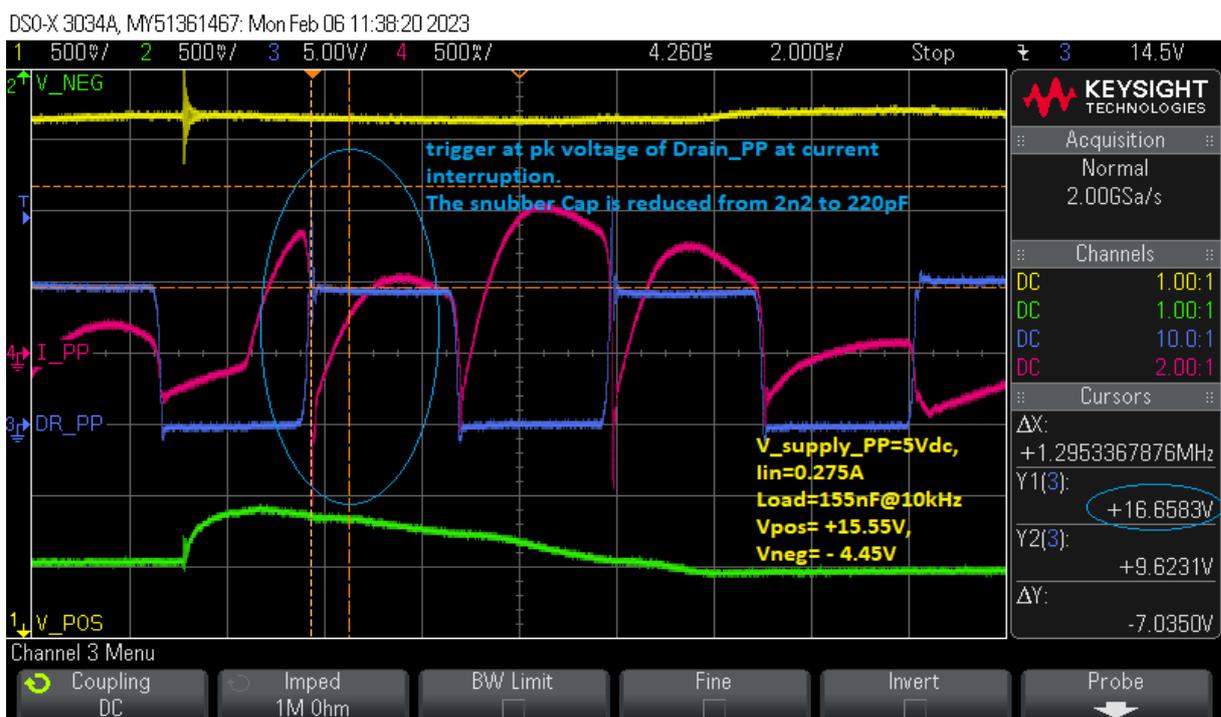


Abbildung 73: Snubber Kondensator Änderung

Die Abbildung 74 zeigt einen Zoom-In des Spikes an der Drainspannung.

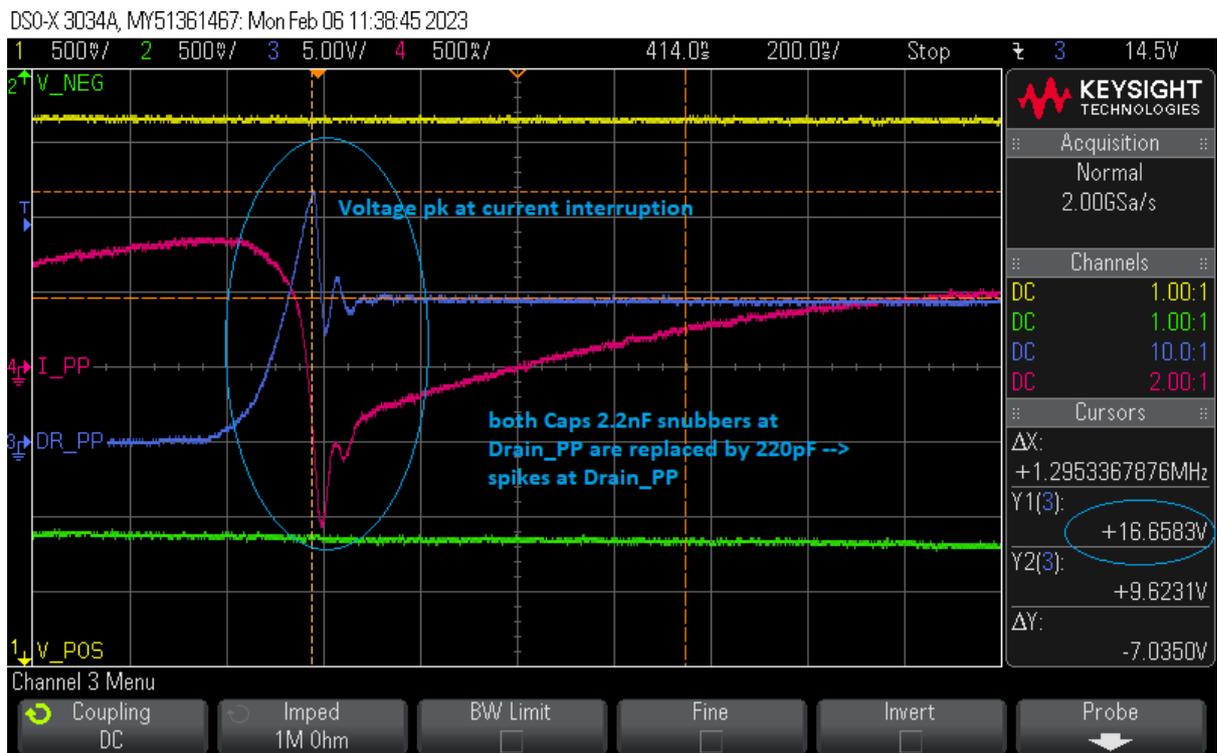


Abbildung 74: Snubber Kondensator Änderung Zoom-In

#### 6.2.2.4 Switching

Nachfolgende Abbildungen befassen sich näher mit dem MOSFET der positiven Seite, das blaue Signal ist das verstärkte Fehlersignal direkt am Gate des MOSFET, wobei seine Referenz am Source der Mittelpunkt (also etwa.  $V_{cc}/2$ ) ist. Gelb steht nun für das Drainsignal am SN6505, hellblau für den Eingangsstrom im Mittelpunkt des Transformators primärseitig. Der rosafarbene Verlauf steht für die regelbare Ausgangsspannung  $V_{cc}$  bzw. U18.

Man erkennt in Abbildung 75 eindeutig den Spannungsdrop von  $V_{cc}$  auf Grund des positiven Laststroms. Kurz danach lädt der Push-Pull Konverter über den MOSFET des Postregulators Schritt für Schritt nach. Man erkennt, dass die Gatespannung im Moment des Spannungsabfalls schon anfängt stark zu steigen. Der MOSFET ist bis zum Erreichen der eingestellten Spannung in seinem Sättigungsbereich. Es ist darauf zu achten, dass  $V_{cc}$  erreicht wurde, bevor der negative Stromimpuls kommt. Ansonsten wird zum einen mit einer etwas geringeren Spannung für den Gatetreiber geschaltet und zum anderen wird der Strom, der sich zusammensetzt aus dem noch immer nötigen Nachladestrom für die positive Seite mit dem bereits hohen Strom (auf Grund der geringeren Impedanz) der negativen Seite, sehr hoch. Um dies sicherzustellen, gibt es mehrere Möglichkeiten. Mit Hilfe der richtigen Anpassung des Resonanzkondensators wird die Impedanz des Transformators für die SN6505 Frequenz vermindert und es kann schneller nachgeladen werden. Dies verringert die Zeit bis zum Erreichen der gewünschten Spannung. Dies kombiniert mit einer höheren Ausgangskapazität zur Stabilisierung (geringerer Spannungshub) und einer geringeren Ladung (von 265nF auf 155nF, in der Realität ist die Eingangskapazität der Leistungsmodule unter 200nF) für die Last, führt zu einem optimalen Timing. Notfalls kann immer die Frequenz verringert und damit die Zeitperiode erhöht werden. Nachfolgend soll aber 10kHz verwendet werden.

In Abbildung 75 ist ein Beispiel dargestellt, bei dem der Nachladevorgang eindeutig zu lange dauert. Der Strom nimmt immer drei unterschiedliche Phasen ein. Die kleinsten Werte

erreicht er bei vollständiger Entkoppelung von Primär- und Sekundärseite. Wenn die Ausgangsspannung den gewünschten Wert erreicht hat, wird nicht mehr nachgeladen (bis auf das besprochene Bias von Zeit zu Zeit). Dabei fließt nur noch der Magnetisierungsstrom, dies erkennt man an den linearen Verlauf. Die zweite Phase führt zu den zweithöchsten Strömen, die während dem Nachladen der Vcc Kondensatoren auftreten. Dabei ist der MOSFET in Sättigung. Die dritte Phase erreicht die höchsten Spitzenströme und somit die Höchstwerte des ganzen Betriebs. Dieser tritt beim Nachladen der Vss Seite auf Grund der geringeren Impedanz des Transformators auf. Eingeleitet wird diese dritte Phase mit den negativen Strompulsen der Last. Die Abbildung zeigt klar den suboptimalen Betrieb, bei dem dies schon vor Erreichen des Vcc passiert.

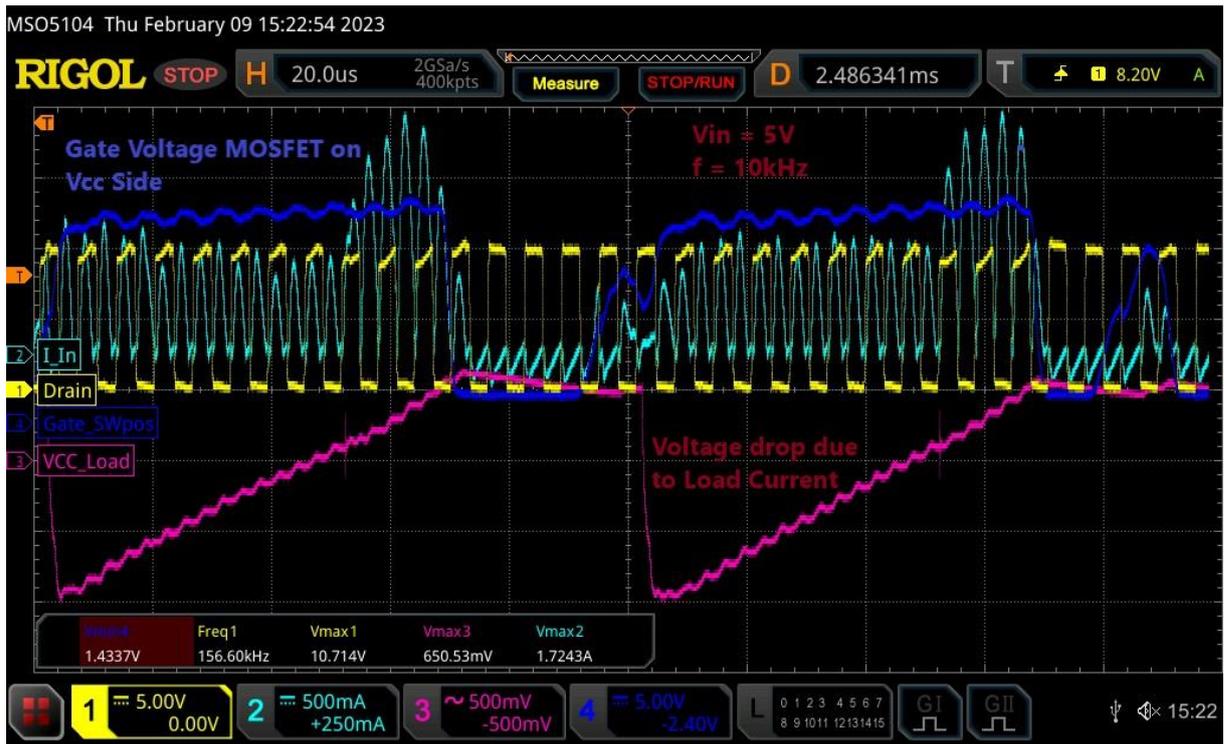


Abbildung 75: Schaltsignal mit Eingangsstrom und Ausgangsspannung

Abbildung 76 zeigt insofern eine Verbesserung, dass der Spannungshub während der Lastspitzen wesentlich geringer ausfällt. Im Vergleich zur vorherigen Abbildung gibt es nun statt 1,5V nur noch rund 630mV. Dies verringert das  $\Delta U_{cc}$  im Betrieb und als Folge die Schaltverluste der Leistungsmodule.

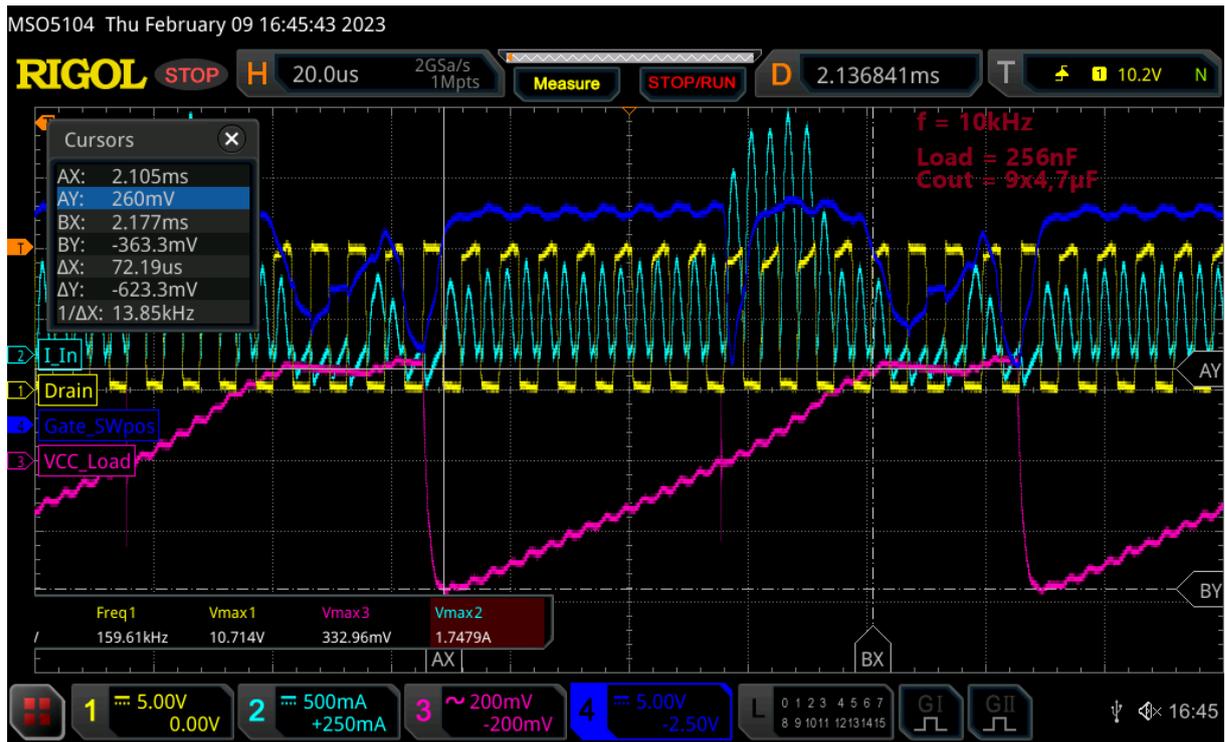


Abbildung 76: Abgeänderte Ausgangskapazität zum Stützen

Nachfolgend wird noch auf den gezoomten Strom mit passenden und ohne Resonanzkondensatoren dargestellt.

In Abbildung 77 wurden die Kondensatoren mit einem  $0\Omega$ -Jumper überbrückt. Dieser Strom wird im Schaltvorgang am höchsten Wert abrupt abgeschnitten.

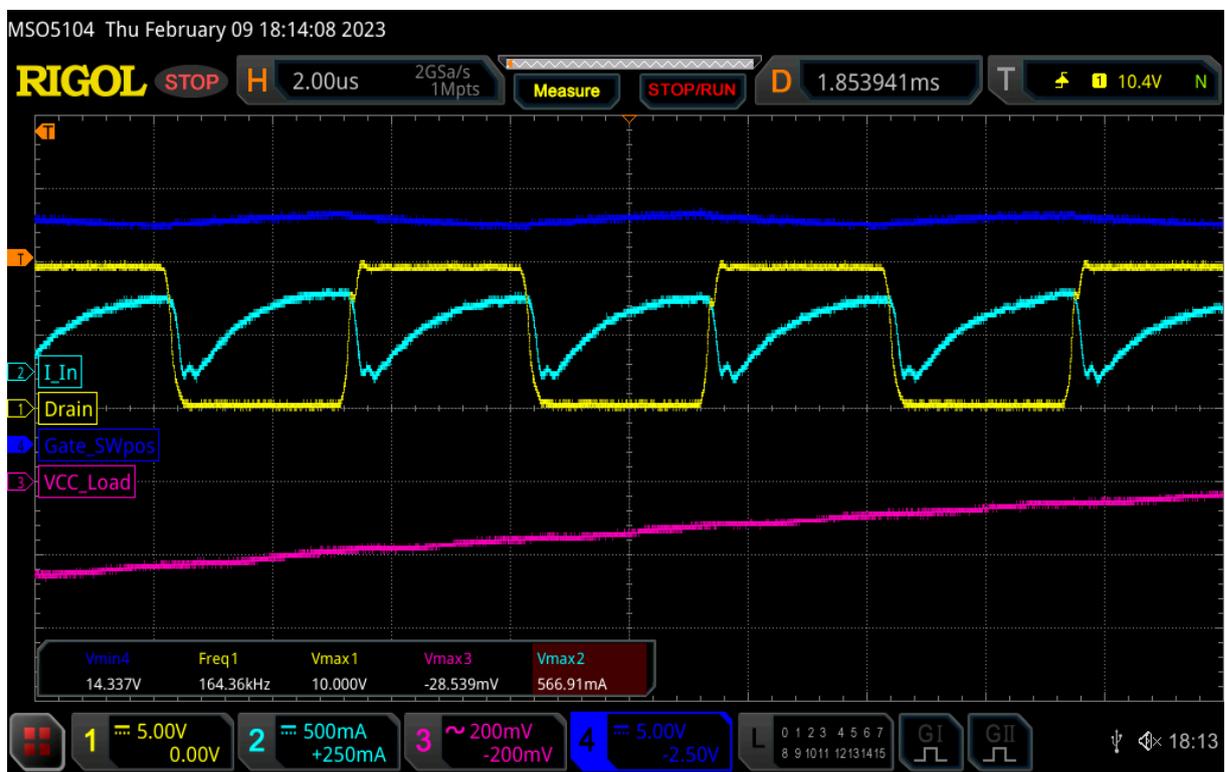


Abbildung 77: Strom mit überbrückten Resonanzkondensatoren

Dies ist im Resonanzfall auf Grund des fast sinusförmigen Stromes nicht der Fall. Der Strom kann vor dem Schaltvorgang deutlich absinken und führt zu geringeren Verlusten bei der Kommutierung.

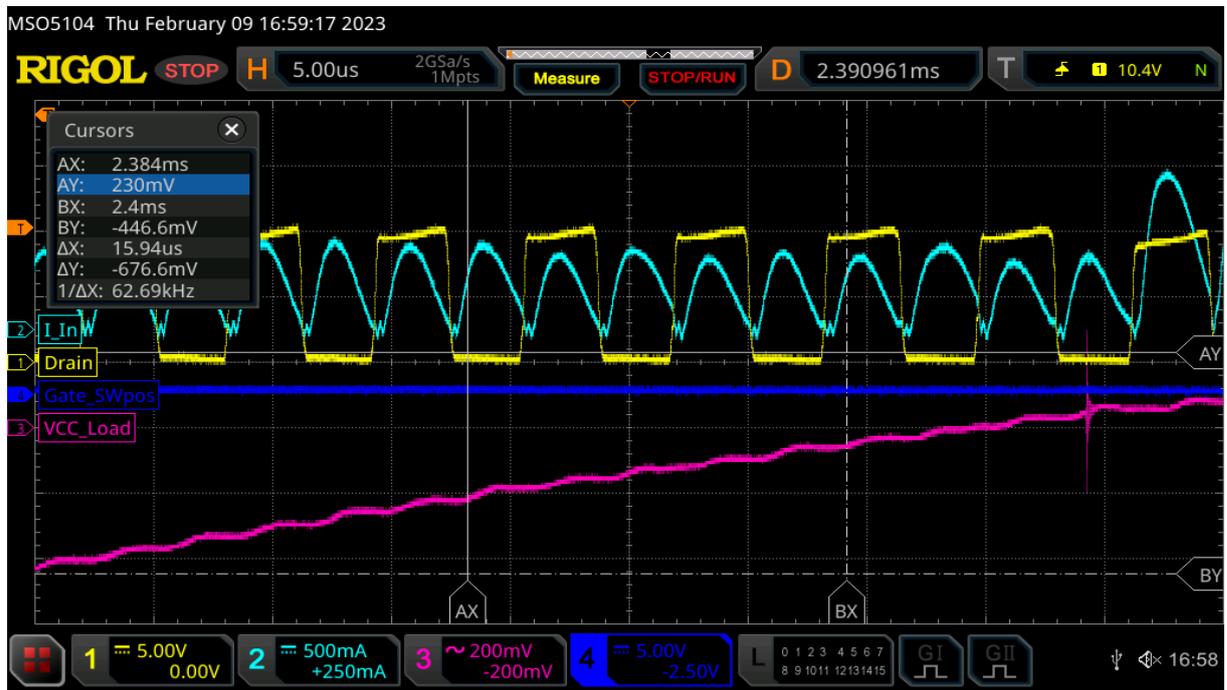


Abbildung 78: Eingangsstrom zu Drainspannung mit Resonanz Zoom-In

In Abbildung 79 wurden alle Anpassungsmaßnahmen durchgeführt und somit kann die Spannung schnell genug nachgeladen werden. Der negative Strompuls tritt erst nach Erreichen des Vcc auf. Somit werden die Ströme der dritten Phase auch geringer.

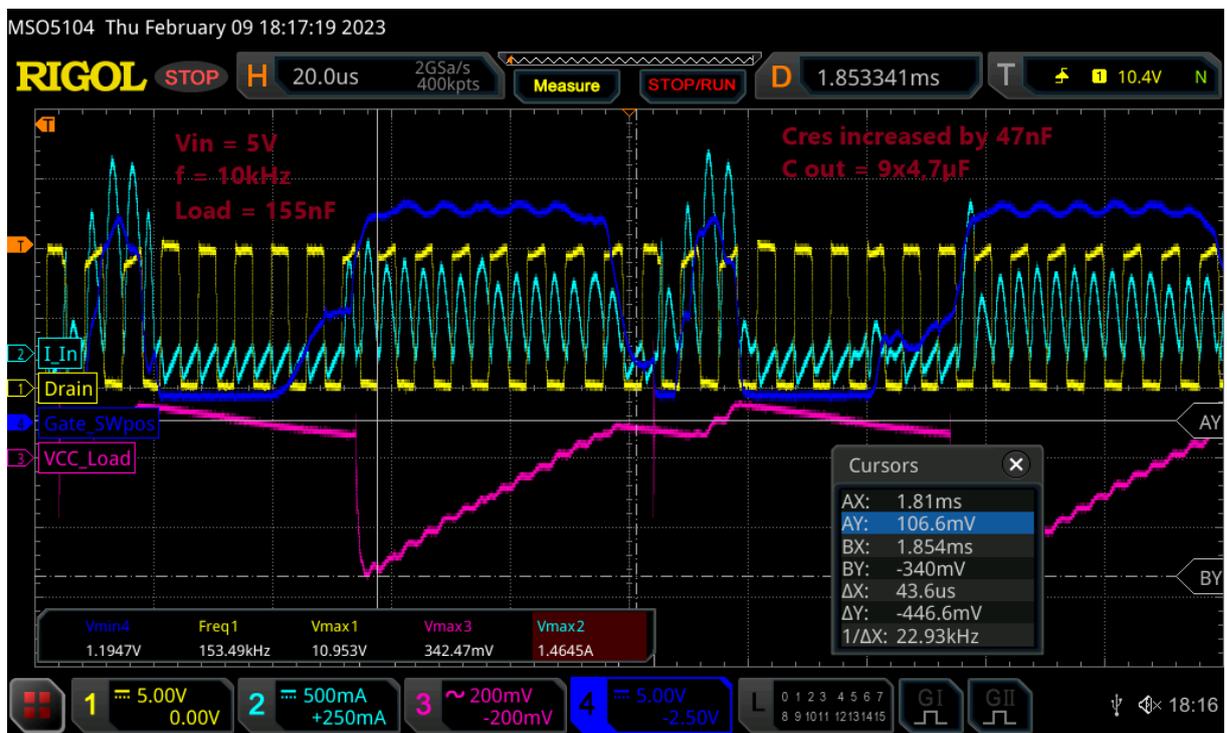


Abbildung 79: Optimales Verhalten mit angepassten Ausgangs-, Resonanz- und Lastkondensatoren

Auf Grund von parasitären Kapazitäten im inneren eines IC kommt es zu propagation delays die ein verzögertes Schalten verursachen. Dies ist mit 30ns wie in Abbildung 80 sehr gering.

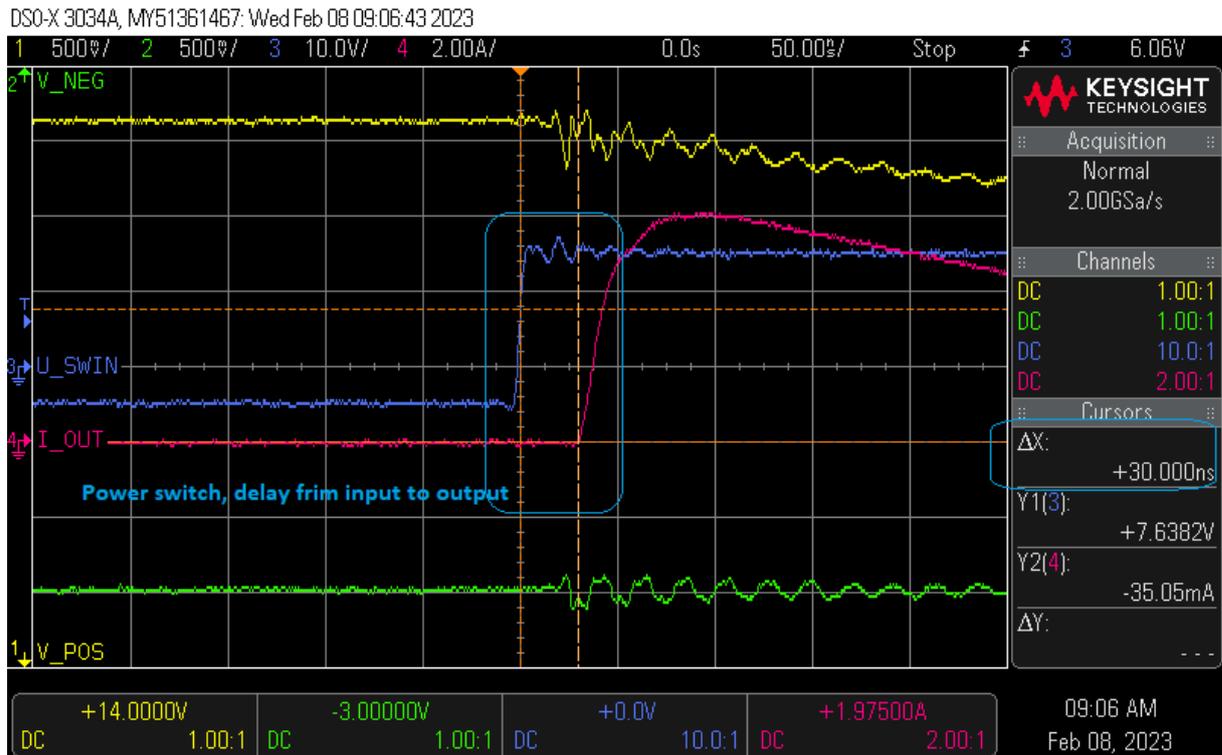


Abbildung 80: Verzögerung Eingang zu Ausgang

Abbildung 81 zeigt mit U\_SWIN das Schalten von Vss zu Vcc und den dadurch getriggertem Stromimpulsen des Gatetreibers.

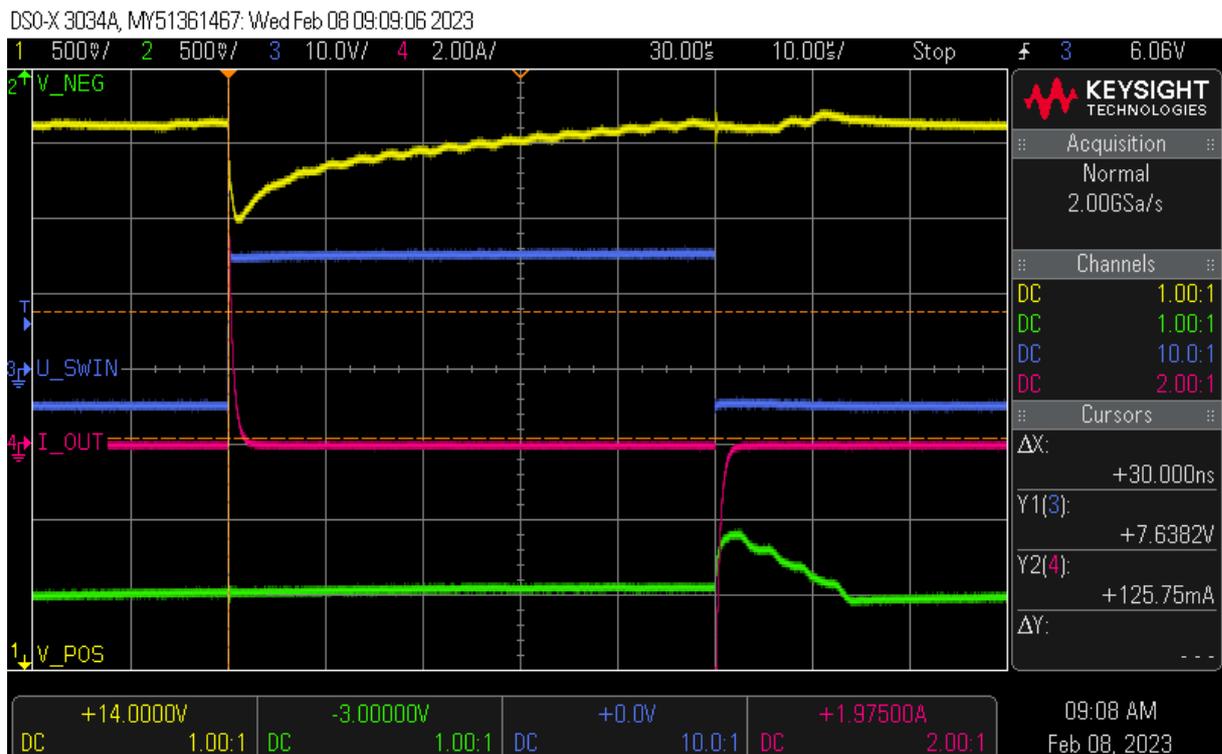


Abbildung 81: Gatespannung mit Ausgangsstrom

## 6.2.2.5 Asymmetrie-Test mittels Dioden

Die Abbildung 82 und Abbildung 83 zeigen den optimalen Betrieb mit beiden Dioden (für den Asymmetrie-Test) überbrückt. Die blaue Kurve zeigt nun die Spannung die direkt an eine Hälfte der Primärwicklung anliegt. Der Betrieb ist sehr symmetrisch, die Spannung am Drain ist prinzipiell gleich dem blauen Verlauf. Die Ströme erreichen für jede Halbperiode in etwa den gleichen Spitzenwert.

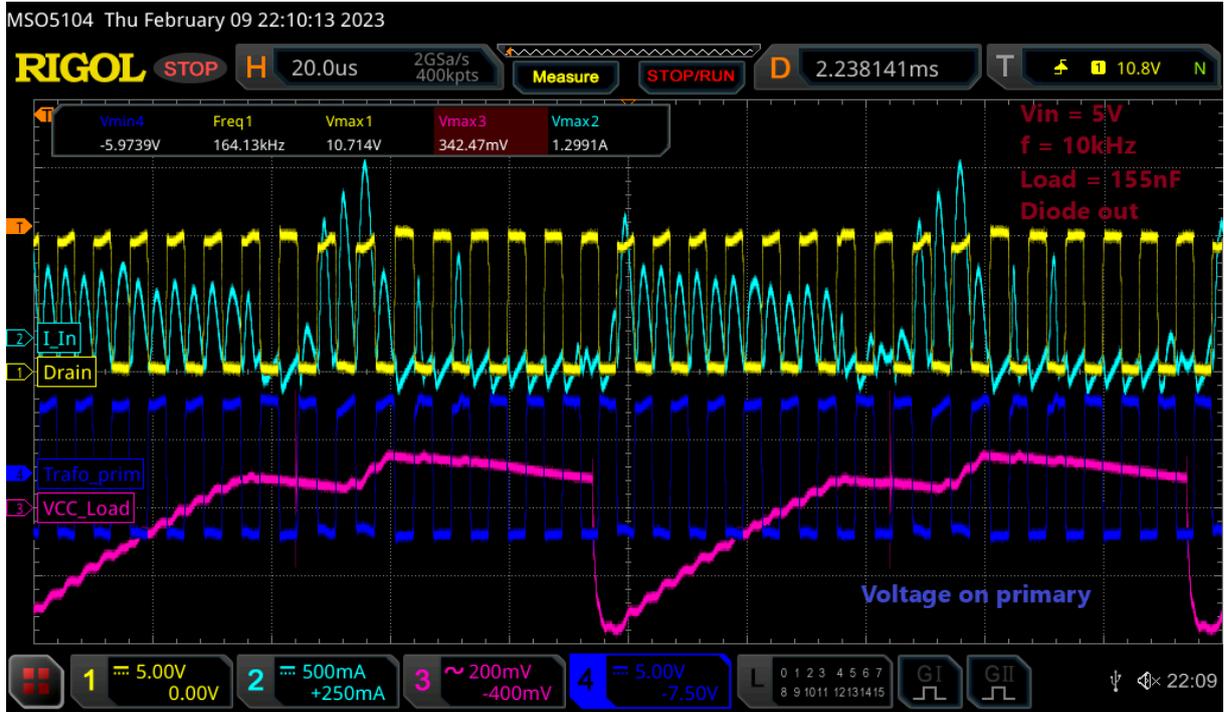


Abbildung 82: Asymmetrie-Test ohne Diode

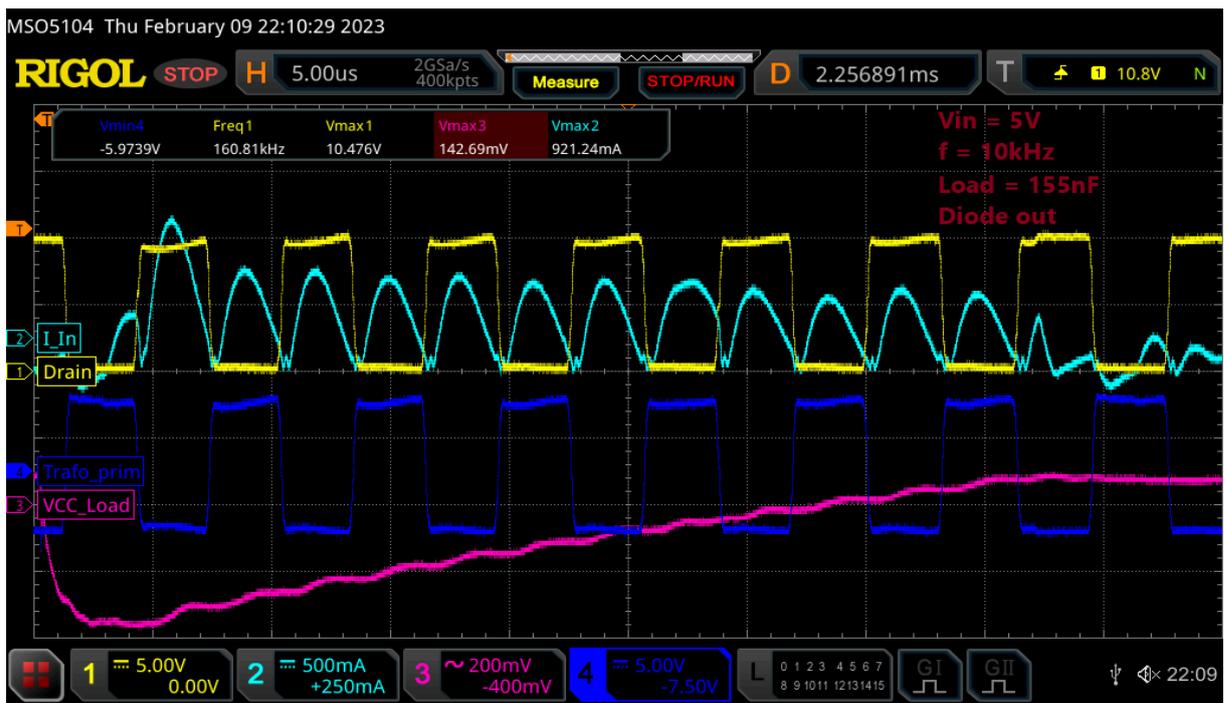


Abbildung 83: Asymmetrie-Test ohne Diode Zoom-In

Nun wurde die Überbrückung einer Diode entfernt und die Drainspannung der gegenüberliegenden Seite (D2) gemessen. Man erkennt sofort, dass der Nachladevorgang nun um einiges verlängert wird, er kann nicht rechtzeitig vor dem negativen Lastpuls abgeschlossen werden.

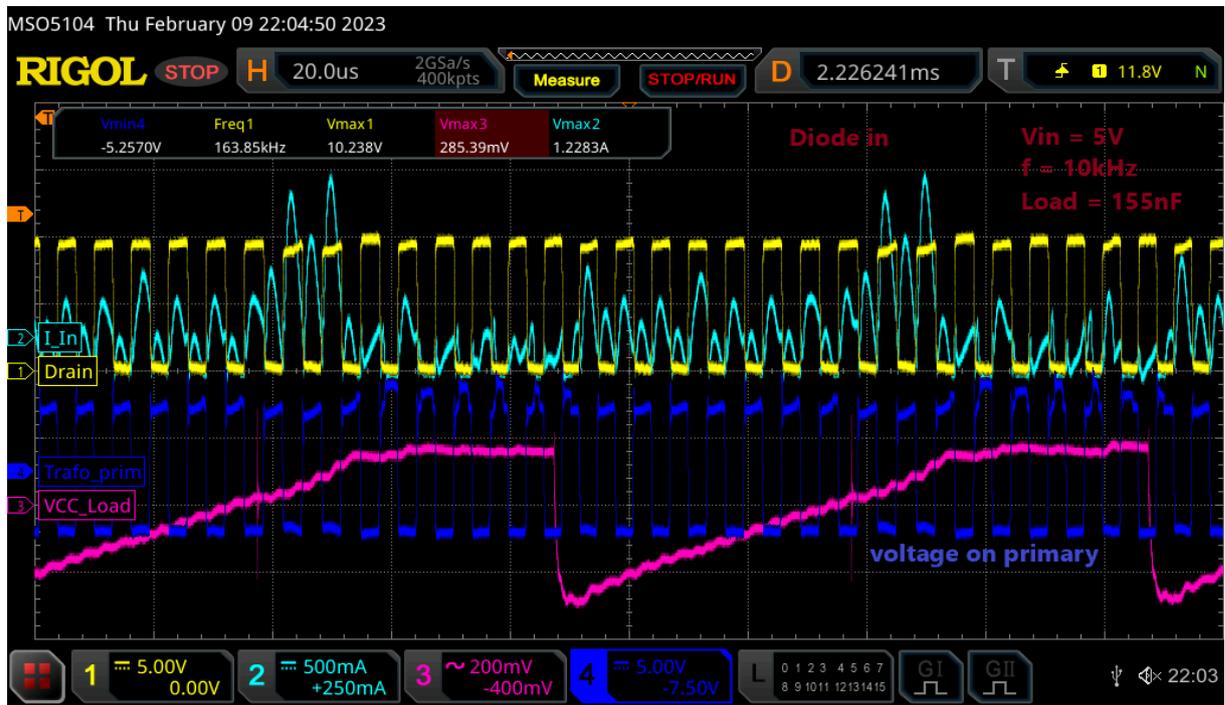


Abbildung 84: Asymmetrie-Test mit Diode

In Abbildung 85 erkennt man die nun unterschiedlichen Stromamplituden pro Halbperiode. Da keine konkave Form zu erkennen ist, gibt es noch einen größeren Abstand zum Sättigungsbereich. Im Betrieb traten Ströme von etwa 1,6A auf, dies ist nahe am Stromlimit des SN6505, demnach kann davon ausgegangen werden, dass der Konverter über alle Betriebsbereiche nicht auf Grund eines Flux-Walkings in Sättigung gehen wird.



Abbildung 85: Asymmetrie-Test mit Diode Zoom-In

## 6.2.2.6 „Worst-Case“

Die Abbildung 86 zeigt die Verläufe bei einem überbrückten Gatewiderstand. Es ergibt sich ein Stromspitzenwert von etwa 16A. Der Stromverlauf ist auf Grund der begrenzten Bandbreite der Stromzange nicht exakt.

Die Auswirkung dieses „worst-case“ auf die Ausgangsspannungen und den Eingangsstrom sieht man in Abbildung 87.

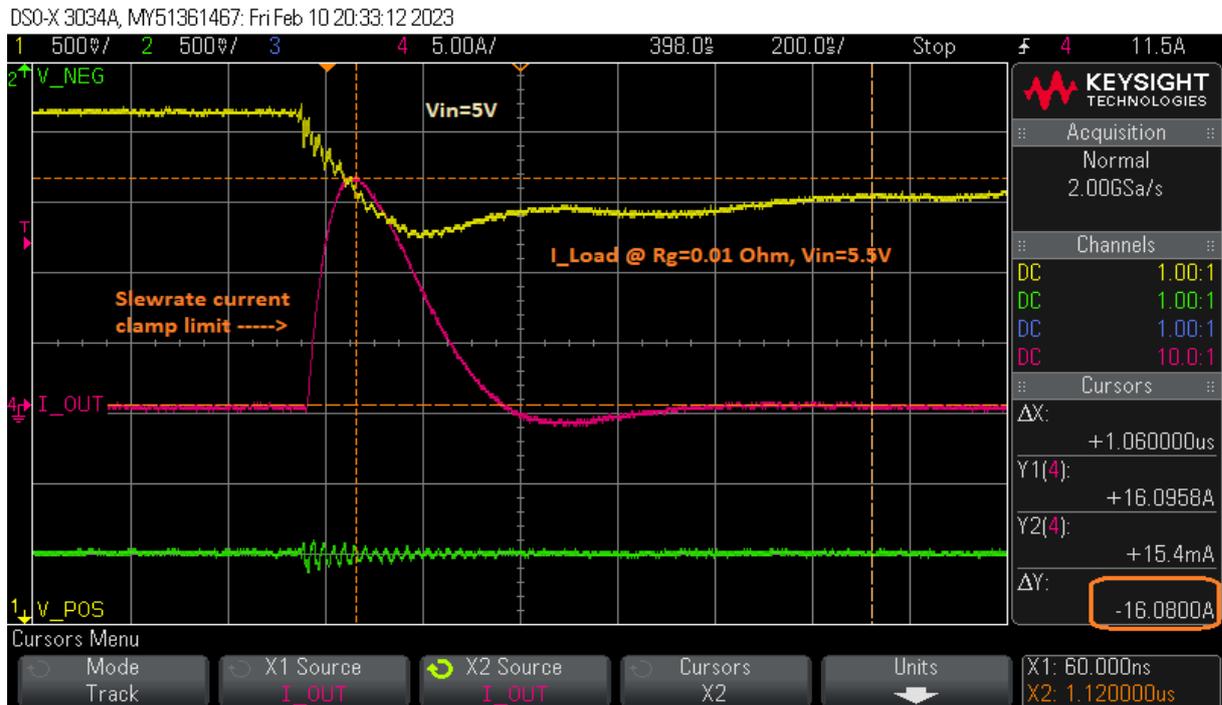


Abbildung 86: maximal möglicher Strom vom Ixys-Treiber

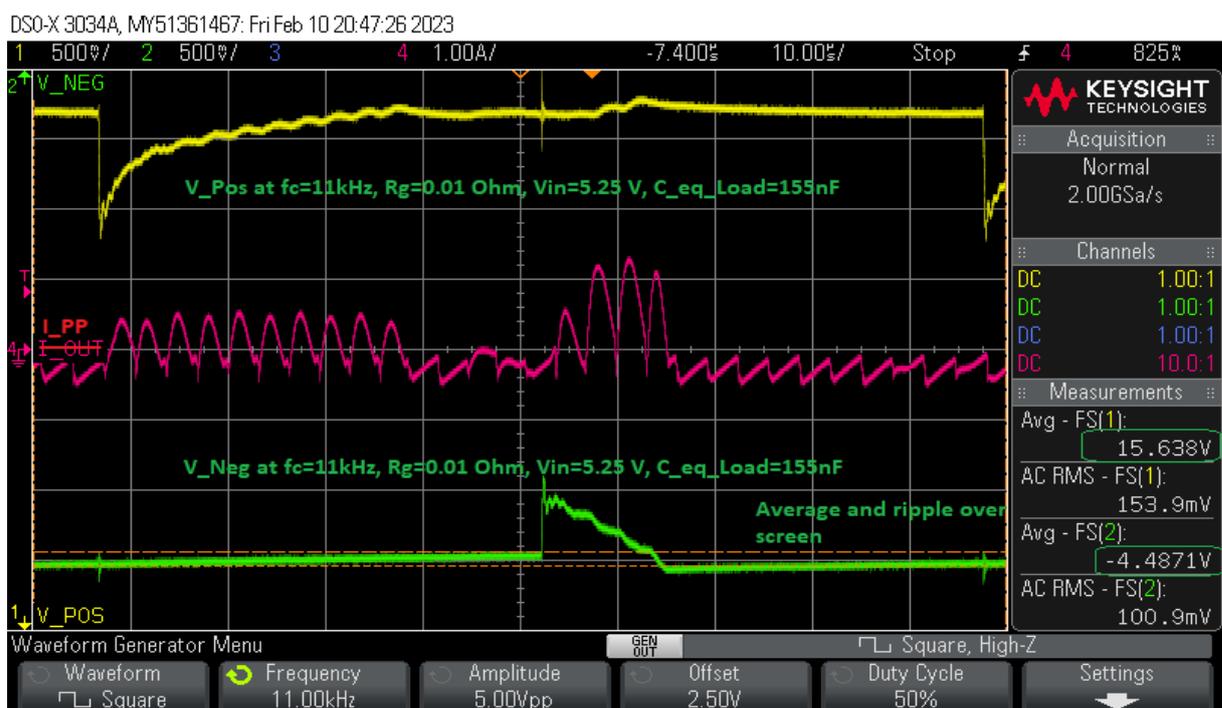


Abbildung 87: Ausgangsspannungen und Strom bei maximalen Laststrom

## Zusammenfassung

Um einen einzelnen Transformatortyp für alle nachfolgenden Projekte, unabhängig von den verwendeten Materialien der Leistungstransistoren und deren benötigte Ansteuerung, verwenden zu können, wurde ein Postregulator entwickelt. Dieser kann die Ausgangsspannung des Push-Pull Konverters mit Hilfe eines einzelnen Widerstandes einstellen. Dabei kann zusätzlich der zuvor verwendete Preregulator wegfallen, denn im Falle einer Überlast oder eines Kurzschlusses, trennt der Postregulator den Konverter von der Last, der interne Schalter kann nicht mehr betrieben werden.

Das Konzept des Postregulators wurde mit der Simulationssoftware LTSpice Schritt für Schritt durchgedacht, mit der Zeit angepasst und verbessert und mit einem eigens erstellten Hardware Evaluation Board praktisch auf Funktionsfähigkeit getestet.

Die Messergebnisse zeigen, dass der Postregulator funktioniert. Das Konzept des Reglers kann nun in Zukunft mit einem IC-Hersteller besprochen und schematisch übergeben werden. Diese können eigene Stromquellen, Spannungsreferenzen mit Temperaturkompensationen etc. für die Optimierung verwenden.

# A Schaltpläne, Layouts und Boards

## A.1 Evaluation Board SN6507

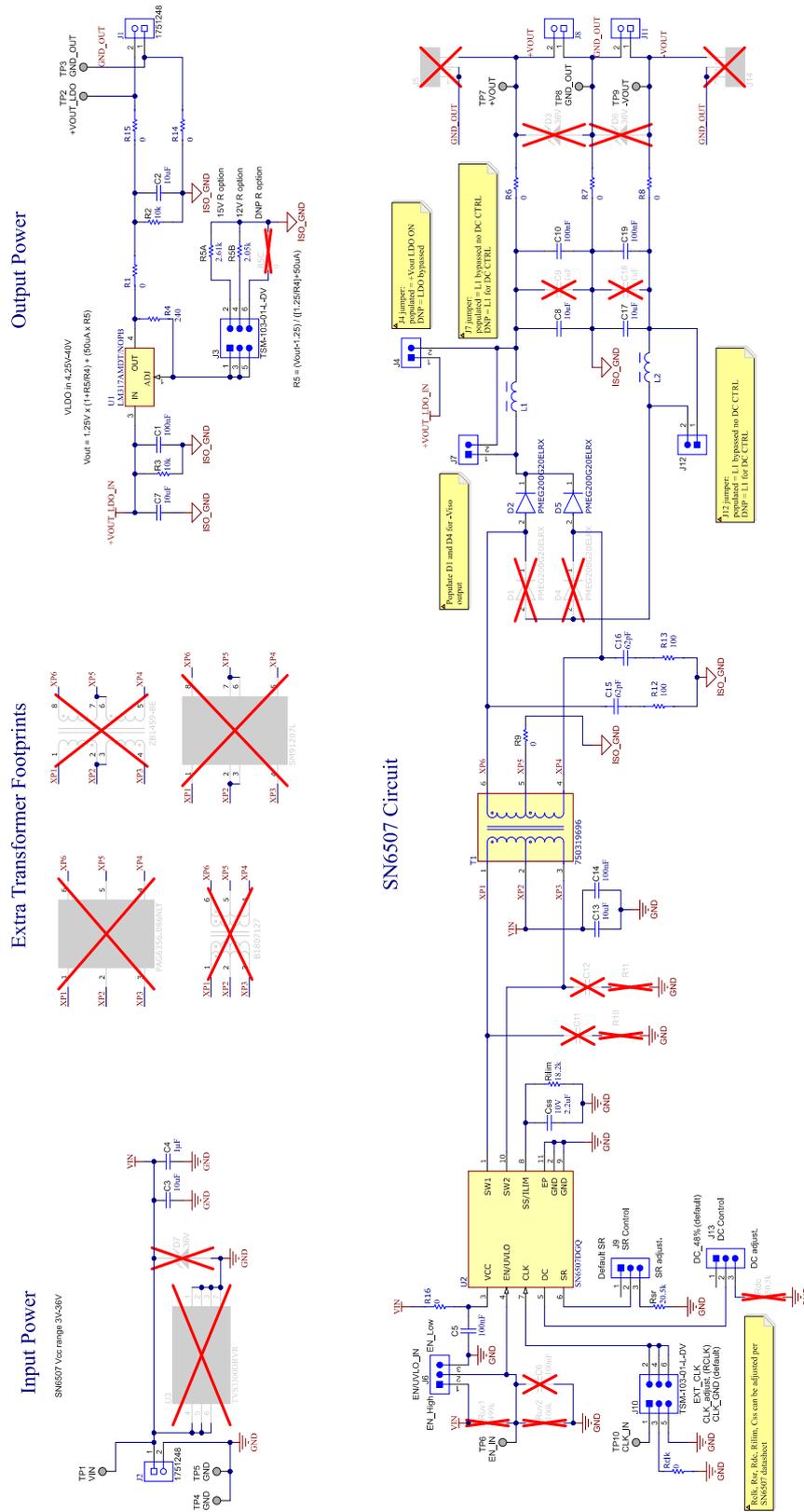


Abbildung 88: Schematic des TI Evaluation Boards SN6507DGQEV



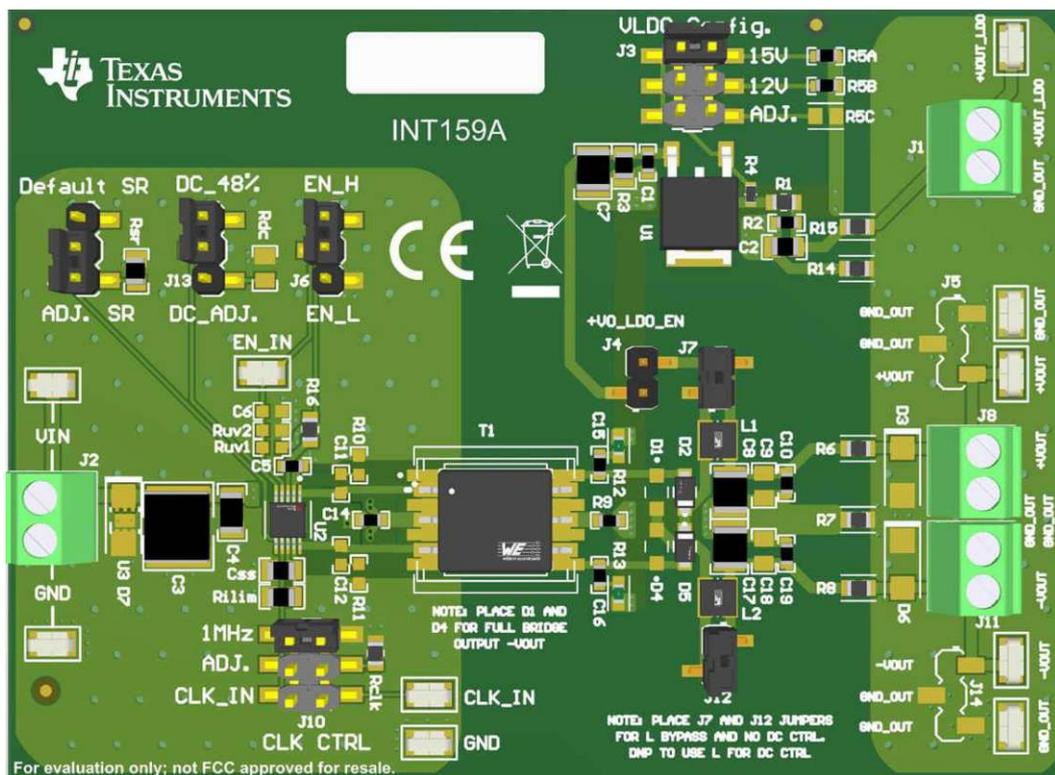


Abbildung 91: PCB 3D Ansicht SN6507DGQEVMB

## A.2 LTSpice-Simulationen

Die approbierte gedruckte Originalversion dieser Diplomarbeit ist an der TU Wien Bibliothek verfügbar. The approved original version of this thesis is available in print at TU Wien Bibliothek.

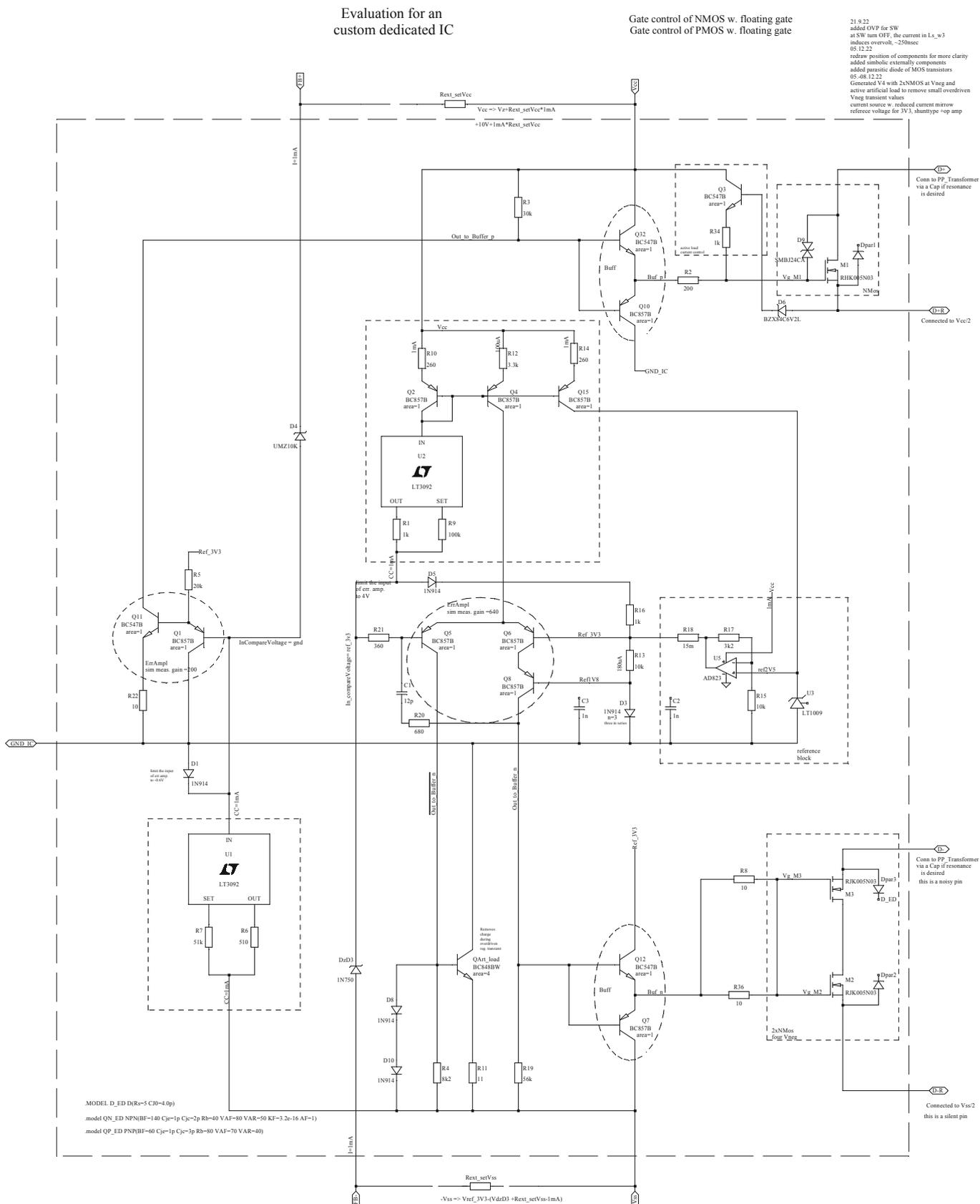


Abbildung 92: Simulationsfile des Postregulators

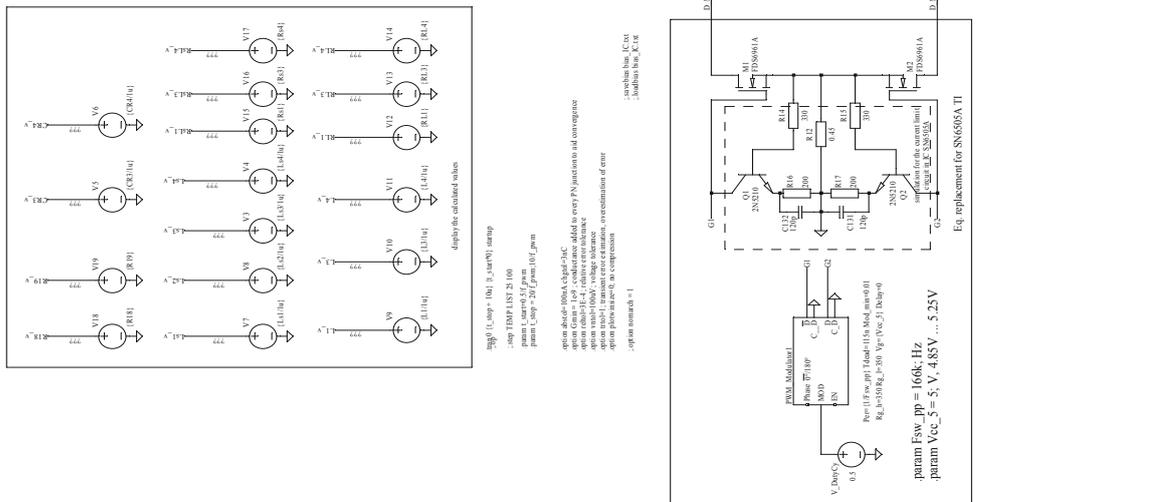


Abbildung 93: Simulationsfile des Push-Pull Konverters

In this file is simulated the push pull converter based on SN6505A from TI  
The scope is to adapt the transformer to a SIC power module with (+18...+15)/-5 gate drive level

In this version,  
the U18 can be adjusted between +11 and +19V,  
the negative U5 can be separately adjusted and regulated between -2V and -7V,  
using same transformer for SIC inverter

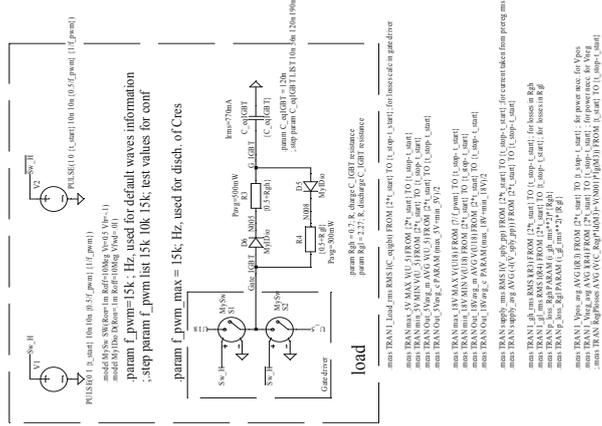
The input of the PP converter Vcc\_PP is fixed for all versions at 5V nominal, +/-3%  
The LDO reg for Vcc\_PP is removed and the outputs are adjustable and regulated independently  
In case of Short Circuit at output Vpos, the circuit can't convert energy due to open SW in IC

04.12.2022, measured leakage using NA Analog Discovery-2  
:measured Transformer with 8:8+15/-7 turns

```

param U5 = A1PNP1*2 ; H, leakage and primary side with accuracy in SC, --:OBSOLETE
param A1 = 15k*(1+2) ; measured arg A1, ar = 1, LPPN for leakage and --:OBSOLETE
param L1 = 15k*(1+2) ; measured arg L1, ar = 1, LPPN for leakage and --:OBSOLETE
:measured secondary in Short Circuit, calculated values for turn on and to any other number
param AL1 = 0.12k*(1+2) ; R1, L1, 225k, leakage per turn and resistance per turn, secondary in open, primary in SC
param L1 = 0.12k*(1+2) ; R1, L1, 225k, leakage per turn and resistance per turn, 1511H
param AL2 = 0.12k*(1+2) ; R2, L2, 225k, leakage per turn and resistance per turn, 1511H
param L2 = 0.12k*(1+2) ; R2, L2, 225k, leakage per turn and resistance per turn, 1511H
param AL3 = 0.12k*(1+2) ; R3, L3, 225k, leakage per turn and resistance per turn, w. prim only in SC
param L3 = 0.12k*(1+2) ; R3, L3, 225k, leakage per turn and resistance per turn, w. prim only in SC
param AL4 = 0.12k*(1+2) ; R4, L4, 225k, leakage per turn and resistance per turn, w. prim only in SC
param L4 = 0.12k*(1+2) ; R4, L4, 225k, leakage per turn and resistance per turn, w. prim only in SC
param N1 = 1 ; primary
param N2 = 1 ; secondary
param N3 = 22 ; sec, 5V (measured full mode output at 2V, loaded, 2.5V unloaded)
param N1 = 22 ; sec, 5V (measured full mode output at 2V, loaded, 2.5V unloaded)

```



# A.3 Evaluation Board Postregulator

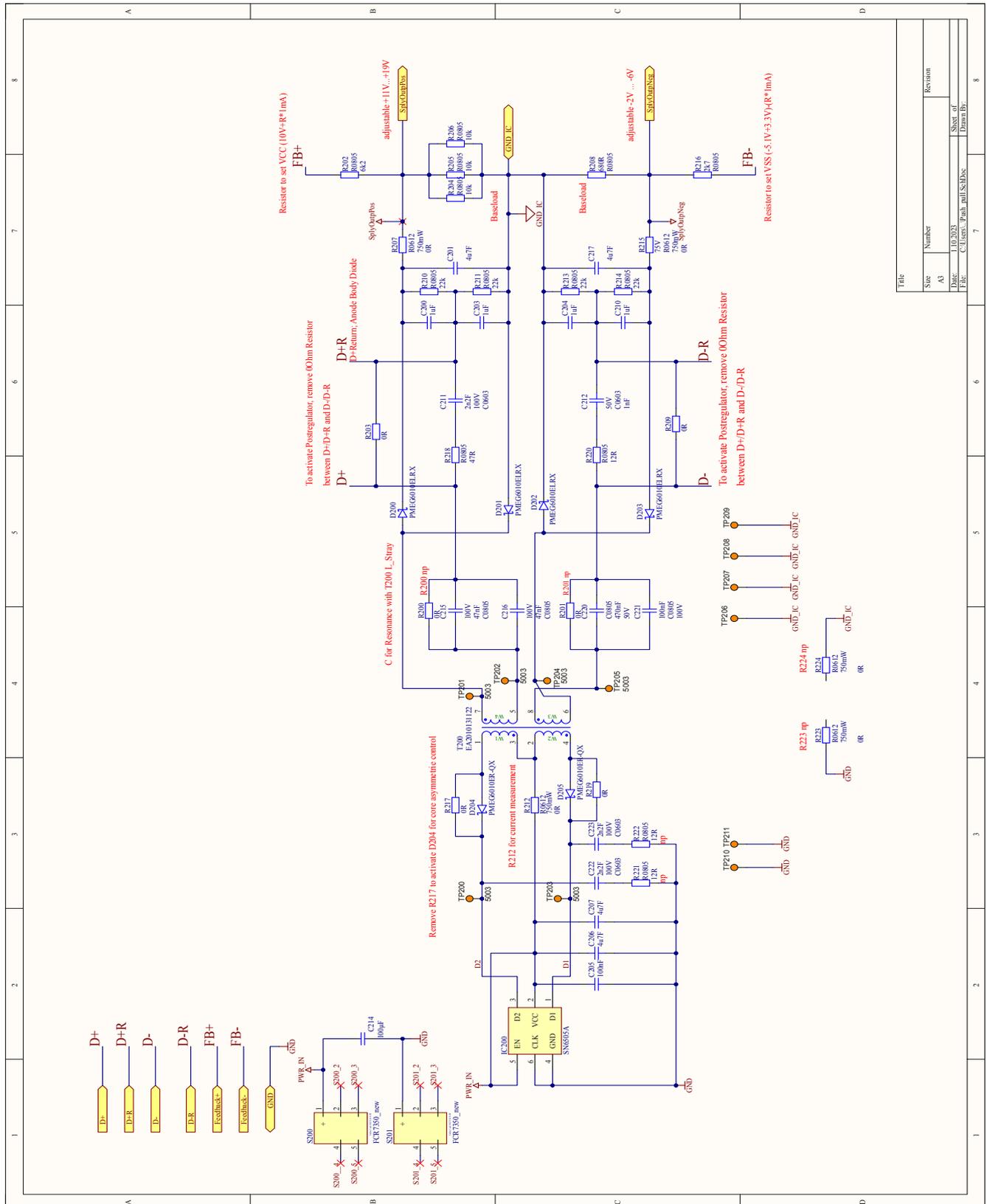


Abbildung 94: Schematic des Push-Pull Konverters

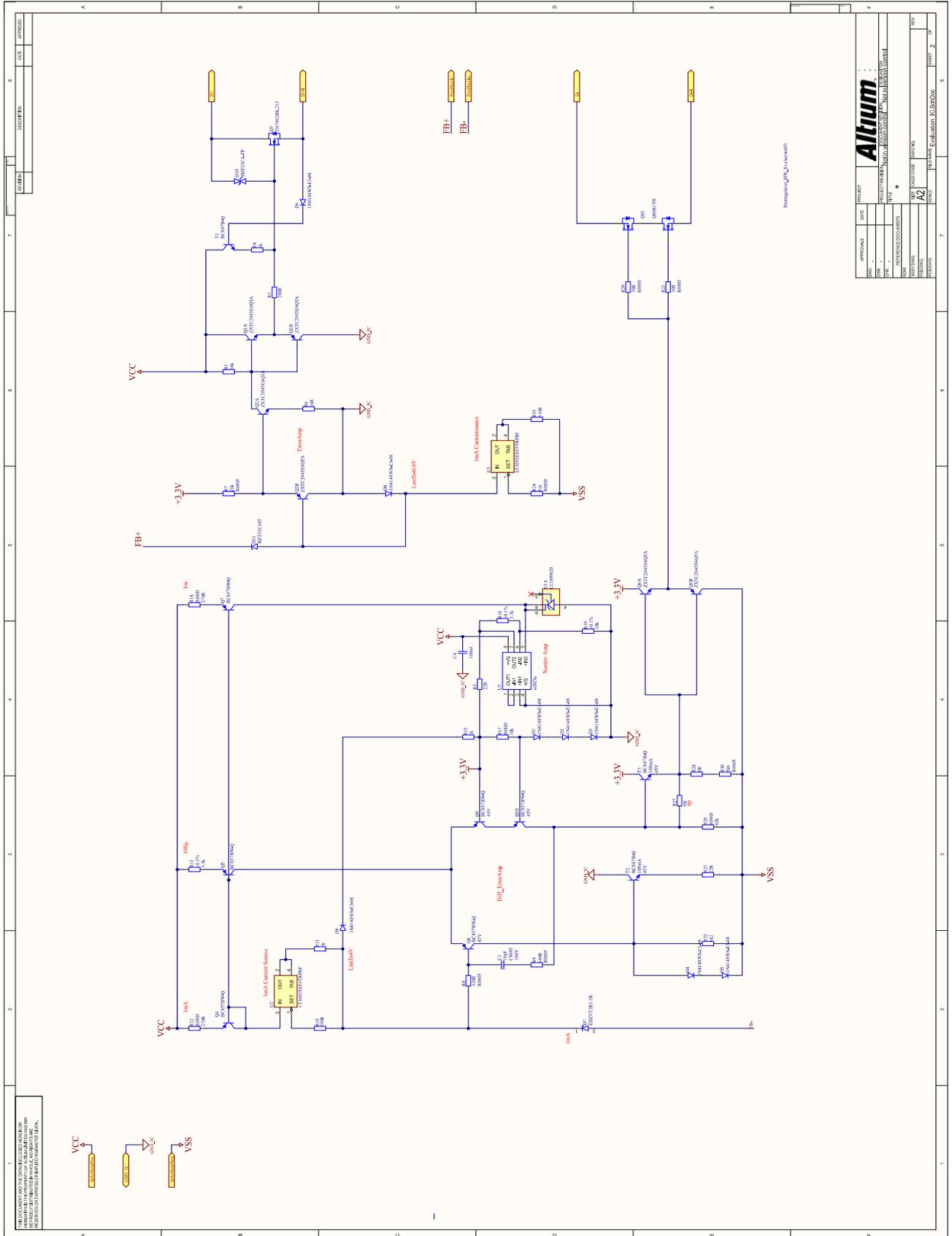


Abbildung 95: Schematic des Postregulators



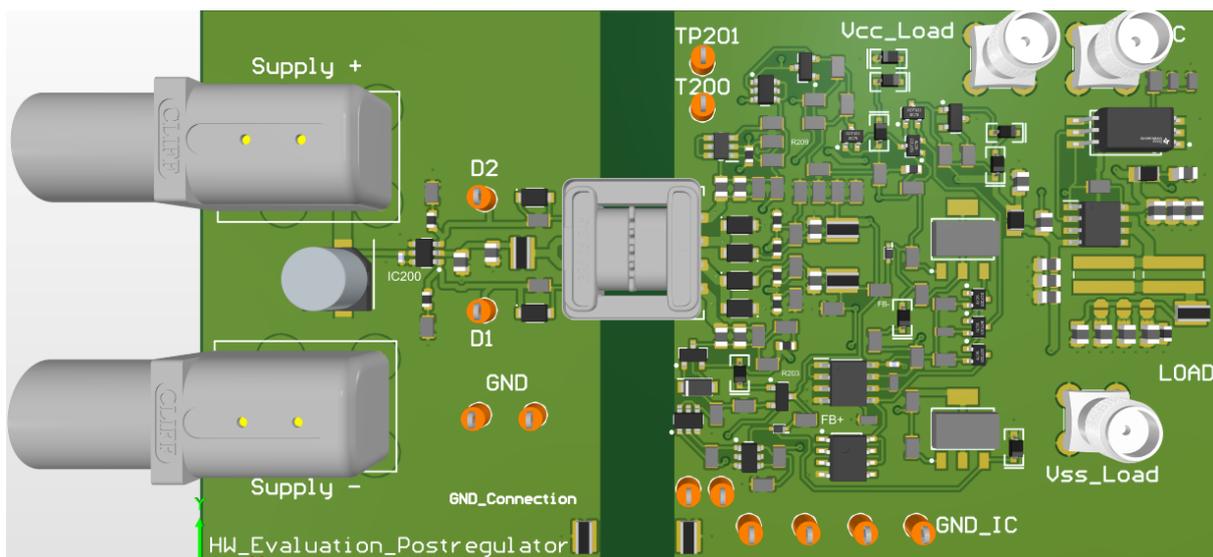


Abbildung 97: 3D-Ansicht des Boards

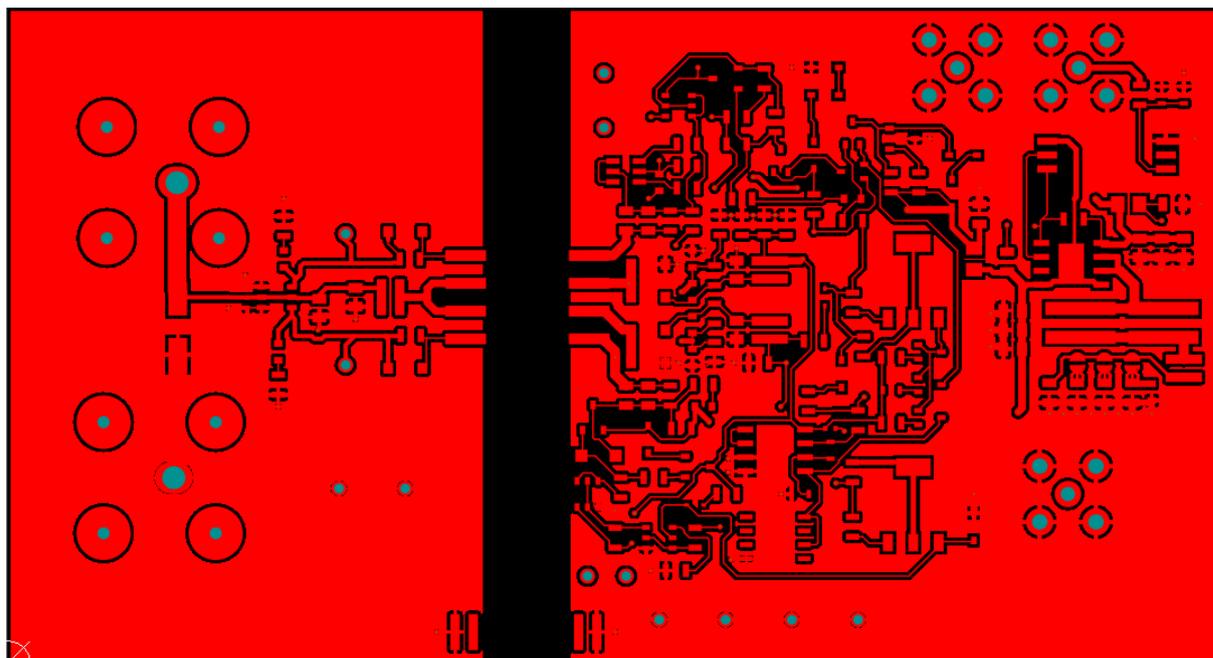


Abbildung 98: Top Layer

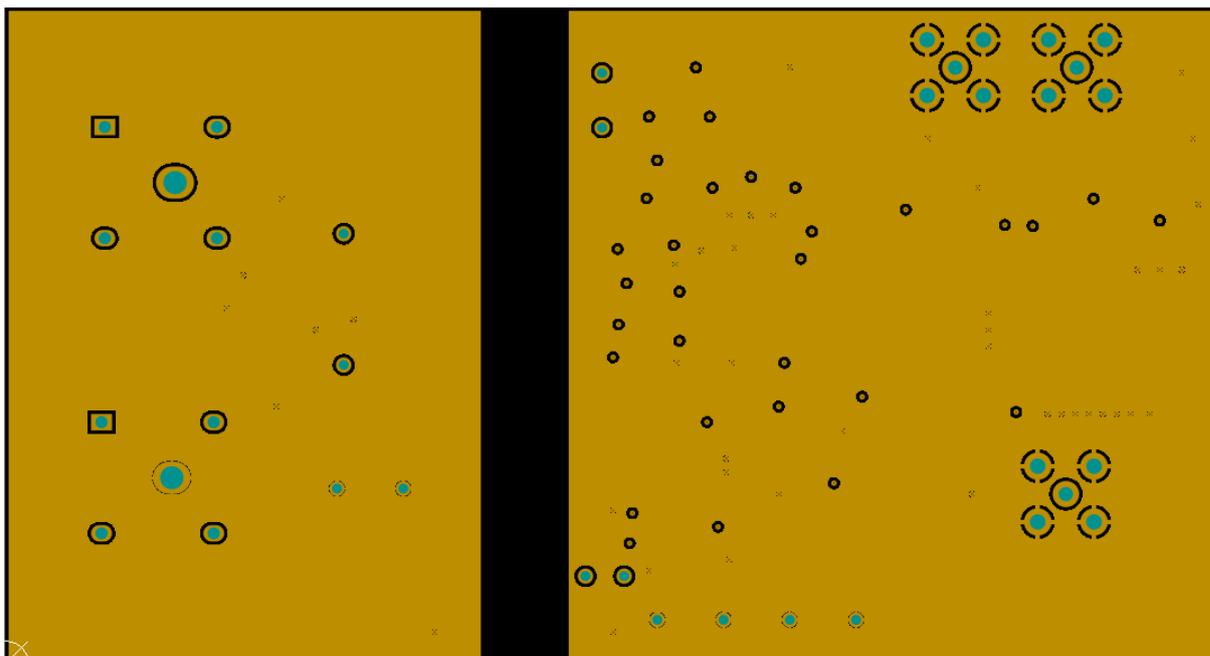


Abbildung 99: 2 Layer - GND

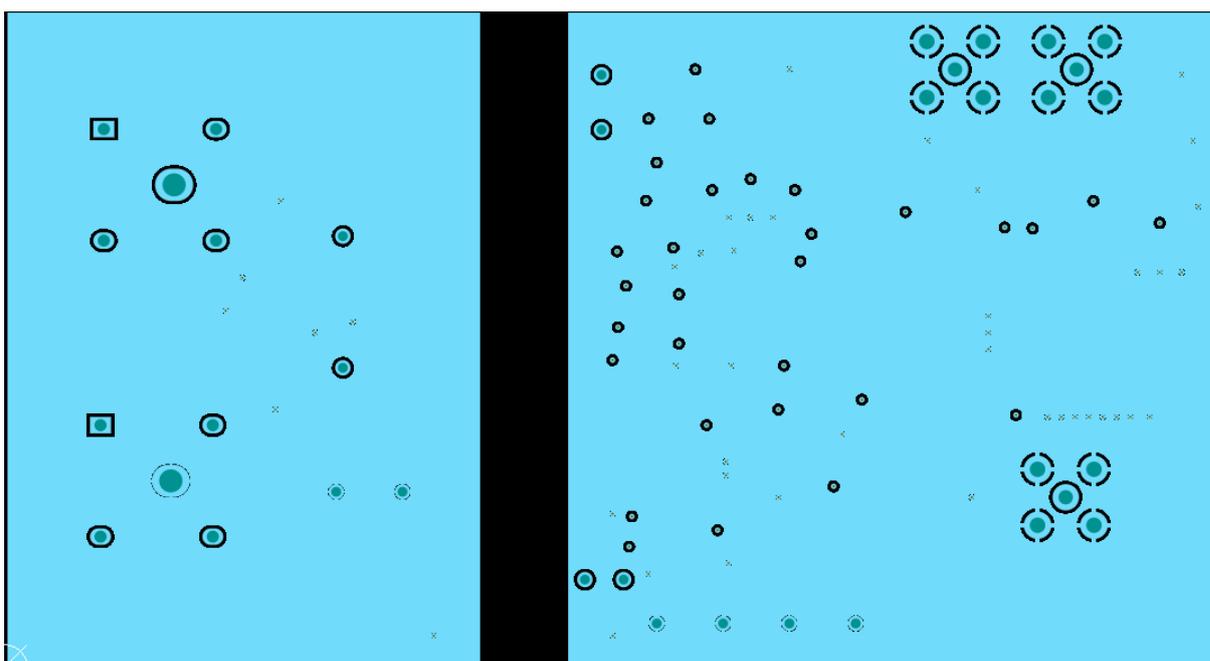


Abbildung 100: 3 Layer - GND

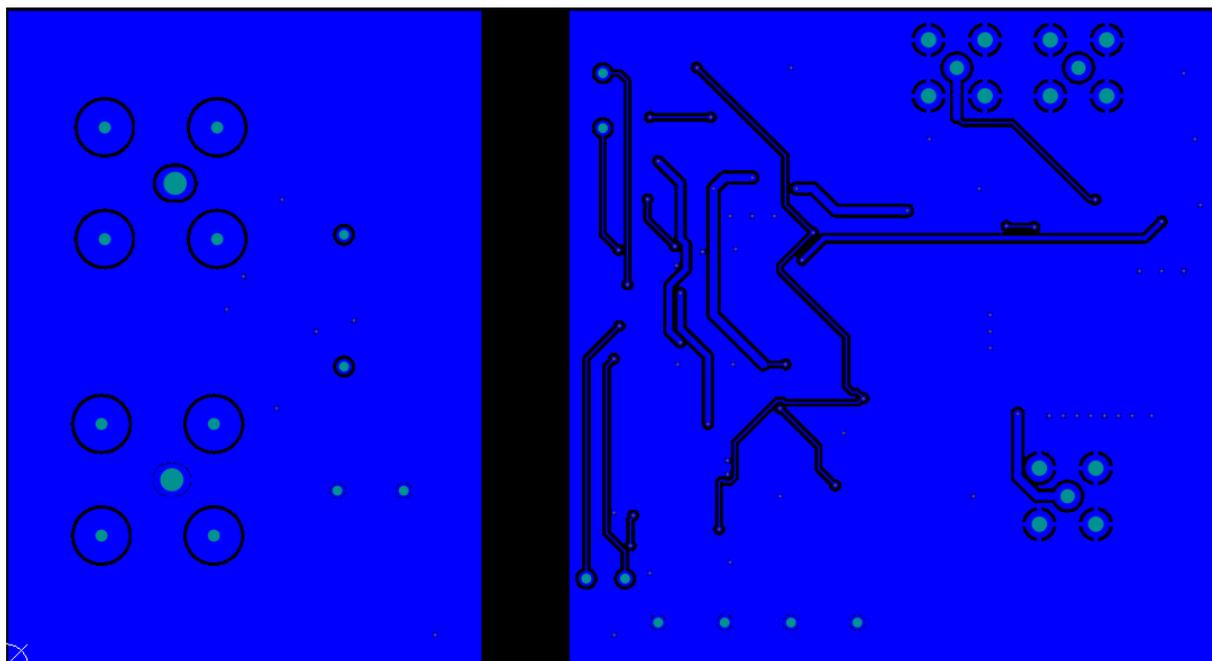


Abbildung 101: Bottom Layer

# Literaturverzeichnis

- [1] M. Wiener, „Investigation of Gate Driver Power Supply Topologies in Automotive Inverters,“ FH Technikum Wien, 2022.
- [2] B. Madhaiyan, „Talema,“ 24 Mai 2018. [Online]. Available: <https://talema.com/de/smpps-asymmetrical-isolated-converters/>. [Zugriff am 30 September 2022].
- [3] A. Kamath, „Push-pull converter simplifies isolated power supply design in HEV/EV systems,“ *Analog Design Journal / Texas Instruments*, First quarter 2020.
- [4] D. W. Hart, „DC Power Supplies,“ in *Power Electronics*, McGraw-Hill Education, 2010, pp. 287-297.
- [5] A. Kamath, „How to prevent transformer saturation in push-pull converters,“ *Analog Design Journal / Texas Instruments*, Third quarter 2021.
- [6] P. Drexhage, „Application Note AN21-002 Gate Driver Basics,“ Semikron, 2021.
- [7] M. N. e. al., „Comprehensive Comparison of a SiC MOSFET and Si IGBT Based Inverter,“ Universitätsbibliothek der Universität Stuttgart, Stuttgart, 2019.
- [8] ONsemi, „Active Miller Clamp Technology,“ Application Note AN-5073/D, 2022 Rev. 2.
- [9] International Rectifier (Infineon), „Application Note AN-990; IGBT Characteristics,“ 2012.
- [10] L. D. e. al., „A New Gate Driver Integrated Circuit for IGBT Devices With Advanced Protections,“ *IEEE Transactions on Power Electronics*, 2006.
- [11] A. Q. H. O. L. B. O. Xu She, „Review of Silicon Carbide Power Devices and Their Applications,“ *IEEE Transactions On Industrial Electroncis*, Bd. Volume 64, Nr. 10, pp. 8193-8205, 2017.
- [12] B. J. Baliga, *Fundamentals of Power Semiconductor Devices*, Springer, 2007.
- [13] ON Semiconductor, „ON Semiconductor Gen 1 1200 V SiC MOSFETs & Modules: Characteristics and Driving Recommendations,“ Application Note AND90103/D, 2022 Rev. 3.
- [14] Microsemi, „Application Note Design Recommendations for SiC MOSFETs,“ Micronote 1826, 2017.
- [15] A. K. e. al., „Metal semiconductor field effect transistor based on single crystal GaN,“ *Applied Physics Letters*, pp. 1786-1787, 1993.
- [16] A. L. e. al., „The Gallium Nitride Journey Begins,“ in *GaN Transistors for Efficient Power Conversion*, John Wiley & Sons Ltd, 2020, pp. 2-2.
- [17] Y. Z. e. al., „A review on the GaN-on-Si power electronic devices,“ *Fundamental Research*, pp. 462-475, 2022.
- [18] R. B. Stephen Colino, „Fundamentals of Gallium Nitride Power Transistors,“ *Efficient Power Conversion AN002*, 2020.
- [19] NXP, „GD3160 Product brief Advanced gate driver for SiC MOSFETs and IGBTs,“ 2020.
- [20] N. F. Sheet, „GD3160: ADVANCED HIGH-VOLTAGE GATE DRIVER WITH INTEGRATED ISOLATION,“ 2022.
- [21] T. I. A. N. S. 863b, „Understanding the Short Circuit Protection for Silicon Carbide MOSFETs,“ 2020.
- [22] H. Adianto, „Voltage-Mode Push-Pull Converteres Deserve a Second Look,“ National

- Semiconductor, Phoenix Design Center, Phoenix, 2009.
- [23] K. B. T. M. Abraham Pressman, „Flux Imbalance in the Push-Pull Topology (Staircase Saturation Effects),“ in *Switching Power Supply Design*, McGraw-Hill, 2009, pp. 50-58.
- [24] Texas Instruments, „SN6505x Low-Noise 1-A Transformer Drivers for Isolated Power Supplies,“ Datasheet, 2019.
- [25] Texas Instruments, „SN6507DGQEVN Low-Emissions 500 mA Push-Pull Transformer Driver for Isolated Power Supplies Evaluation Module,“ User's Guide, 2022.
- [26] Texas Instruments, „SN6507 Low-Emissions, 36-V Push-Pull Transformer Driver with Duty Cycle Control for Isolated Power Supplies,“ Datasheet, 2022.
- [27] Semikron, *Applikationshandbuch Leistungshalbleiter*, Nürnberg: ISLE Verlag, 2015.
- [28] A. Grill, *Charge Trapping and Single-Defect Extraction in Gallium-Nitride based MIS-HEMTs*, Wien: Dissertation Insitut für Mikroelektronik TU Wien, 2018.