



TECHNISCHE
UNIVERSITÄT
WIEN
Vienna | Austria



DIGITAL GEREGLER QUASIRESONANTER ZVS AUFWÄRTSWANDLER MIT LUFTSPULE

EINGEREICHT AN DER
TECHNISCHEN UNIVERSITÄT WIEN
FAKULTÄT FÜR ELEKTROTECHNIK UND INFORMATIONSTECHNIK
INSTITUT FÜR ENERGIESYSTEME UND ELEKTRISCHE ANTRIEBE

IN ZUSAMMENARBEIT MIT
CONTINENTAL AUTOMOTIVE AUSTRIA GMBH

BETREUER:
DIPL.-ING. DR. TECHN. EMIL KOVATCHEV
AO.UNIV.-PROF.I.R. DIPL.-ING. DR. TECHN. JOHANN ERTL

DIPLOMARBEIT
VON
FLORIAN FRIEDRICH
01126350

WIEN, AM 21.05.2024

Kurzfassung

In dieser Arbeit werden Möglichkeiten zur Steigerung des Wirkungsgrades und der Leistungsdichte eines constant voltage (CV) quasiresonanten (QR) zero voltage switching (ZVS) Aufwärtswandlers untersucht. Dieser Wandler ist für den Betrieb an einem 12 V-Bordnetz eines PKWs konzipiert und bildet die erste Stufe eines zweistufigen Wandlerkonzepts. Er dient zur Bereitstellung der Zwischenkreisspannung in einem Lichtsteuergerät eines LED-Scheinwerfers.

Zunächst werden die theoretischen Grundlagen der Topologie des QR-ZVS Aufwärtswandlers erläutert. Im Speziellen wird auf die Berechnung der Verlustleistung in den einzelnen Komponenten der Schaltung näher eingegangen. Anschließend werden die Bauelemente der Schaltung unter Berücksichtigung der Anforderungen des Automotive-Bereichs dimensioniert. Diese Dimensionierung wird durch Simulationen überprüft und Optimierungsmaßnahmen werden beleuchtet.

Die Regelung der Schaltung erfolgt digital mithilfe eines Mikrocontrollers. Hierzu wird ein Proportional-Integral-Differential (PID)-Regler in Assembler implementiert, um eine schnelle Berechnung der Reglerausgangswerte zu gewährleisten.

Die Steigerung der Leistungsdichte wird durch die Erhöhung der Schaltfrequenz erreicht, weil mit steigender Schaltfrequenz die Größe und Anzahl der passiven Bauelemente reduziert werden kann. Darüber hinaus ist die Verwendung eines Galliumnitrid-Feldeffekttransistors (GaN-FET) aufgrund seiner kompakten Bauweise und seines schnellen Schaltverhaltens der Leistungsdichte und dem Wirkungsgrad zuträglich. Eine weitere Maßnahme zur Steigerung des Wirkungsgrades ist die Verwendung einer Luftspule als Resonanzspule, da hierdurch die Kernverluste im Vergleich zu einer Spule mit Ferritkern vermieden werden. Als nächster Schritt wird die Luftspule durch eine in der Leiterplatte integrierte Toroidspule ersetzt, um die Kosten für die Luftspule einzusparen. Zusätzlich wird eine in Software realisierte adaptive Sperrzeitanpassung des Pulsweitenmodulations (PWM)-Signals entworfen, welche den Wirkungsgrad im unteren Lastbereich optimiert.

Abschließend wird die Schaltung in einem Prototypen realisiert und der Betrieb bei einer Schaltfrequenz von bis zu 1.83 MHz verifiziert. Des Weiteren werden die Maßnahmen zur Steigerung des Wirkungsgrades implementiert und vermessen, sowie bezüglich ihrer Effektivität und Umsetzbarkeit bewertet.

Abstract

In this thesis, possibilities to increase the efficiency and power density of a constant voltage (CV) quasiresonant (QR) zero voltage switching (ZVS) boost converter are investigated. This converter is designed for the operation on a 12 V on-board power supply of a car and forms the first stage of a two-stage converter concept. It is used to provide the DC link voltage in a light control unit of an LED headlight.

Initially, the theoretical principles of the topology of the QR-ZVS boost converter are explained. In particular, the calculation of the power loss in the individual components of the circuit is discussed in more detail. Afterwards, the components of the circuit are dimensioned taking into account the requirements of the automotive sector. This dimensioning is verified by simulations and optimization measures are highlighted.

The circuit is controlled digitally using a microcontroller. For this purpose, a proportional–integral–differential (PID)-controller is implemented in assembler to ensure fast calculation of the controller output values.

The increase in power density is achieved by increasing the switching frequency, since the size and number of passive components can be reduced as the switching frequency increases. In addition, the use of a gallium nitride field-effect transistor (GaN-FET) is beneficial to power density and efficiency due to its compact design and fast switching behavior. Another measure to increase efficiency is the use of an air-core coil as a resonant coil, as this avoids core losses compared to a coil with a ferrite core. The next step is to replace the air-core coil with a toroidal coil integrated into the circuit board in order to save the cost of the air-core coil. In addition, an adaptive off-time adjustment of the PWM-signal is implemented in software, which optimizes the efficiency in the lower load range.

Finally, the circuit is realised in a prototype and the operation at a switching frequency of up to 1.83 MHz is verified. Furthermore, the measures to increase efficiency are implemented and measured, and their effectiveness and feasibility are evaluated.

Inhaltsverzeichnis

| | | |
|----------|--|-----------|
| 1 | Einleitung | 1 |
| 1.1 | Automotive Anforderungen | 1 |
| 1.2 | Motivation | 2 |
| 1.3 | Lösungsansatz | 3 |
| 2 | Theorie und Grundlagen | 5 |
| 2.1 | QR-ZVS Aufwärtswandler | 5 |
| 2.2 | Verlustleistungsberechnung | 10 |
| 2.2.1 | Hauptspule und Resonanzspule | 10 |
| 2.2.2 | FET und Gate Treiber | 11 |
| 2.2.3 | Diode | 13 |
| 2.2.4 | Kondensatoren | 16 |
| 2.2.5 | Mikrocontroller und Logik | 19 |
| 2.3 | GaN-FETs | 20 |
| 2.3.1 | Funktionsprinzip und struktureller Aufbau des GaN-FETs | 20 |
| 2.3.2 | Unterschiede Si-MOSFETs und GaN-FETs | 21 |
| 3 | Dimensionierung der Schaltung | 24 |
| 3.1 | Auslegung des Resonanzkondensators C_R und der Resonanzspule L_R | 24 |
| 3.2 | Auslegung des Schalttransistors | 27 |
| 3.3 | Auslegung des Ausgangskondensators | 28 |
| 3.4 | Auslegung der Hauptspule | 28 |
| 3.5 | Auslegung der Diode | 29 |
| 3.6 | Berechnete Verlustleistung der Komponenten | 30 |
| 4 | Simulation | 36 |
| 4.1 | Schaltungssimulation in LTspice | 36 |
| 4.2 | Luftspulensimulation in Ansys | 38 |
| 4.3 | PCB-Spulensimulation in Ansys | 40 |
| 5 | Software | 48 |
| 5.1 | Mikrocontroller | 48 |
| 5.2 | Systemüberblick | 49 |
| 5.3 | PWM-Generator | 50 |
| 5.4 | C-Software | 51 |
| 5.5 | Digitaler PID-Regler | 52 |
| 5.6 | Adaptive Sperrzeitanpassung | 53 |

| | | |
|----------|---|-----------|
| 6 | Prototypendesign und Aufbau | 57 |
| 6.1 | Schaltplan | 57 |
| 6.2 | Layout und Prototyp | 60 |
| 7 | Messungen und Ergebnisse | 62 |
| 7.1 | Strom- und Spannungsverläufe | 62 |
| 7.2 | Optimierung des Wirkungsgrads | 64 |
| 7.3 | Leiterplattenspulen | 67 |
| 7.4 | Thermomessungen | 73 |
| 7.5 | Stabilität der Regelung | 76 |
| 7.6 | Lastsprung | 77 |
| 8 | Fazit | 80 |
| A | PID-Funktion | 92 |
| B | Schaltplan | 94 |

1 Einleitung

Die wachsende Kundenorientierung und zunehmende Individualisierung in der Automobilindustrie führen zu einer breiten Palette von Fahrzeugmodellen und Ausstattungsvarianten. Diese Individualisierung findet auch bei Frontscheinwerfern ihren Ausdruck, unter anderem durch den Einsatz von adaptiven LED-Scheinwerfern [1]. Neben den Grundfunktionen wie Abblendlicht, Fernlicht, Nebellicht und Blinker haben diese Scheinwerfer weitere Funktionen. Diese ermöglichen eine Lichtführung die sich an die Fahr- und Witterungsbedingungen anpasst. Beispiele hierfür sind das Kurvenlicht oder eine variable Lichtverteilung je nach Witterung.

Zur Senkung der Forschungs- und Entwicklungskosten wird ein Steuergerät mit verschiedenen Varianten entwickelt, das in unterschiedlichen Scheinwerfermodellen und Konfigurationen eingesetzt werden kann. Außerdem kann dadurch eine Materialkostenreduzierung durch höhere Produktionsvolumina erreicht werden. Die Modellvielfalt der Scheinwerfer stellt jedoch erhöhte Flexibilitätsanforderungen an die Hardware der Steuergeräte. Diese Flexibilität lässt sich durch ein zweistufiges Wandlerkonzept realisieren [2], allerdings meist unter Einbußen des Wirkungsgrads. Im zweistufigen Wandlerkonzept wird die 12 V Bordnetzspannung zunächst auf eine höhere Zwischenkreisspannung angehoben, typische Werte sind hier 40 V bis 65 V. Der verwendete Wandler arbeitet dabei als Konstantspannungsvariante (CV). In der zweiten Stufe folgt ein Abwärtswandler der die LEDs mit einem konstanten Strom (CC) ansteuert. Durch die hohe Zwischenkreisspannung können LED-Strangkonfigurationen mit mehreren LEDs in Serie versorgt werden. Zudem sorgt das zweistufige Konzept dafür, dass der Abwärtswandler am Zwischenkreis auch bei Einbrüchen der 12 V Bordnetzspannung, beispielsweise beim Kaltstart des Fahrzeugs [3], eine konstante Eingangsspannung erhält.

Diese Arbeit befasst sich mit der Optimierung der ersten Stufe des zweistufigen Wandlerkonzepts. Der CV-Aufwärtswandler wird als quasiresonante (QR) Zero Voltage Switching (ZVS) Variante realisiert. Der Schwerpunkt liegt dabei auf der Steigerung des Wirkungsgrads und der Leistungsdichte sowie der Bauteilreduktion des Wandlers.

1.1 Automotive Anforderungen

Die standardisierte Liefervorschrift (LV) LV124 beschreibt die allgemeinen Anforderungen, Prüfbedingungen und Prüfungen für elektrische und elektronische Komponenten in Kraftfahrzeugen bis 3.5 t [4]. Die elektrischen An-

forderungen durch das 12 V-Fahrzeugenergiebordnetz sind in der LV124 Teil 1 festgelegt, Teil 2 befasst sich mit den Umweltaforderungen einschließlich den mechanischen, klimatischen und chemischen Anforderungen.

Für diese Arbeit sind insbesondere die elektronischen Vorgaben für den Eingangsspannungsbereich und den Temperaturbereich von Interesse. Der statische Spannungsbereich in dem der Prüfling ohne Einschränkungen funktionieren muss liegt für ein 12 V-Boardnetz zwischen 8 V bis 16 V. In den Bereichen darüber (16 V - 18 V) und darunter (6 V - 8 V) muss die Funktion zumindest definiert verfügbar sein. Hierbei ist eine Reduktion der Lichtleistung um bis zu 30 % zulässig. Der breite Eingangsspannungsbereich muss bei der Auslegung der Bauteile berücksichtigt werden. Für die Auslegung der Spannungsfestigkeit wird die maximale Eingangsspannung herangezogen. Die minimale Eingangsspannung ist für die Stromfestigkeit der Bauteile relevant.

Das fertige Steuergerät befindet sich im Motorraum des Fahrzeugs direkt am Scheinwerfer. Die LV124 definiert hierfür einen Temperaturbereich von $-40\text{ }^{\circ}\text{C}$ bis $105\text{ }^{\circ}\text{C}$, als dauerhaften Betriebsbereich, wobei Transienten bis zu $120\text{ }^{\circ}\text{C}$ möglich sind. Diese hohen Umgebungstemperaturen müssen bei der Auslegung der Schaltungskühlung berücksichtigt werden. Der Kühlkörper, der die Verlustwärme des Wandlers abführt, stellt einen beträchtlichen Anteil des Gewichts des Steuergerätes dar. Daher sollte bei der Auslegung des Wandlers darauf geachtet werden, den Wirkungsgrad zu erhöhen und damit die Verluste zu verringern, um das Gewicht des Kühlkörpers zu reduzieren. Grundsätzlich wird im Normalbetrieb ein Wirkungsgrad von über 90 % angestrebt.

1.2 Motivation

Diese Diplomarbeit setzt die Untersuchungen der Arbeit "Automotive Quasi-resonant DC-DC Converter" von Matthias Glanz fort [5]. Dort wurde ein QR-ZVS Aufwärtswandler mit Halbwellenkonfiguration untersucht (Abb. 1). Speziell wurde die Eignung dieser Wandlertopologie für die Anforderungen in Lichtsteuergeräten in Kraftfahrzeugen bezüglich Wirkungsgrad und elektromagnetischer Verträglichkeit (EMV) geprüft. Herr Glanz konnte zeigen, dass der QR-ZVS Betrieb der EMV zuträglich ist.

Für die Regelung wurde ein Typ III Kompensator in analoger Ausführung, sowie analoge Komparatoren für Überstrom- und Überspannungserkennung eingesetzt. Die Ansteuerung des Metalloxid-Halbleiter-Feldeffekttransistors (MOSFET) erfolgte über einen Gatetreiber mit einem Mikrocontroller. Die-

ser erfasste die Ausgangsspannung des analogen Reglers mittels einem analog zu digital Konverter (ADC) und wandelte diese in ein Rechtecksignal mit entsprechender Frequenz um. Es wurde bei Mittenfrequenzen von 200 kHz und 1 MHz getestet. Dabei blieb die Sperrzeit des Rechtecksignals konstant, während die Frequenz variiert wurde. Die gleichbleibende Sperrzeit führt in gewissen Lastfällen dazu, dass der optimale Schaltzeitpunkt verfehlt wird und die ZVS-Bedingung nicht erfüllt ist. Dadurch steigen die Verluste. Des Weiteren wurde gezeigt, dass es bei höheren Frequenzen zu erhöhten Ummagnetisierungsverlusten in der Haupt- und Resonanzspule kommt, welche sich merklich auf den Wirkungsgrad des Wandlers auswirken.

Der Wirkungsgrad soll jetzt in dieser Arbeit bei hohen Frequenzen verbessert und die Leistungsdichte erhöht werden. Die Lösungsansätze dafür werden im nächsten Kapitel vorgestellt.

1.3 Lösungsansatz

Der Betrieb des QR-ZVS Aufwärtswandlers wird unter dem Aspekt der Bauteilreduktion, Erhöhung der Leistungsdichte und Steigerung des Wirkungsgrads im höheren Frequenzbereich von 1 MHz bis 2 MHz untersucht. Dazu werden folgende Optimierungen umgesetzt:

1. Die erhöhte Leistungsdichte soll durch hohe Schaltfrequenzen ≥ 1 MHz erreicht werden. Die höhere Frequenz ermöglicht die Verwendung kleinerer Spulen und Kondensatoren, das führt zu einer Verringerung des Gewichts und Bauraums des Wandlers. Der Wandler wird im sogenannten "constant voltage" CV Modus betrieben. Der ursprünglich dafür eingesetzte analoge Regler wird durch einen digitalen PID-Regler ersetzt, um einerseits weitere Bauteile einzusparen und andererseits mehr Flexibilität zu erreichen.
2. Die Wirkungsgradsteigerung soll mittels folgende Maßnahmen realisiert und auf ihre Effektivität untersucht werden:
 - (a) Im höheren Frequenzbereich steigen die Ummagnetisierungsverluste in der Resonanzspule, deshalb soll diese im ersten Schritt durch eine Luftspule ersetzt werden. Im zweiten Schritt wird die Luftspule durch eine PCB-Spule ersetzt, um auch diese einzusparen. Hierbei muss untersucht werden welche Form und Auslegung der Spule einen guten Wirkungsgrad erzielt. Auch die elektromagnetischen Störungen auf der Leiterplatte müssen untersucht werden.

- (b) Weiters, soll der bisher eingesetzte Si-MOSFET durch einen GaN-FET ersetzt werden. GaN-FETs ermöglichen aufgrund ihrer geringen Kapazitäten schnellere Schaltvorgänge und sind deshalb besser für hohe Frequenzen geeignet. Ein weiterer Vorteil ist der geringe Durchlasswiderstand wodurch die Durchlassverluste verringert werden. Außerdem, weisen GaN-FETs eine höhere Spannungsfestigkeit als Si-MOSFETs mit vergleichbarer Baugröße auf.
- (c) Abschließend gilt es zu untersuchen, wie eine automatische Anpassung der Sperrzeit des FETs den erwarteten Gewinn des Wirkungsgrads bei unterschiedlichen Lastfällen bewirkt. Unterschiedliche Methoden zur Erfassung des idealen Zeitpunktes sollen beleuchtet werden und anhand einer – der Algorithmus zur Bewerksichtigung dieser Aufgabe – entwickelt werden.

2 Theorie und Grundlagen

In diesem Kapitel wird das Funktionsprinzip der Schaltung auf der Grundlage von [6] anhand der vier Betriebszustände erläutert. Anschließend folgt eine Analyse der Verlustleistung in den einzelnen Bauteilen. Abschließend werden die GaN-FETs und ihre Vor- und Nachteile näher betrachtet.

2.1 QR-ZVS Aufwärtswandler

Die Schaltung des QR-ZVS Aufwärtswandlers in Halbwellenkonfiguration ist in Abbildung 1 dargestellt. Die Schaltung eines konventionellen asynchronen Aufwärtswandlers besteht aus Hauptspule L_1 , Transistor T_1 , Diode D_1 , Eingangs- C_{IN} und Ausgangskondensator C_{OUT} . Für den Resonanzbetrieb kommt eine Resonanzspule L_R in Serie zu T_1 und ein Resonanzkondensator parallel zu T_1 hinzu. Die Halbwellenkonfiguration wird durch die Bodydiode des Transistors erreicht. Die angeschlossene Last ist durch den Widerstand R_{OUT} dargestellt.

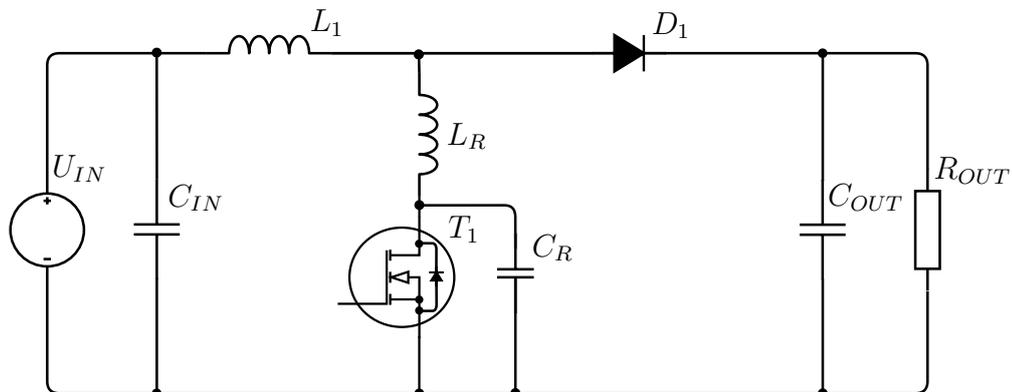


Abbildung 1: Schaltung des QR-ZVS Aufwärtswandlers in Halbwellenkonfiguration [6]

Der QR-ZVS Aufwärtswandler hat im eingeschwungenen Zustand vier Betriebszustände. Zur folgenden theoretischen Analyse dieser Zustände kann die Spannungsquelle U_{IN} mit C_{IN} und L_1 zu einer Konstantstromquelle zusammengefasst werden [7]. Des Weiteren lässt sich die Last R_{OUT} mit C_{OUT} durch eine konstante Spannungsquelle modellieren. Die vereinfachte Grundschaltung des QR-ZVS Aufwärtswandlers ist in Abbildung 2 dargestellt. Der Spannungsverlauf des Resonanzkondensators sowie des Gates des Transistors

und der Stromverlauf der Resonanzspule in den vier Betriebszuständen werden in Abbildung 3 gezeigt.

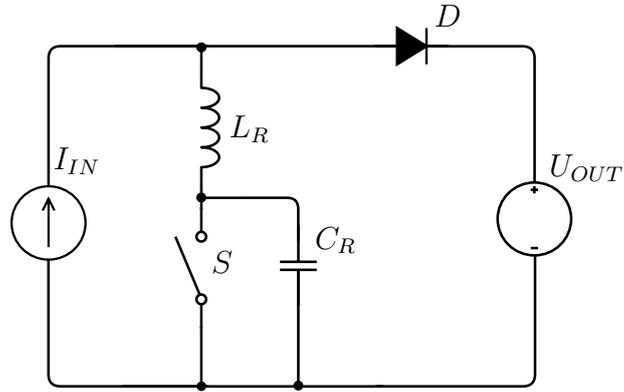


Abbildung 2: Vereinfachte Grundschaltung des QR-ZVS Aufwärtswandlers [7]

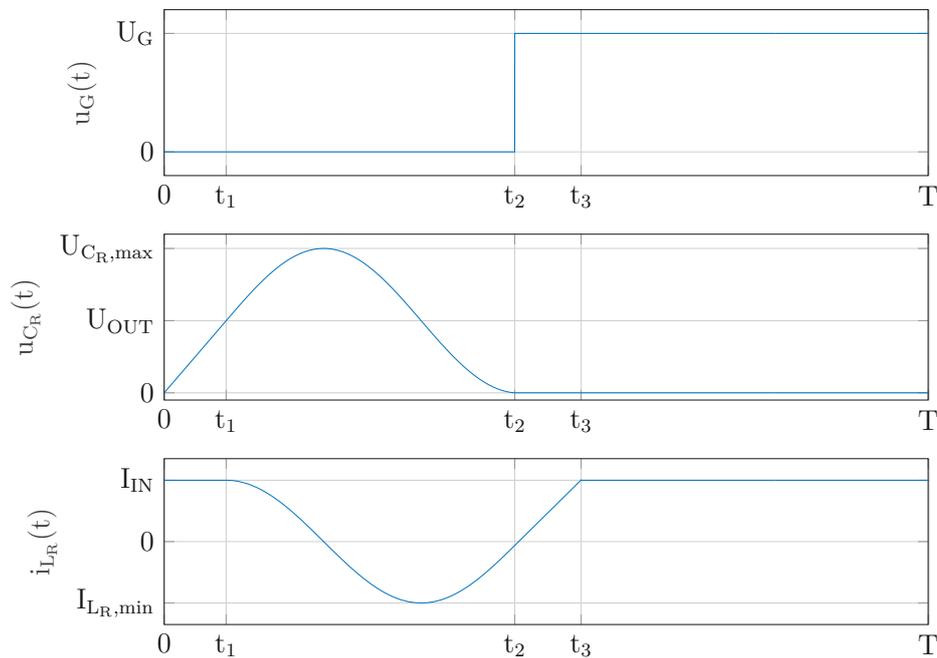


Abbildung 3: Der Spannungsverlauf des Transistorgates $u_G(t)$, Resonanzkondensators $u_{C_R}(t)$ und der Stromverlauf der Resonanzspule $i_{L_R}(t)$ eines QR-ZVS Aufwärtswandlers im eingeschwungenen Zustand [7]

1. Betriebszustand: **Capacitor Charging Mode** ($0 \leq t \leq t_1$) Im ersten Betriebszustand sperren sowohl der Transistor als auch die Diode (Abb. 4a). Der Kondensator wird über die Resonanzspule mit dem Strom

$$I_{IN} = I_{LR} = I_{CR} = C_R \frac{du_{CR}(t)}{dt} \quad (1)$$

geladen. Durch Integration folgt für die Kondensatorspannung

$$u_{CR}(t) = \frac{I_{IN}}{C_R} t . \quad (2)$$

Am Ende dieses Betriebszustandes erreicht die Kondensatorspannung die Ausgangsspannung $u_{CR}(t) = U_{OUT}$. Somit gilt

$$t_1 = \frac{U_{OUT} C_R}{I_{IN}} . \quad (3)$$

Der Spannungsabfall an der Resonanzspule wird aufgrund des konstanten Stroms I_{IN} als null angenommen. Da der Spannungsabfall an der idealen Diode ab dem Zeitpunkt t_1 positiv wird, beginnt diese zu leiten (Abb. 4b) und damit ist der Anfang des zweiten Betriebszustands erreicht.

2. Betriebszustand: **Resonance Mode** ($t_1 \leq t \leq t_2$) Die Anwendung der zweiten Kirchhoff-Regel auf die Masche entlang des Resonanzkondensators, der Resonanzspule und der Spannungsquelle führt zu

$$U_{OUT} = u_{LR}(t) + u_{CR}(t) \quad \text{mit} \quad u_{LR}(t) = L_R \frac{di_{LR}(t)}{dt} . \quad (4)$$

Der Strom durch die Resonanzspule ergibt sich durch das Lösen der Differentialgleichung unter der Berücksichtigung der Randbedingung $i_{LR}(t_1) = I_{IN}$

$$i_{LR}(t) = I_{IN} \cos [\omega_0(t - t_1)] \quad (5)$$

mit der Resonanzkreisfrequenz

$$\omega_0 = \frac{1}{\sqrt{L_R C_R}} . \quad (6)$$

Die Spannung am Resonanzkondensator wird mit den Gleichungen (4), (5) und der Ableitung des Stroms $i_{LR}(t)$ nach der Zeit berechnet

$$u_{CR}(t) = U_{OUT} + Z_0 I_{IN} \sin [\omega_0(t - t_1)] \quad (7)$$

mit Z_0 als die charakteristische Impedanz des Schwingkreises

$$Z_0 = \sqrt{\frac{L_R}{C_R}} . \quad (8)$$

Aus Gleichung (7) lässt sich einerseits die maximale Resonanzkondensatorspannung

$$u_{C_R, \max} = U_{OUT} + Z_0 I_{IN} \quad (9)$$

berechnen und andererseits ergibt sich die ZVS-Bedingung

$$\frac{U_{OUT}}{Z_0 I_{IN}} \leq 1 . \quad (10)$$

Des Weiteren lässt sich aus Gleichung (7) durch Umformen nach der Zeit jener Zeitpunkt t_2 berechnen zu dem die Spannung am Resonanzkondensator zu null wird $u_{C_R}(t_2) = 0$

$$t_2 = t_1 + \frac{1}{\omega_0} \left[\arcsin \left(\frac{U_{OUT}}{Z_0 I_{IN}} \right) + \pi \right] . \quad (11)$$

Jetzt schaltet der Transistor durch und schließt den Resonanzkondensator kurz (Abb. 4c). Das verhindert, dass die Kondensatorspannung in den negativen Bereich schwingt, deshalb die Bezeichnung Halbwellenkonfiguration. Damit beginnt der dritte Betriebszustand.

3. Betriebszustand: **Inductor Charging Mode** ($t_2 \leq t \leq t_3$) Die Anwendung der Maschenregel mit $u_{C_R}(t) = 0$ führt zu

$$U_{OUT} = u_{L_R}(t) = L_R \frac{di_{L_R}(t)}{dt} . \quad (12)$$

Das Lösen der Differentialgleichung nach der Zeit führt zum linearen Stromverlauf $i_{L_R}(t)$ an der Resonanzspule im dritten Betriebszustand. Durch Einsetzen von t_2 in die Gleichung (5) ergibt sich der Anfangswert für den Resonanzspulenstrom, damit folgt:

$$i_{L_R}(t) = I_{IN} \cos [\omega_0(t_2 - t_1)] + \frac{U_{OUT}}{L_R}(t - t_2) . \quad (13)$$

Zum Zeitpunkt t_3 erreicht der Strom der Resonanzspule den Eingangsstrom $i_{L_R}(t_3) = I_{IN}$, das ergibt:

$$t_3 = t_2 + \frac{I_{IN} L_R}{U_{OUT}} \{1 - \cos [\omega_0(t_2 - t_1)]\} . \quad (14)$$

Hiermit ist der dritte Betriebszustand beendet.

4. Betriebszustand: **Freewheeling Mode** ($t_3 \leq t \leq t_4 = T$) Hier sperrt die Diode und der Eingangsstrom fließt über die Resonanzspule und den Transistor $i_{L_R} = I_{IN}$ (Abb. 4d). Der Resonanzkondensator ist immer noch durch den Transistor kurzgeschlossen deshalb gilt weiterhin $u_{C_R} = 0$. Wenn die Periodendauer T erreicht wird ist der Zyklus beendet, der Transistor öffnet und der erste Betriebszustand beginnt erneut.

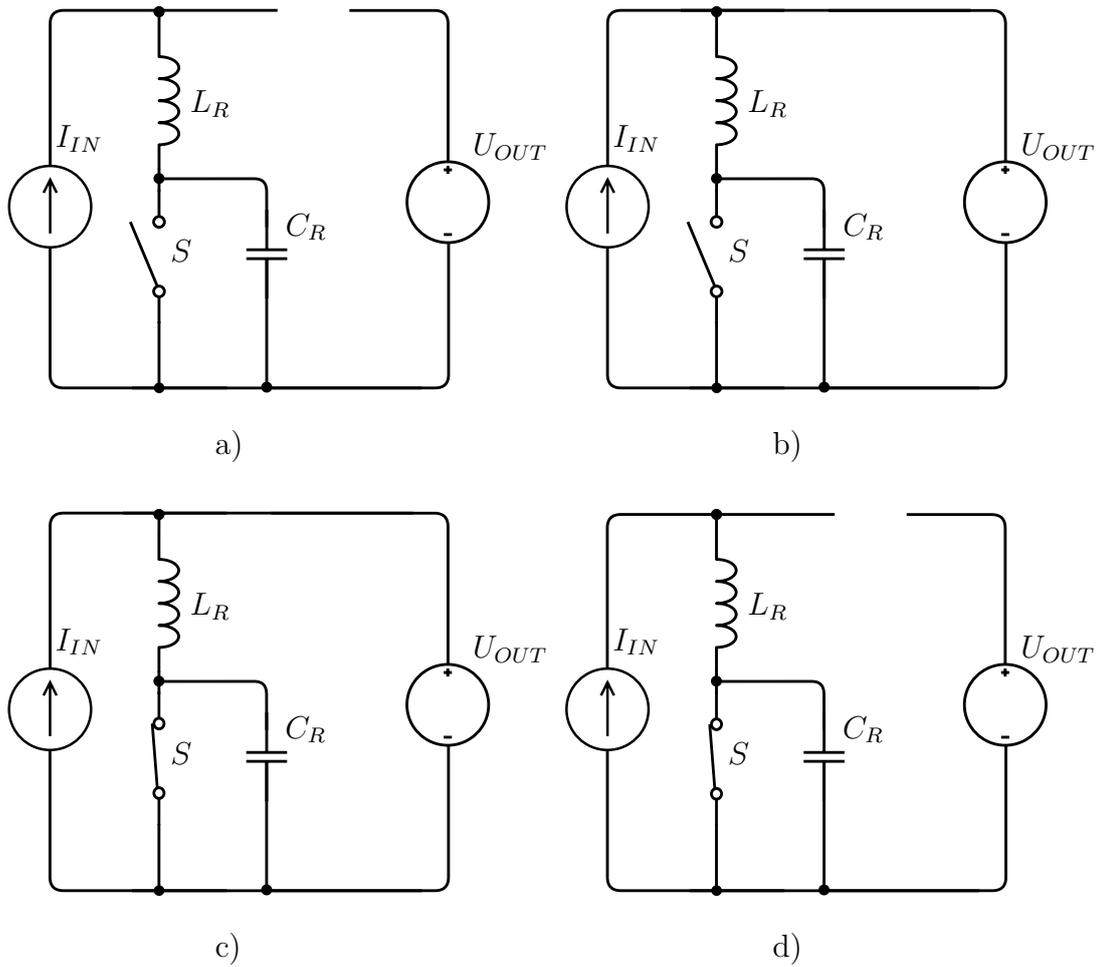


Abbildung 4: Die vier Betriebszustände des QR-ZVS Aufwärtswandlers bestehend aus a) Capacitor Charging Mode, b) Resonance Mode, c) Inductance Charging Mode und d) Free Wheeling Mode [7]

2.2 Verlustleistungsberechnung

Dieser Abschnitt dient zur Beschreibung der Verlustanteile in den einzelnen Bauteilen des QR-ZVS Aufwärtswandlers. Besonders wird darauf eingegangen worauf bei der Auswahl der Bauteile zu achten ist um die Verluste zu minimieren. Außerdem wird auf effiziente Möglichkeiten zur Verlustleistungsbestimmung in der Spule eingegangen, da sich die Ermittlung meist zeitintensiv gestaltet. In Abschnitt 3.6 werden dann diese Verlustanteile für die zuvor ausgewählten Komponenten in einem Lastfall berechnet und die größten Verlustquellen identifiziert.

2.2.1 Hauptspule und Resonanzspule

Die Verluste in einer Spule lassen sich grundsätzlich in zwei Kategorien einteilen [8]. Die erste Kategorie sind die Verluste in den Windungen der Spule. Diese setzen sich aus den Kupfer-Verlusten P_{Cu} und den AC-Verlusten P_{AC} zusammen. Die Kupfer-Verluste entstehen durch den ohmschen Widerstand R_{CU} des Kupfers. Die AC-Verluste hingegen resultieren aus dem Skin-Effekt und dem Proximity-Effekt. Beide Effekte bewirken bei hohen Frequenzen eine Stromverdrängung im Leiter, was zu einer Verringerung des effektiven Leiterquerschnitts und somit zu einem Anstieg des Wirkwiderstands R_{AC} führt. Die zweite Kategorie der Verluste bilden die Kernverluste P_{CORE} . Diese setzen sich aus magnetischen Hystereseverlusten im Kernmaterial und Wirbelstromverlusten zusammen.

Für eine erste Einschätzung der Verlustleistung bei niedrigen Schaltfrequenzen lassen sich die Kupfer-Verluste wie folgt berechnen [9]:

$$P_{CU,(L)} = I_{L,RMS}^2 R_{Cu} . \quad (15)$$

Mit steigenden Frequenzen werden die AC-Verluste dominanter und können daher nicht mehr vernachlässigt werden. Für die Berechnung wird der Wirkwiderstand R_{AC} benötigt. Dieser ist frequenzabhängig und kann falls angegeben einer Grafik im Herstellerdatenblatt entnommen werden. Außerdem besteht die Möglichkeit den R_{AC} mit numerischen Modellen zu berechnen [10]. Allerdings sind die erforderlichen Parameter für die Berechnung in den Datenblättern der Spulen meist unzureichend dokumentiert, wodurch eine exakte Berechnung erschwert wird.

Für die Berechnung der Kernverluste ist ebenfalls ein umfangreiches Vorwissen über die Materialeigenschaften und Feldverteilungen erforderlich, um hinreichend genaue Ergebnisse zu erzielen [11, 8]. Aus diesem Grund bieten

viele große SpulenhHersteller Online-Tools an. Mit diesen Tools kann eine für die jeweilige Anwendung passende Spule ausgewählt und die zu erwartenden Verluste bestimmt werden [12, 13, 14].

Bei einer Luftspule entfallen die Kernverluste und es treten lediglich die Verluste durch die Kupferwindungen der Spule auf. Zur Ermittlung dieser Verluste können Simulationsprogramme mit der sogenannten "Finite Element Methode" (FEM) verwendet werden, die sowohl die Kupfer- als auch die AC-Verluste in den Windungen berücksichtigen. In Kapitel 4 wird diese Simulationsmethode zur Abschätzung der Verluste in der als Luftspule ausgeführten Resonanzspule angewandt.

2.2.2 FET und Gate Treiber

Die Gesamtverlustleistung des FETs, einschließlich der zugehörigen Ansteuerschaltung, setzt sich aus der Durchlassverlustleistung $P_{D,(FET)}$, der Sperrverlustleistung $P_{SP,(FET)}$, der Schaltverlustleistung $P_{SW,(FET)}$, der Leckverlustleistung $P_{GL,(FET)}$ und der Ansteuerungsverlustleistung $P_{GD,(FET)}$ zusammen.

Die Durchlassverlustleistung entsteht im leitenden Zustand des Transistors durch den Durchlasswiderstand $R_{DS(on)}$ und den effektiven Strom der durch den Drain-Source Kanal fließt

$$P_{D,(FET)} = I_{RMS}^2 R_{DS(on)} . \quad (16)$$

Der Effektivwert des Stroms wird mit

$$I_{RMS} = \sqrt{\frac{1}{T} \int_0^T i^2(t) dt} \quad (17)$$

berechnet [15]. In den ersten beiden Betriebszuständen des QR-ZVS Aufwärtswandlers sperrt der Transistor und der Strom ist null. Ab dem Zeitpunkt t_2 beginnt der Transistor zu leiten und der Stromverlauf ist gleich dem Strom durch die Resonanzspule bis der Transistor zum Zeitpunkt T wieder sperrt. Der Stromverlauf ist in Abbildung 5 dargestellt und lässt sich wie folgt beschreiben

$$\begin{aligned}
 t_2 \leq t \leq t_3 : \quad i_{FET}(t) &= i_{LR}(t_2) + I_{IN} \frac{t - t_2}{t_3 - t_2} \\
 t_3 \leq t \leq T : \quad i_{FET}(t) &= I_{IN} .
 \end{aligned} \quad (18)$$

Das Einsetzen in Gleichung (17) ergibt für den Effektivstrom

$$\begin{aligned}
 I_{RMS} &= \sqrt{\frac{1}{T} \left[\int_{t_2}^{t_3} \left(i_{LR}(t_2) + I_{IN} \frac{t - t_2}{t_3 - t_2} \right)^2 dt + \int_{t_3}^T I_{IN}^2 dt \right]} \\
 &= \sqrt{\frac{t_3 - t_2}{T} \left(i_{LR}(t_2)^2 + i_{LR}(t_2) I_{IN} + \frac{I_{IN}^2}{3} \right) + I_{IN}^2 \left(1 - \frac{t_3}{T} \right)}. \quad (19)
 \end{aligned}$$

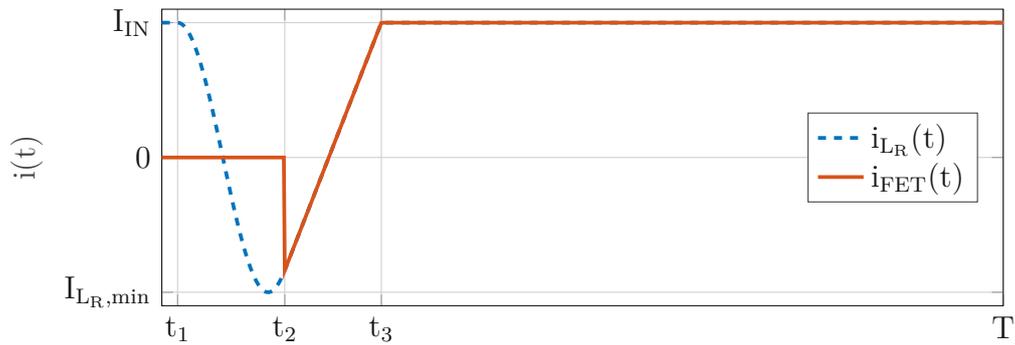


Abbildung 5: Stromverlauf durch die Resonanzspule $i_{LR}(t)$ und den Transistor $i_{FET}(t)$ in den vier Betriebszuständen des QR-ZVS Aufwärtswandlers

Damit ist die Durchlassverlustleistung im Transistor

$$P_{D,(FET)} = \left[\frac{t_3 - t_2}{T} \left(i_{LR}(t_2)^2 + i_{LR}(t_2) I_{IN} + \frac{I_{IN}^2}{3} \right) + I_{IN}^2 \left(1 - \frac{t_3}{T} \right) \right] R_{DS(on)}. \quad (20)$$

Im sperrenden Zustand des Transistors kommt es zu Sperrverlusten, verursacht durch die anliegende Drain-Source Spannung U_{DS} und den Drain-Source Leckstrom $I_{L,DS}$

$$P_{SP,(FET)} = \frac{1}{T} \int_0^{t_{aus}} I_{L,DS} U_{DS} dt. \quad (21)$$

Die Sperrverlustleistung ist für den in dieser Arbeit verwendeten FET aufgrund des niedrigen Leckstroms im sperrenden Zustand im sub-mW Bereich und im Vergleich zu den Gesamtverlusten vernachlässigbar.

Die Schaltverlustleistung tritt beim Ein- bzw. Ausschalten des FETs auf und ist somit direkt proportional zur Schaltfrequenz. Sie entsteht durch die am Transistor anliegende Drain-Source Spannung und dem durch den FET

fließenden Strom während der Ein- und Ausschaltzeit. Bei einem QR-ZVS Aufwärtswandler ist die Drain-Source Spannung während den Schaltzeiten null, wodurch die Schaltverluste vermieden werden.

Im Gate des FETs führt der Gate-Source Leckstrom $I_{L,GS}$ zusammen mit der Gate-Spannung U_G zur Leckverlustleistung

$$P_{GL,(FET)} = \frac{1}{T} \int_0^{t_{ein}} I_{L,GS} U_G dt . \quad (22)$$

Diese ist für den in dieser Arbeit verwendeten FET kleiner als 1 mW und kann somit im Verhältnis zu den Gesamtverlusten vernachlässigt werden.

Die Ansteuerverlustleistung ist direkt proportional zur Frequenz und entsteht einerseits durch die Gate Ladung Q_G

$$P_{GD,(FET)} = \frac{1}{2} Q_G U_G f_{SW} \quad (23)$$

und andererseits durch Verluste in der Gate-Treiberschaltung. Letztere sind meist schwer zu ermitteln da die nötigen Parameter nicht vorliegen. In manchen Gate-Treiber Datenblättern wird jedoch der Stromverbrauch bei verschiedenen Ansteuerfrequenzen angegeben. Alternativ können, nach [16], die Gate-Treiber Verluste als die Hälfte der Verluste zur Folge der Gate Ladung des FETs, abgeschätzt werden. Mit dieser Annäherung ergibt sich für die Berechnung der Ansteuerverlustleistung

$$P_{GD,(FET)} = \frac{3}{4} Q_G U_G f_{SW} . \quad (24)$$

Zusammenfassend sollte ein Transistor mit geringem Durchlasswiderstand $R_{DS(on)}$ und niedriger Gate Ladung Q_G ausgewählt werden, um die Verlustleistung im ZVS-Betrieb zu reduzieren. Allerdings stehen diese beiden Parameter in einem gegensätzlichen Verhältnis zueinander, somit muss bei der Auswahl des FETs ein Kompromiss gefunden werden [17].

2.2.3 Diode

Die Durchlassverlustleistung bildet den Hauptanteil der Gesamtverlustleistung in der Diode und wird wie folgt berechnet:

$$P_{D,(D)} = I_{AVG} U_F + I_{RMS}^2 r_D . \quad (25)$$

Dabei ist I_{AVG} der arithmetische Mittelwert des Diodenstroms, U_F die Durchlassspannung, I_{RMS} der effektive Diodenstrom und r_D der differentielle Widerstand der Diode.

Mit der Knotenregel errechnet sich der Strom durch die Diode mittels der Differenz des Eingangsstroms und des Stroms durch die Resonanzspule. Der Stromverlauf ist in Abbildung 6 dargestellt und kann wie folgt angegeben werden:

$$\begin{aligned}
 t_1 \leq t \leq t_2 : \quad i_D(t) &= I_{IN} \{1 - \cos[\omega_0(t - t_1)]\} \\
 t_2 \leq t \leq t_3 : \quad i_D(t) &= [I_{IN} - i_{LR}(t_2)] \left(1 - \frac{t - t_2}{t_3 - t_2}\right) .
 \end{aligned} \tag{26}$$

Das Einsetzen in Gleichung (17) ergibt den Effektivstrom durch die Diode

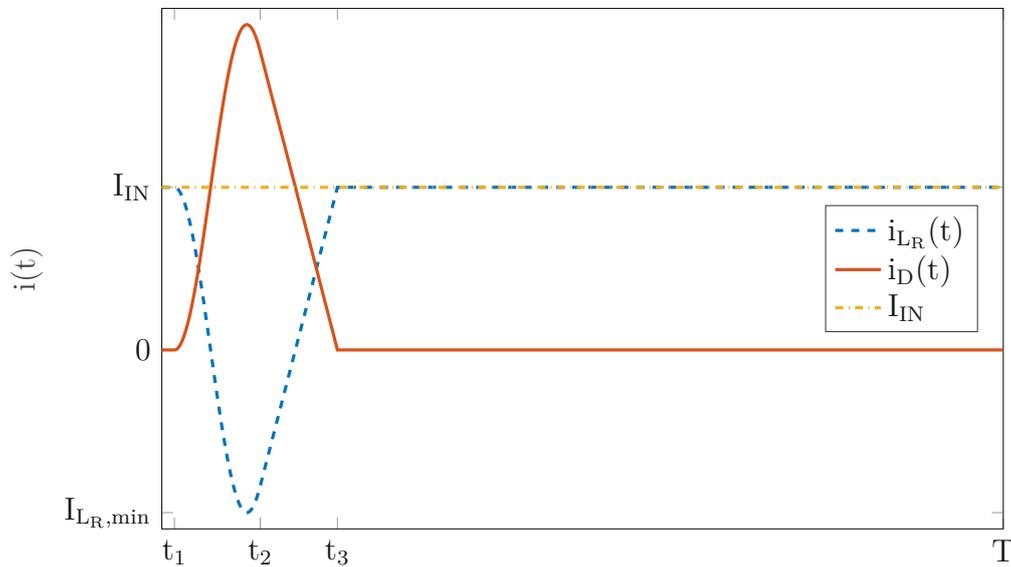


Abbildung 6: Stromverlauf durch die Resonanzspule $i_{LR}(t)$, die Diode $i_D(t)$ und der Eingangsstrom I_{IN} in den vier Betriebszuständen des QR-ZVS Aufwärtswandlers

$$\begin{aligned}
 I_{RMS} &= \left(\frac{1}{T} \int_{t_1}^{t_2} I_{IN}^2 \{1 - \cos[\omega_0(t - t_1)]\}^2 dt \right. \\
 &\quad \left. + \frac{1}{T} \int_{t_2}^{t_3} [I_{IN} - i_{LR}(t_2)]^2 \left(1 - \frac{t - t_2}{t_3 - t_2}\right)^2 dt \right)^{\frac{1}{2}} \\
 &= \left(\frac{I_{IN}^2}{T} \left\{ \frac{3(t_2 - t_1)}{2} - \frac{2}{\omega_0} \sin[\omega_0(t_2 - t_1)] \right\} \right. \\
 &\quad \left. + \frac{I_{IN}^2}{4\omega_0 T} \sin[2\omega_0(t_2 - t_1)] + [I_{IN} - i_{LR}(t_2)]^2 \frac{t_3 - t_2}{3T} \right)^{\frac{1}{2}} .
 \end{aligned} \tag{27}$$

Der arithmetische Mittelwert wird nach [15] berechnet:

$$I_{AVG} = \frac{1}{T} \int_0^T i(t) dt . \quad (28)$$

Mit dem Stromverlauf aus Gleichung (26) ergibt sich der arithmetische Mittelwert des Diodenstroms zu:

$$\begin{aligned} I_{AVG} &= \frac{1}{T} \int_{t_1}^{t_2} I_{IN} \{1 - \cos[\omega_0(t - t_1)]\} dt \\ &+ \frac{1}{T} \int_{t_2}^{t_3} [I_{IN} - i_{LR}(t_2)] \left(1 - \frac{t - t_2}{t_3 - t_2}\right) dt \\ &= \frac{I_{IN}}{T} \left\{ t_2 - t_1 - \frac{1}{\omega_0} \sin[\omega_0(t_2 - t_1)] \right\} \\ &+ \frac{t_3 - t_2}{2T} [I_{IN} - i_{LR}(t_2)] . \end{aligned} \quad (29)$$

Damit ist die Durchlassverlustleistung in der Diode:

$$\begin{aligned} P_{D,(D)} &= \left(\frac{I_{IN}}{T} \left\{ t_2 - t_1 - \frac{1}{\omega_0} \sin[\omega_0(t_2 - t_1)] \right\} \right. \\ &+ \left. \frac{t_3 - t_2}{2T} [I_{IN} - i_{LR}(t_2)] \right) U_F \\ &+ \left(\frac{I_{IN}^2}{T} \left\{ \frac{3(t_2 - t_1)}{2} - \frac{2}{\omega_0} \sin[\omega_0(t_2 - t_1)] \right\} \right. \\ &+ \left. \frac{I_{IN}^2}{4\omega_0 T} \sin[2\omega_0(t_2 - t_1)] + [I_{IN} - i_{LR}(t_2)]^2 \frac{t_3 - t_2}{3T} \right) r_D . \end{aligned} \quad (30)$$

Im sperrenden Zustand entsteht die Sperrverlustleistung $P_{SP,(D)}$ aufgrund des Sperrstroms I_R und der anliegenden Sperrspannung U_{OUT}

$$P_{SP,(D)} = \frac{1}{T} \int_0^{t_{SP}} I_R U_{OUT} dt . \quad (31)$$

Jedoch bewegt sich der Sperrstrom der in dieser Arbeit verwendeten Dioden im zweistelligen μA -Bereich und führt damit höchstens zu Verlusten im unteren einstelligen mW-Bereich. Deshalb bildet die Sperrverlustleistung einen vernachlässigbaren Anteil der Gesamtverluste.

Die Schaltverluste einer Diode werden hauptsächlich durch den Speichereffekt am pn-Übergang verursacht. Um diese zu vermeiden wird eine Schottky Diode verwendet [18]. Allerdings führt die parasitäre Sperrschichtkapazität C_j

zur Umladeverlustleistung $P_{j,(D)}$. Diese Verlustleistung wird über die Energiemenge berechnet, die benötigt wird, um die Sperrschichtkapazität aufzuladen beziehungsweise zu entladen

$$E_{j,(D)} = \frac{1}{2} C_j U_{OUT}^2 . \quad (32)$$

Das Umladen erfolgt zweimal pro Periode jedoch trägt der Entladevorgang zum Stromfluss bei und wird deshalb nicht als Verlust gezählt

$$P_{j,(D)} = \frac{1}{2} C_j U_{OUT}^2 f_{SW} . \quad (33)$$

Somit ist für eine minimale Verlustleistung in der Diode eine geringe Durchlassspannung U_F und Sperrschichtkapazität C_j erforderlich. Zudem ist es vorteilhaft, die Diode in einem Arbeitspunkt zu betreiben, in dem der differentielle Widerstand r_D niedrig ist.

2.2.4 Kondensatoren

In realen Kondensatoren treten Verluste aufgrund von parasitären ohmschen Belägen auf. Das Ersatzschaltbild (Abb. 7) eines realen Kondensators kann durch eine Serienschaltung aus einem äquivalenten Serienwiderstand ESR , einer äquivalenten Serieninduktivität ESL und einem idealen Kondensators C dargestellt werden [9]. Der ESR erfasst die ohmschen Verluste, die sowohl durch die ohmschen Anschlusswiderstände als auch durch Polarisationsverluste im Dielektrikum entstehen. Diese Polarisationsverluste werden durch den periodischen Orientierungswechsel der Dipole im Wechselfeld verursacht, deshalb ist der ESR frequenzabhängig.

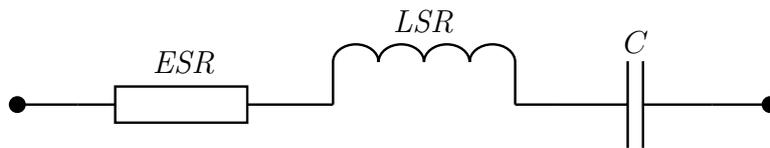


Abbildung 7: Ersatzschaltbild eines realen Kondensators [9]

Bei Frequenzen weit unterhalb der Eigenresonanzfrequenz des Kondensators kann die ESL vernachlässigt werden. Für höhere Frequenzen treten die induktiven Eigenschaften der Anschlüsse in den Vordergrund, die durch die ESL berücksichtigt werden. Diese Induktivität wirkt der Kapazität des Kondensators entgegen, wodurch die Kapazität mit steigender Frequenz abnimmt.

Oberhalb der Eigenresonanzfrequenz zeigt der Kondensator überwiegend induktives Verhalten [19].

Die Verlustleistung des Kondensators wird mit dem Effektivstrom berechnet

$$P_{V,(C)} = I_{RMS}^2 ESR . \quad (34)$$

Der ESR kann den Diagrammen der Datenblätter bei der entsprechenden Schaltfrequenz f_{SW} entnommen werden. In manchen Datenblättern ist der Verlustfaktor $\tan(\delta)$ des Kondensators angegeben. Aus diesem lässt sich der ESR dann wie folgt berechnen [9]:

$$ESR = \frac{\tan(\delta)}{2\pi f_{SW} C} . \quad (35)$$

Bei der Auswahl des Kondensators ist somit auf einen niedrigen äquivalenten Serienwiderstand ESR im Bereich der Schaltfrequenz zu achten, um die Verlustleistung zu reduzieren.

Resonanzkondensator

Der Stromverlauf im Resonanzkondensator während eines Zyklus ist in Abbildung 8 dargestellt und wird wie folgt beschrieben:

$$\begin{aligned} 0 \leq t \leq t_1 : \quad i_{C_R}(t) &= I_{IN} \\ t_1 \leq t \leq t_2 : \quad i_{C_R}(t) &= I_{IN} \cos[\omega_0(t - t_1)] . \end{aligned} \quad (36)$$

Für die Abschätzung der Verlustleistung wird der Effektivwert des Stroms durch Einsetzen von Gleichung (36) in (17) berechnet

$$\begin{aligned} I_{RMS} &= \sqrt{\frac{1}{T} \left(\int_0^{t_1} I_{IN}^2 dt + \int_{t_1}^{t_2} \{I_{IN} \cos[\omega_0(t - t_1)]\}^2 dt \right)} \\ &= \sqrt{\frac{I_{IN}^2}{T} \left\{ t_1 + \frac{1}{2}(t_2 - t_1) + \frac{1}{4\omega_0} \sin[2\omega_0(t_2 - t_1)] \right\}} . \end{aligned} \quad (37)$$

Das Einsetzen in Gleichung (34) ergibt die Verlustleistung im Resonanzkondensator

$$P_{V,(C_R)} = \frac{I_{IN}^2}{T} \left\{ t_1 + \frac{1}{2}(t_2 - t_1) + \frac{1}{4\omega_0} \sin[2\omega_0(t_2 - t_1)] \right\} ESR_{C_R} . \quad (38)$$

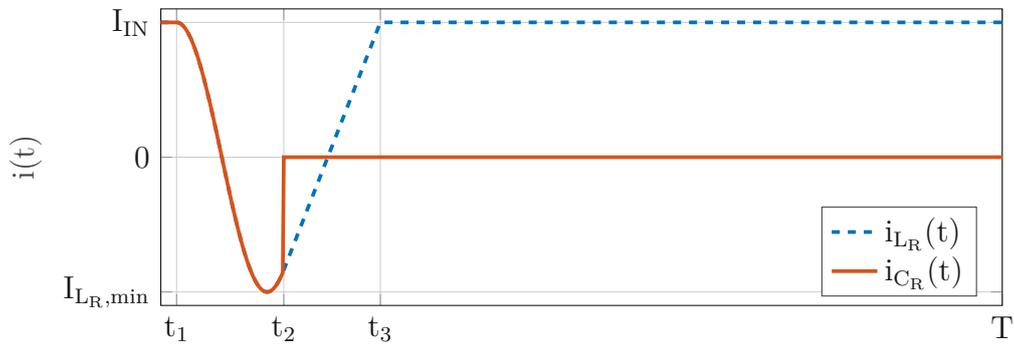


Abbildung 8: Stromverlauf durch die Resonanzspule $i_{L_R}(t)$ und den Resonanzkondensator $i_{C_R}(t)$ in den vier Betriebszuständen des QR-ZVS Aufwärtswandlers

Ausgangskondensator

Der Strom durch den Ausgangskondensator entspricht dem Strom durch die Diode abzüglich des Ausgangsstroms. Der Stromverlauf ist in Abbildung 9 dargestellt und lässt sich wie folgt beschreiben:

$$\begin{aligned}
 0 \leq t \leq t_1 : \quad & i_{C_{OUT}}(t) = -I_{OUT} \\
 t_1 \leq t \leq t_2 : \quad & i_{C_{OUT}}(t) = I_{IN} \left\{ 1 - \frac{1}{M} - \cos[\omega_0(t - t_1)] \right\} \\
 t_2 \leq t \leq t_3 : \quad & i_{C_{OUT}}(t) = [I_{IN} - i_{L_R}(t_2)] \left(1 - \frac{t - t_2}{t_3 - t_2} \right) - I_{OUT} \\
 t_3 \leq t \leq T : \quad & i_{C_{OUT}}(t) = -I_{OUT}
 \end{aligned} \tag{39}$$

Der Effektivstrom wird durch Einsetzen des Stromverlaufs in Gleichung (17)

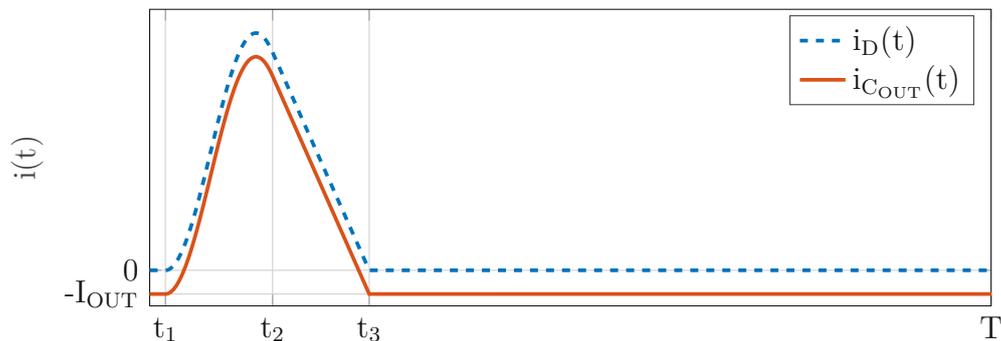


Abbildung 9: Stromverlauf durch die Diode $i_D(t)$ und den Ausgangskondensator $i_{C_{OUT}}(t)$ in den vier Betriebszuständen des QR-ZVS Aufwärtswandlers

bestimmt

$$\begin{aligned}
 I_{RMS} &= \left[\frac{1}{T} \left(\int_0^{t_1} I_{OUT}^2 dt + \int_{t_1}^{t_2} I_{IN}^2 \left\{ 1 - \frac{1}{M} - \cos[\omega_0(t - t_1)] \right\}^2 dt \right. \right. \\
 &\quad \left. \left. + \int_{t_2}^{t_3} \left\{ [I_{IN} - i_{LR}(t_2)] \left(1 - \frac{t - t_2}{t_3 - t_2} \right) - I_{OUT} \right\}^2 dt + \int_{t_3}^T I_{OUT}^2 dt \right) \right]^{\frac{1}{2}} \\
 &= \left(\frac{I_{OUT}^2}{T} (t_1 + T - t_3) + \frac{I_{IN}^2}{T} \left\{ \left[\left(1 - \frac{1}{M} \right)^2 + \frac{1}{2} \right] (t_2 - t_1) \right. \right. \\
 &\quad \left. \left. - \frac{2}{\omega_0} \left(1 - \frac{1}{M} \right) \sin[\omega_0(t_2 - t_1)] + \frac{1}{4\omega_0} \sin[2\omega_0(t_2 - t_1)] \right\} \right. \\
 &\quad \left. + \frac{t_3 - t_2}{T} \left\{ \frac{1}{3} [I_{IN} - i_{LR}(t_2)]^2 - I_{OUT} [I_{IN} - i_{LR}(t_2)] + I_{OUT}^2 \right\} \right)^{\frac{1}{2}} .
 \end{aligned} \tag{40}$$

Damit ergibt sich die Verlustleistung im Ausgangskondensator

$$\begin{aligned}
 P_{V,(C_{OUT})} &= \left(\frac{I_{OUT}^2}{T} (t_1 + T - t_3) + \frac{I_{IN}^2}{T} \left\{ \left[\left(1 - \frac{1}{M} \right)^2 + \frac{1}{2} \right] (t_2 - t_1) \right. \right. \\
 &\quad \left. \left. - \frac{2}{\omega_0} \left(1 - \frac{1}{M} \right) \sin[\omega_0(t_2 - t_1)] + \frac{1}{4\omega_0} \sin[2\omega_0(t_2 - t_1)] \right\} \right. \\
 &\quad \left. + \frac{t_3 - t_2}{T} \left\{ \frac{1}{3} [I_{IN} - i_{LR}(t_2)]^2 - I_{OUT} [I_{IN} - i_{LR}(t_2)] + I_{OUT}^2 \right\} \right) ESR_{C_{OUT}} .
 \end{aligned} \tag{41}$$

2.2.5 Mikrocontroller und Logik

Der Mikrocontroller trägt ebenfalls zu den Gesamtverlusten bei. Die Stromaufnahme variiert je nachdem welche Funktionsblöcke aktiv sind. Die auftretende Verlustleistung ist nicht lastabhängig und fällt dadurch bei niedrigen Lasten stärker ins Gewicht. Die Leistungsaufnahme ist

$$P_{V,(\mu C)} = I_{\mu C} U_{\mu C} \tag{42}$$

mit $U_{\mu C}$ als die Versorgungsspannung des Mikrocontrollers und $I_{\mu C}$ als seine Stromaufnahme.

Die Stromaufnahme und damit die Verlustleistung des Mikrocontrollers kann durch Minimierung der aktiven Funktionsblöcke verringert werden.

Zusätzlich treten in der Versorgungsschaltung, die die Eingangsspannung U_{IN} auf die Versorgungsspannung für den Mikrocontroller und weitere "Logik"-Teile wandelt, Verluste auf. Diese Versorgungsschaltung ist für den Prototypen in dieser Arbeit nicht auf Verlustleistung optimiert und somit für den individuellen Anwendungsfall noch nicht aussagekräftig; daher werden diese Verluste hier nicht berücksichtigt.

2.3 GaN-FETs

Seit etwa einem halben Jahrhundert dominiert der Silizium-Metalloxid Halbleiter Feldeffekttransistor (Si-MOSFET) den Bereich der Leistungselektronik in Schaltanwendungen. Im Vergleich dazu sind Galliumnitrid (GaN)-FETs relativ jung. Die Firma Nitronex präsentierte 2005 den ersten auf einem Siliziumwafer gewachsenen GaN-FET für Hochfrequenzanwendungen. Es handelte sich dabei um einen Verarmungstyp der selbstleitend ist und eine negative Gate-Source-Spannung zum Sperren benötigt. Das verhinderte zunächst die Verbreitung von GaN-FETs über den Hochfrequenz-Anwendungsbereich hinaus. Im Jahr 2009 stellte das Unternehmen Efficient Power Conversion (EPC) den ersten Anreicherungstyp GaN-FET auf Silizium vor, den sogenannten enhancement-mode GaN (eGaN[®])-FET. Dieser ist selbstsperrend und wird durch das Anlegen einer positiven Gate-Source-Spannung leitend. Dadurch konnte der Anwendungsbereich erweitert werden. Weiters, bietet die Verwendung eines Siliziumwafers als Substrat für den GaN-FET bei der Herstellung einen entscheidenden Vorteil. Es ermöglicht eine kostengünstige Herstellung unter Verwendung von bereits existierenden Standard-Silizium-Produktionsverfahren und -anlagen [20].

2.3.1 Funktionsprinzip und struktureller Aufbau des GaN-FETs

GaN kristallisiert in einer sogenannten Wurtzit-Struktur [20], eine hexagonale Struktur, die dem Material seine chemische Stabilität, mechanische Robustheit, hohe Temperaturfestigkeit und piezoelektrischen Eigenschaften verleiht. Die Piezoelektrizität entsteht durch das fehlende Symmetriezentrum der Gitterstruktur [21], wodurch geladene Atome bei mechanischer Deformation zueinander leicht verschoben werden und eine elektrische Polarisierung entsteht. Diese Deformation wird in Form einer mechanischen Dehnung an der Grenzschicht durch das Aufwachsen einer dünnen AlGaN-Schicht auf dem GaN-Kristall erreicht. Diese führt zu einer Polarisierung in Form eines kompensierenden zweidimensionalen Elektronengases (2DEG). Das 2DEG bildet die Grundlage für den "high electron mobility transistor" (HEMT) und besteht aus einer starken Konzentration hoch beweglicher Elektronen. Dadurch

kann eine höhere elektrische Leitfähigkeit im Vergleich zu Si-MOSFETs erreicht werden.

Die grundlegende Struktur eines HEMT eGaN-FETs ist in Abbildung 10 dargestellt. Auf dem Siliziumwafer befindet sich eine Pufferschicht aus Aluminiumnitrid, darauf folgt die Galliumnitrid Schicht, die zusammen mit der darüber liegenden Aluminiumgalliumnitrid-Schicht den eigentlichen GaN-FET bildet. Links und rechts befinden sich die Source und Drain Kontakte. Auf der AlGaN-Schicht befindet sich das sogenannte Anreicherungsgate (e-mode gate), welches das darunterliegende 2DEG verdrängt (gelbe strichlierte Linie). Bei Anlegen einer positiven Spannung zwischen Gate und Source werden die Elektronen zur Kontaktfläche zwischen GaN und AlGaN unter das Gate gezogen, wodurch der 2DEG Kanal wieder hergestellt wird. Ist diese Spannung größer als die Schwellenspannung U_{th} , leitet der Transistor.

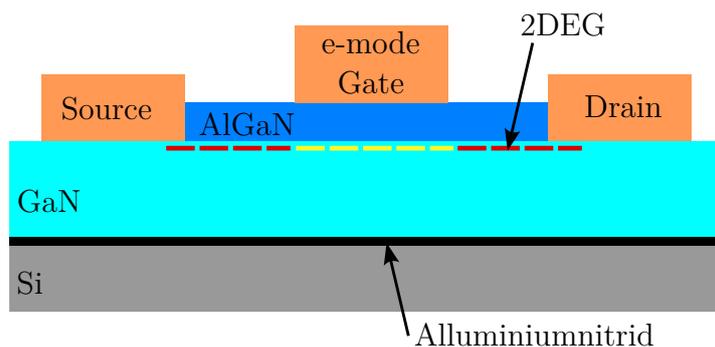


Abbildung 10: Die prinzipielle Struktur eines eGaN-FETs. [20]

2.3.2 Unterschiede Si-MOSFETs und GaN-FETs

In diesem Unterkapitel werden die grundlegenden Unterschiede zwischen Silizium-MOSFETs und Galliumnitrid-FETs erläutert. Es wird insbesondere auf die Unterschiede der relevanten elektrischen Eigenschaften der beiden Materialien eingegangen und ihre Vor- und Nachteile werden dargestellt.

Leitung in Sperrrichtung

Ein besonderes Merkmal des GaN-FETs ist das Fehlen der intrinsischen Body-Diode und des parasitären Bipolartransistors [22], wie sie bei Si-MOSFETs aufgrund der pn-Übergänge vorkommen. Dies bietet den Vorteil, dass

es beim Umschalten zu keiner Sperrverzögerungszeit t_{rr} kommt und es keine Verluste durch die, bei pn-Übergängen auftretende Sperrverzögerungsladung Q_{rr} gibt. Der Betrieb in Sperrrichtung ist aufgrund des symmetrischen Aufbaus des GaN-FETs aber dennoch möglich. Hierfür wird eine Spannung zwischen Gate und Drain U_{GD} angelegt, die größer als die Schwellenspannung U_{th} ist. Dies führt zur Ansammlung von Elektronen unter dem Gate und der 2DEG Kanal beginnt zu leiten. Das bedeutet, dass im Vergleich zu Si-MOSFETs eine größere Spannung benötigt wird damit der GaN-FET in Sperrrichtung zu leiten beginnt.

Ein Nachteil besteht darin, dass GaN-FETs empfindlicher gegenüber zu hohen Gate Spannungen sind. Daher muss mit einem passenden Gate-Treiber sichergestellt werden, dass die Gate-Spannung des GaN-FETs stets unter dem zulässigen Grenzwert bleibt.

Vergleich elektrischer Materialeigenschaften von Si und GaN

Tabelle 1 zeigt einige relevante elektrische Materialeigenschaften von Si und GaN.

| Parameter | Symbol | Einheit | Si | GaN |
|--------------------------|--------------|---------------------|------|----------------|
| Kritische Feldstärke | E_{krit} | MV/cm | 0,23 | 3,3 |
| Bandlücke | E_g | eV | 1,12 | 3,39 |
| Elektronen Beweglichkeit | μ_n | cm ² /Vs | 1400 | 1700 (im 2DEG) |
| Dielektrizitätszahl | ϵ_r | — | 11,8 | 9,0 |

Tabelle 1: Vergleich einiger elektrischer Materialeigenschaften von Silizium (Si) und Galliumnitrid (GaN) [23]

Die höhere kritische Feldstärke E_{krit} bei Galliumnitrid ermöglicht die Reduktion der Materialbreite bei gleichbleibender Sperrspannungsfestigkeit. Dadurch sind kleinere Bauformen als bei Si-MOSFETs möglich und die parasitären Kapazitäten werden reduziert. Bei Schaltwandlern führt das zu einer Reduktion der Schaltverluste und ermöglicht eine Erhöhung der Schaltfrequenz. Dies wiederum ermöglicht die Verwendung kleinerer passiver Bauelemente und eine Erhöhung der Leistungsdichte des Wandlers. Die größere Bandlücke E_g führt unter anderem zu niedrigeren intrinsischen Leckströmen und erlaubt den Betrieb bei höheren Temperaturen. Die hohe Elektronen Beweglichkeit μ_n des 2DEG liefert bei gleichbleibender Sperrspannungsfes-

tigkeit einen kleineren Leitungswiderstand $R_{DS(on)}$ als ein Si-MOSFET mit gleicher Geometrie.

3 Dimensionierung der Schaltung

In diesem Kapitel wird die Auslegung der einzelnen Bauelemente des QR-ZVS Aufwärtswandlers detailliert beschrieben. Die Dimensionierung des Resonanzkondensators C_R und der Resonanzspule L_R basiert auf der Auslegung nach [6]. Anschließend werden der Schalttransistor, die Ausgangskapazität, die Hauptspule und die Freilaufdiode dimensioniert. Dabei werden die Schlussfolgerungen bezüglich der Verlustleistungsminimierung aus Kapitel 2.2 mit berücksichtigt.

Für die folgenden Berechnungen wird für die Ausgangsspannung $U_{OUT} = 50 \text{ V}$ mit einer Welligkeit von 0,2 % gewählt. Die maximale Ausgangsleistung $P_{OUT,max}$ ist auf 50 W festgelegt. Die Eingangsspannung U_{IN} wird mit 10 V angenommen und der Wandler soll mit einer Schaltfrequenz f_{SW} von 1 MHz im kontinuierlichen Betrieb arbeiten. Für die Dimensionierung von C_R und L_R wird eine minimale Ausgangsleistung $P_{OUT,min}$ von 25 W angesetzt.

3.1 Auslegung des Resonanzkondensators C_R und der Resonanzspule L_R

Mittels der Eingangsspannung und der Ausgangsspannung lässt sich die Gleichspannungsverstärkung M_{DC} wie folgt berechnen:

$$M_{DC} = \frac{U_{OUT}}{U_{IN}} = \frac{50 \text{ V}}{10 \text{ V}} = 5 . \quad (43)$$

Die normierte Schaltfrequenz $A = f_s/f_0$ steht mit M_{DC} über folgende Gleichung in Beziehung

$$A = \frac{2\pi}{M_{DC} \left\{ \pi + \frac{Q}{2M_{DC}} + \arccos \sqrt{1 - \left(\frac{Q}{M_{DC}}\right)^2} + \frac{Q}{M_{DC}} \left[1 + \sqrt{1 - \left(\frac{Q}{M_{DC}}\right)^2} \right] \right\}} \quad (44)$$

wobei Q der Leistungsfaktor ist. Abbildung 11 zeigt den Zusammenhang zwischen der normierten Schaltfrequenz A und dem Leistungsfaktor Q für verschiedene Gleichspannungsverstärkungen M_{DC} . Aus der Abbildung ist ersichtlich, dass der maximale Leistungsfaktor der Gleichspannungsverstärkung $Q_{max} = M_{DC}$ entspricht.

Mit der Gleichung

$$Q = \frac{R_L}{\omega_0 L_R} = \omega_0 C_R R_L = \frac{R_L}{\sqrt{L_R/C_R}} \quad (45)$$

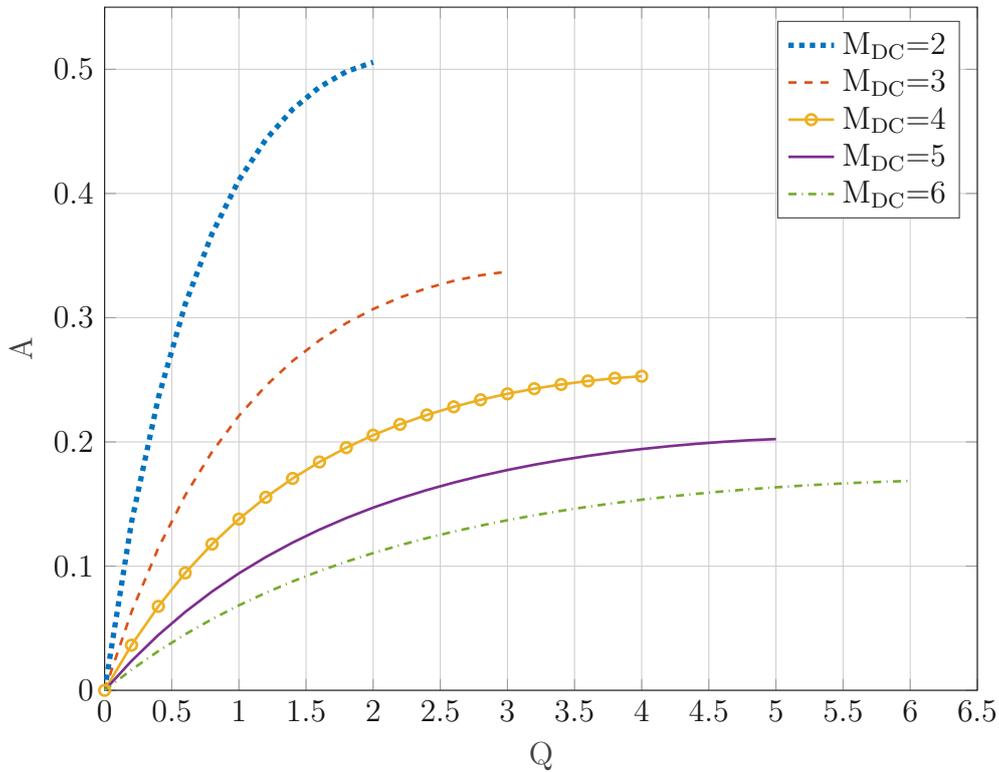


Abbildung 11: Der Zusammenhang zwischen der normierten Schaltfrequenz A und dem Leistungsfaktor Q für verschiedene Gleichspannungsverstärkungen M_{DC} [6]

zusammen mit dem minimalen und maximalen Lastwiderstand

$$R_{L,min} = \frac{U_{OUT}^2}{P_{OUT,max}} = \frac{(50 \text{ V})^2}{50 \text{ W}} = 50 \text{ } \Omega \quad (46)$$

und

$$R_{L,max} = \frac{U_{OUT}^2}{P_{OUT,min}} = \frac{(50 \text{ V})^2}{25 \text{ W}} = 100 \text{ } \Omega \quad (47)$$

wird der minimale Leistungsfaktor

$$Q_{min} = \frac{R_{L,min}}{R_{L,max}} Q_{max} = \frac{50 \text{ } \Omega}{100 \text{ } \Omega} \cdot 5 = 2,5 \quad (48)$$

berechnet. Durch Einsetzen von Q_{min} in Gleichung (44) kann die minimale normierte Schaltfrequenz $A_{min} = 0,1643$ bestimmt werden. Damit wird,

zusammen mit der oben angenommenen Schaltfrequenz f_{SW} , die Resonanzfrequenz

$$f_0 = \frac{f_{SW}}{A_{\min}} = \frac{1 \text{ MHz}}{0,1643} = 6,086 \text{ MHz} \quad (49)$$

ermittelt. Abschließend wird der Resonanzkondensator C_R und die Resonanzspule L_R mit $\omega_0 = 2\pi f_0$ durch Umformen der Gleichung (45) berechnet:

$$C_R = \frac{Q_{\min}}{\omega_0 R_{L,\min}} = \frac{2,5}{2\pi \cdot 6,086 \text{ MHz} \cdot 50 \Omega} = 1,3 \text{ nF} \quad (50)$$

$$L_R = \frac{R_{L,\min}}{\omega_0 Q_{\min}} = \frac{50 \Omega}{2\pi \cdot 6,086 \text{ MHz} \cdot 2,5} = 523 \text{ nH} . \quad (51)$$

Für den Resonanzkondensator fällt die Wahl auf den 1.5 nF X7R Keramik Kondensator GRM32A7U2J152JW31 von Murata mit einer Toleranz von $\pm 10\%$, einem ESR von 13 m Ω bei einer Frequenz von 1 MHz und einer Nennspannung von 630 V ausgewählt [24]. Im zweiten Betriebszustand kann am Kondensator eine Spannung von bis zu 150 V (Gl. 53) auftreten. Die Nennspannung des Kondensators wird bewusst höher gewählt, um Schwankungen der spannungsabhängigen Kapazität und damit der Resonanzfrequenz des Wandlers zu minimieren.

| Parameter | IHLP, [25] | IHLM, [26] | Luft, [27] |
|---|----------------|----------------|------------|
| Bezeichnung | IHLP-2020BZ-11 | IHLM-2525CZ-01 | 2929SQ-501 |
| Induktivität, (nH) | 470 | 470 | 500 |
| Hersteller | Vishay | Vishay | Coilcraft |
| Maße, (mm) | 5,2x5,2x2,0 | 6,5x5,9x3,0 | 14x7,5x7,2 |
| R_{DC}, (mΩ) | 7,1 | 4,0 | 16,5 |
| I_{SAT}, (A) | 8 | 26 | – |

Tabelle 2: Parameter der Resonanzspulen

Für die Resonanzspule werden drei verschiedene Spulen hinsichtlich ihrer Verluste in Kapitel 7.2 miteinander verglichen. Tabelle 2 zeigt die Parameter dieser drei Spulen. Es werden zwei Spulen von Vishay und eine von Coilcraft gegenübergestellt. Die erste Spule von Vishay (IHLP-2020BZ-11) wird aufgrund ihrer kompakten Baugröße ausgewählt. Bei der zweiten Spule (IHLM-2525CZ-01) handelt es sich um eine Spule mit einem Metall-Verbundkern,

die speziell für höhere Frequenzen gut geeignet ist und einen niedrigen DCR aufweist. Die Spule von Coilcraft ist eine Luftspule (2929SQ-501), wodurch Kernverluste vollständig vermieden werden. Allerdings erfordert die Luftspule größere Abmessungen, um die gewünschte Induktivität zu erreichen.

3.2 Auslegung des Schalttransistors

Für die Anwendung in dieser Arbeit ist unter anderem die maximale Drain-Source Spannung entscheidend für die Auswahl des Transistors. Diese Spannung erreicht während dem Resonance-Mode gemäß Gleichung (9) aus Abschnitt 2.1 ihr Maximum. Für die Berechnung wird der maximale Eingangsstrom benötigt, der sich laut [6] mithilfe der Gleichspannungsverstärkung M_{DC} und des maximalen Ausgangsstrom $I_{OUT,max}$ berechnen lässt:

$$I_{IN,max} = M_{DC} I_{OUT,max} = M_{DC} \frac{U_{OUT}}{R_{L,min}} = 5 \cdot \frac{50 \text{ V}}{50 \Omega} = 5 \text{ A} . \quad (52)$$

Somit ist die maximale Drain-Source Spannung am FET

$$U_{DS,max} = U_{OUT} + \sqrt{\frac{L_R}{C_R}} I_{IN,max} = 50 \text{ V} + \sqrt{\frac{523 \text{ nH}}{1,3 \text{ nF}}} \cdot 5 \text{ A} = 150 \text{ V} . \quad (53)$$

Der maximale Strom $I_{D,max}$, der durch den Transistor fließt entspricht dem maximalen Eingangsstrom $I_{IN,max} = I_{D,max} = 5 \text{ A}$.

Ein weiteres Auswahlkriterium ist die Ausgangskapazität des Transistors C_{OSS} . Diese sollte gering sein, weil sie parallel zum Resonanzkondensator liegt und somit die Resonanzfrequenz und die ZVS-Bedingung (Gl. 10) beeinflusst.

Zudem ist wie in Kapitel 2.2 beschrieben, ein niedriger Durchlasswiderstand $R_{DS(on)}$ wünschenswert, um die Durchlassverluste zu minimieren. Allerdings steht dieser Parameter in einem gegensätzlichen Verhältnis zur Gateladung Q_G [17].

Als Kompromisslösung eignet sich der GaN-FET EPC2034 von EPC mit einer maximalen Drain-Source Spannung von $U_{DS,max} = 200 \text{ V}$, einem maximalen Strom $I_{D,max} = 48 \text{ A}$, einer typischen Ausgangskapazität von $C_{OSS} = 450 \text{ pF}$, einem $R_{DS(on),typ} = 7 \text{ m}\Omega$ und einer Gateladung von $Q_{G,typ} = 8,8 \text{ nC}$ [28].

Für die Ansteuerung des Transistors wird der speziell für GaN-FETs geeignete Gate Treiber 1EDN7116U EiceDRIVER™ von Infineon eingesetzt.

Dieser verfügt über eine geringe Baugröße mit 1,8 x 1,8 mm und kann einen Strom von bis zu 2 A an das Gate des GaN-FETs liefern beziehungsweise vom Gate aufnehmen [29].

3.3 Auslegung des Ausgangskondensators

Einer der Hauptzwecke des Ausgangskondensators besteht darin, die Ausgangsspannung des Schaltwandlers zu glätten. Daher muss der Kondensator ausreichend bemessen werden, um die oben angenommene Welligkeit von 0,2 % sicherzustellen. Für die Ausgangsspannung von 50 V ergibt sich der maximal zulässige Spannungsripple am Ausgang von

$$\Delta U_{OUT} = U_{OUT} \cdot 0,2 \% = 50 \text{ V} \cdot 0,002 = 100 \text{ mV} . \quad (54)$$

Zudem muss der Ausgangskondensator in der Lage sein, während der Sperrphase der Diode den maximalen Ausgangsstrom zu liefern, ohne dass die Ausgangsspannung deutlich abfällt. Dies ist entscheidend, um die Laststabilität und die Reaktion auf Laständerungen sicherzustellen. Die Sperrzeit der Diode t_{SP} wird mit dem Tastverhältnis D und der oben angenommenen Schaltfrequenz f_{SW} berechnet

$$t_{SP} = \frac{D}{f_{SW}} = \left(1 - \frac{U_{IN}}{U_{OUT}}\right) \frac{1}{f_{SW}} = \left(1 - \frac{10 \text{ V}}{50 \text{ V}}\right) \frac{1}{1 \text{ MHz}} = 0,8 \text{ } \mu\text{s} . \quad (55)$$

Ausgehend von der Gleichung $I_C = C \cdot dU/dt$, ergibt sich durch Integration über die Sperrzeit t_{SP} , Umformen nach C und Einsetzen der Ripple-Spannung, sowie des maximalen Ausgangsstroms $I_{OUT,max} = U_{OUT}/R_{L,min}$, die minimal erforderliche Ausgangskapazität

$$C_{out,min} = \frac{U_{OUT} t_{SP}}{R_{L,min} \Delta U_{OUT}} = \frac{50 \text{ V} \cdot 0,8 \text{ } \mu\text{s}}{50 \text{ } \Omega \cdot 100 \text{ mV}} = 8 \text{ } \mu\text{F} . \quad (56)$$

Die Ausgangskapazität wird mit vier 2,2 μF GCJ31CC72A225KE01 Kondensatoren von Murata mit einer Nennspannung von 100 V und einem ESR von 7 m Ω bei einer Frequenz von 1 MHz umgesetzt [30].

3.4 Auslegung der Hauptspule

Die Induktivität der Hauptspule muss ausreichend dimensioniert sein, damit der Aufwärtswandler in jedem Arbeitspunkt im kontinuierlichen Betrieb arbeitet, das heißt, der Eingangsstrom stets positiv ist [9]. Während der Sperrzeit der Diode beträgt die Stromänderung in der Spule

$$\Delta I_L = \frac{U_{IN} t_{SP}}{L} . \quad (57)$$

Die größte zulässige Stromänderung $\Delta I_{L,max}$ tritt an der Grenze zum lückenden Betrieb auf, da hier der Eingangsstrom am Ende der Sperrzeit des Transistors null wird. An dieser Grenze entspricht die maximale Stromänderung dem doppelten Eingangsstrom. Für die Dimensionierung wird der minimale Eingangsstrom mit

$$I_{e,min} = M_{DC} I_{a,min} = \frac{U_{OUT}}{U_{IN}} \cdot \frac{U_{OUT}}{R_{L,max}} = 2,5 \text{ A} \quad (58)$$

berechnet. Daraus ergibt sich die maximal zulässige Stromänderung zu

$$\Delta I_{L,max} = 2I_{e,min} = 2 \cdot 2,5 \text{ A} = 5 \text{ A} . \quad (59)$$

Die hohe maximal zulässige Stromänderung lässt in der Spule hohe AC-Verluste erwarten. Um diese zu reduzieren, wird die Stromänderung auf einen typischen Wert von 40 % des maximalen Eingangsstroms begrenzt [11]. Dies ergibt eine maximale Stromänderung von $\Delta I_{L,max} = 2 \text{ A}$.

Durch Umformen der Gleichung (57) nach L und Einsetzen der Sperrzeit t_{SP} aus Gleichung (55) sowie der maximalen Stromänderung $\Delta I_{L,max}$ ergibt sich die minimale Induktivität zu

$$L_{min} = \frac{U_{IN} t_{SP}}{\Delta I_{L,max}} = \frac{10 \text{ V} \cdot 0,8 \text{ } \mu\text{s}}{2 \text{ A}} = 4 \text{ } \mu\text{H} . \quad (60)$$

Die Wahl fällt auf die 4.7 μH Spule VCHA085D-4R7MS6 von CYNTEC CO. mit einem ohmschen Widerstand von $R_{DC} = 13 \text{ m}\Omega$ und einem Sättigungsstrom von $I_{SAT} = 16 \text{ A}$ [31]. Damit beträgt der Ripplestrom 34 % des Eingangsstroms.

3.5 Auslegung der Diode

Bei der Auslegung der Diode ist neben den Parametern maximale Sperrspannung und maximaler Durchlassstrom auch die Durchlassspannung von Bedeutung. Gemäß [6] entspricht die maximale Sperrspannung der Ausgangsspannung $U_{D,max} = U_{OUT}$ und der maximale Durchlassstrom ist der zweifache Eingangsstrom $I_{F,max} = 2I_{IN} = 2M_{DC}I_{OUT}$. Der durchschnittliche Strom durch die Diode ist jedoch maximal der Ausgangsstrom $I_{F,AVG} = I_{OUT}$. Unter Berücksichtigung der Annahmen zu Beginn dieses Kapitels ergeben sich $U_{D,max} = 50 \text{ V}$, $I_{F,max} = 10 \text{ A}$ und $I_{F,AVG} = 1 \text{ A}$. Die Verwendung einer Schottky-Diode ist hier aufgrund ihrer niedrigeren Durchlassspannung vorteilhaft, da im Vergleich zu einer PN-Diode die Durchlassverluste reduziert werden können (25).

Für diese Anforderungen wird zunächst die Schottky-Diode SBR10U200P5 von Diodes Industries ausgewählt [32]. In Kapitel 7.2 wird gezeigt, dass diese Diode zu erhöhten Verlusten führt. Daher wird sie durch die Schottky-Diode SS8PH10 von Vishay ersetzt [33], die aufgrund ihrer niedrigeren Durchlassspannung und Sperrschichtkapazität besser geeignet ist. Die Parameter beider Dioden sind in Tabelle 3 zusammengefasst.

| Parameter | Diode 1 | Diode 2 |
|--|-------------------|---------|
| Bezeichnung | SBR10U200P5 | SS8PH10 |
| Hersteller | Diodes Industries | Vishay |
| Durchschn. Durchlassstrom I_O , (A) | 10 | 8 |
| Max. Sperrspannung U_{RRM} , (V) | 200 | 100 |
| Durchlassspannung U_F , (V) | 0,88 | 0,72 |
| Sperrschichtkapazität C_J , (pF) | 85 | 40 |

Tabelle 3: Parameter der Dioden

3.6 Berechnete Verlustleistung der Komponenten

Nach der Auswahl der Bauteile werden deren Verluste exemplarisch für den Lastfall $P_{OUT} = 30 \text{ W}$ mit den Formeln aus Abschnitt 2.2 berechnet und deren Beitrag zu den Gesamtverlusten abgeschätzt. Dabei beträgt der Eingangsstrom $I_{IN} = 3 \text{ A}$ und der Ausgangsstrom $I_{OUT} = 0,6 \text{ A}$. Zur Berechnung sind die Zeitpunkte t_1 , t_2 , t_3 und die Resonanzkreisfrequenz ω_0 erforderlich. Diese Größen werden jeweils mit den Gleichungen (3), (11), (14) und (6) in Kombination mit den zu Beginn dieses Kapitels getätigten Annahmen berechnet:

$$t_1 = \frac{U_{OUT} C_R}{I_{IN}} = \frac{50 \text{ V} \cdot 1,5 \text{ nF}}{3 \text{ A}} = 25 \text{ ns} \quad (61)$$

$$\begin{aligned}
 t_2 &= t_1 + \frac{1}{\omega_0} \left[\arcsin \left(\frac{U_{OUT}}{Z_0 I_{IN}} \right) + \pi \right] \\
 &= 25 \text{ ns} + \frac{1}{36,515 \text{ Ms}^{-1}} \left[\arcsin \left(\frac{50 \text{ V}}{18,26 \text{ } \Omega \cdot 3 \text{ A}} \right) + \pi \right] \\
 &= 142,53 \text{ ns}
 \end{aligned} \quad (62)$$

$$\begin{aligned}
t_3 &= t_2 + \frac{I_{IN}L_R}{U_{OUT}} \{1 - \cos [\omega_0(t_2 - t_1)]\} \\
&= 142,53 \text{ ns} + \frac{3 \text{ A} \cdot 500 \text{ nH}}{50 \text{ V}} \left\{1 - \cos [36,515 \text{ Ms}^{-1} \cdot 117,528 \text{ ns}]\right\} \quad (63) \\
&= 184,8 \text{ ns} .
\end{aligned}$$

$$\omega_0 = \frac{1}{\sqrt{L_R C_R}} = \frac{1}{\sqrt{500 \text{ nH} \cdot 1,5 \text{ nF}}} = 36,515 \text{ Ms}^{-1} \quad (64)$$

Des Weiteren wird der Strom durch die Resonanzspule zum Zeitpunkt t_2 mit der Gleichung (5) bestimmt:

$$\begin{aligned}
i_{L_R}(t_2) &= I_{IN} \cos [\omega_0(t_2 - t_1)] \\
&= 3 \text{ A} \cos [36,515 \text{ Ms}^{-1}(142,53 \text{ ns} - 25 \text{ ns})] = -1,22 \text{ A} . \quad (65)
\end{aligned}$$

Verluste in der Hauptspule

Die Verluste in der Hauptspule werden mit Hilfe des Online Berechnungstools "Inductor Loss Calculator Tool" von Vishay ermittelt. Für die Spule IHLP-5050-FD-01 mit einer Induktivität von 4,7 μH ergibt sich eine Verlustleistung in der Hauptspule von $P_L = P_{CORE} + P_{AC} + P_{DC} = 0,344 \text{ W} + 0,237 \text{ W} + 0,073 \text{ W} = 0,654 \text{ W}$.

Verluste in der Resonanzspule

Für die Analyse der Verluste in der Resonanzspule wird die Luftspule 2929SQ-501 von Coilcraft betrachtet. Bei der Schaltfrequenz von $f_{SW} = 1 \text{ MHz}$ ergibt sich die Eindringtiefe δ des Stroms zur Folge des Skineneffekts gemäß der Formel

$$\delta = \sqrt{\frac{2}{\omega \mu \sigma}} \quad (66)$$

mit $\omega = 2\pi f$ für die Kreisfrequenz, $\mu = \mu_0 \mu_r$ für die Permeabilität und σ für die elektrische Leitfähigkeit [15]. Durch Einsetzen der Frequenz sowie der Permeabilität und elektrischen Leitfähigkeit von Kupfer ergibt die Eindringtiefe

$$\begin{aligned}
\delta &= \sqrt{\frac{2}{2\pi \cdot 1 \text{ MHz} \cdot 4\pi 10^{-7} \text{ Hm}^{-1} \cdot (1 - 6,4 \cdot 10^{-6}) \cdot 5,8 \cdot 10^7 \text{ Sm}^{-1}}} \quad (67) \\
&= 66 \text{ } \mu\text{m} .
\end{aligned}$$

Bei einem Spulenleiterdurchmesser von etwa $d = 0.7$ mm führt das dazu, dass nur noch ein Drittel des ursprünglichen Leiterquerschnitts für den Stromtransport zur Verfügung steht. Deshalb sind die AC-Verluste in diesem Fall nicht vernachlässigbar. Hinzu kommt die Verdrängung des Stroms im Leiter durch den Proximity-Effekt. Für eine genauere Abschätzung der Verluste wird die Luftspule im Abschnitt 4.2 simuliert. Das Ergebnis der Simulation zeigt eine Verlustleistung von $P_{LR} = 0,68$ W

Verluste im GaN-FET

Für die Bestimmung der Durchlassverluste des GaN-FETs wird der Durchlasswiderstand $R_{DS(on)} = 7$ m Ω aus dem Datenblatt ausgelesen [28]. Der $R_{DS(on)}$ wird zusammen mit den zuvor berechneten Parametern in die Gleichung (20)

$$\begin{aligned}
 P_{D,(FET)} &= \left[\frac{t_3 - t_2}{T} \left(i_{LR}(t_2)^2 + i_{LR}(t_2)I_{IN} + \frac{I_{IN}^2}{3} \right) + I_{IN}^2 \left(1 - \frac{t_3}{T} \right) \right] R_{DS(on)} \\
 &= \left[\frac{42,27 \text{ ns}}{1 \text{ }\mu\text{s}} 0,83 \text{ A} + 3 \text{ A}^2 \left(1 - \frac{184,8 \text{ ns}}{1 \text{ }\mu\text{s}} \right) \right] 7 \text{ m}\Omega \\
 &= 51,6 \text{ mW}
 \end{aligned} \tag{68}$$

eingesetzt. Zur Berechnung der Ansteuerungsverlustleistung wird die Gate-Ladung $Q_G = 8,8$ nC dem Datenblatt entnommen [28]. Die Q_G wird zusammen mit der Gate-Spannung von $U_G = 5$ V und der Schaltfrequenz von $f_{SW} = 1$ MHz in Gleichung (24) eingesetzt

$$P_{GD,(FET)} = \frac{3}{4} Q_G U_G f_{SW} = \frac{3}{4} \cdot 8,8 \text{ nC} \cdot 5 \text{ V} \cdot 1 \text{ MHz} = 33 \text{ mW} . \tag{69}$$

Verluste in der Diode

Die Verluste werden für die SS8PH10 Diode von Vishay berechnet. Der durchschnittliche Strom durch die Diode beträgt $I_{AVG} = 0,52$ A. Bei diesem Strom hat die Diode laut Datenblatt [33] eine Durchlassspannung von $U_F = 0,6$ V. Der differentielle Widerstand r_D wird gemäß [15] mittels einer Tangente an der Diodenkennlinie im Durchlassbereich angenähert und im Arbeitspunkt $I_{RMS} = 1,53$ A ermittelt: $r_D = 36,7$ m Ω . Mit diesen Werten ergibt die Durch-

lassverlustleistung mit Gleichung 30:

$$\begin{aligned}
 P_{D,(D)} &= \left(\frac{I_{IN}}{T} \left\{ t_2 - t_1 - \frac{1}{\omega_0} \sin[\omega_0(t_2 - t_1)] \right\} \right. \\
 &\quad \left. + \frac{t_3 - t_2}{2T} [I_{IN} - i_{LR}(t_2)] \right) U_F \\
 &\quad + \left(\frac{I_{IN}^2}{T} \left\{ \frac{3(t_2 - t_1)}{2} - \frac{2}{\omega_0} \sin[\omega_0(t_2 - t_1)] \right\} \right. \\
 &\quad \left. + \frac{I_{IN}^2}{4\omega_0 T} \sin[2\omega_0(t_2 - t_1)] + [I_{IN} - i_{LR}(t_2)]^2 \frac{t_3 - t_2}{3T} \right) r_D \\
 &= \left\{ \frac{3 \text{ A}}{1 \mu\text{s}} \left[117,53 \text{ ns} - \frac{1}{36,515 \text{ Ms}^{-1}} \sin(36,515 \text{ Ms}^{-1} \cdot 117,53 \text{ ns}) \right] \right. \\
 &\quad \left. + \frac{42,27 \text{ ns}}{2 \mu\text{s}} 4,22 \text{ A} \right\} 0,6 \text{ V} \\
 &\quad + \left\{ \frac{(3 \text{ A})^2}{1 \mu\text{s}} \left[\frac{352,6 \text{ ns}}{2} - \frac{2}{36,515 \text{ Ms}^{-1}} \sin(36,515 \text{ Ms}^{-1} \cdot 117,53 \text{ ns}) \right] \right. \\
 &\quad \left. + \frac{(3 \text{ A})^2}{146,06} \sin[73,03 \text{ Ms}^{-1} \cdot 117,53 \text{ ns}] + (4,22 \text{ A})^2 \frac{42,27 \text{ ns}}{3 \mu\text{s}} \right\} 36,7 \text{ m}\Omega \\
 &= 0,398 \text{ W} .
 \end{aligned} \tag{70}$$

Für die Berechnung der Umladeverlustleistung wird der Wert der Sperrschichtkapazität aus dem Datenblatt der Diode entnommen [33]. Während die Diode sperrt ist die Sperrspannung gleich der Ausgangsspannung $U_D = U_{OUT} = 50 \text{ V}$. Dabei beträgt die Sperrschichtkapazität $C_j = 40 \text{ pF}$. Durch einsetzen in Gleichung (33) folgt

$$P_{j,(D)} = \frac{1}{2} C_j U_{OUT}^2 f_{sw} = \frac{1}{2} \cdot 40 \text{ pF} \cdot (50 \text{ V})^2 \cdot 1 \text{ MHz} = 50 \text{ mW} . \tag{71}$$

Verluste im Resonanzkondensator

Der ESR des Kondensators wird dem Datenblatt von Murata entnommen mit $ESR = 15 \text{ m}\Omega$ [24]. Durch Einsetzen der ermittelten Zahlenwerte in Gleichung (38) errechnet sich die Verlustleistung im Resonanzkondensator

wie folgt:

$$\begin{aligned}
 P_{V,(C_R)} &= \frac{I_{IN}^2}{T} \left\{ t_1 + \frac{1}{2}(t_2 - t_1) + \frac{1}{4\omega_0} \sin[2\omega_0(t_2 - t_1)] \right\} ESR \\
 &= \frac{(3 \text{ A})^2}{1 \text{ } \mu\text{s}} \left[83,765 \text{ ns} + \frac{1}{146,06 \text{ Ms}^{-1}} \sin(72,03 \text{ Ms}^{-1} \cdot 117,35 \text{ ns}) \right] 15 \text{ m}\Omega \\
 &= 12 \text{ mW} .
 \end{aligned} \tag{72}$$

Verluste im Ausgangskondensator

Der Wert $ESR = 7 \text{ m}\Omega$ des Kondensators wird aus dem Datenblatt entnommen [30]. Damit ergibt die Verlustleistung im Ausgangskondensator mit Gleichung (41) zu:

$$\begin{aligned}
 P_{V,(C_{OUT})} &= \left(\frac{I_{OUT}^2}{T} (t_1 + T - t_3) + \frac{I_{IN}^2}{T} \left\{ \left[\left(1 - \frac{1}{M}\right)^2 + \frac{1}{2} \right] (t_2 - t_1) \right. \right. \\
 &\quad \left. \left. - \frac{2}{\omega_0} \left(1 - \frac{1}{M}\right) \sin[\omega_0(t_2 - t_1)] + \frac{1}{4\omega_0} \sin[2\omega_0(t_2 - t_1)] \right\} \right. \\
 &\quad \left. + \frac{t_3 - t_2}{T} \left\{ \frac{1}{3} [I_{IN} - i_{LR}(t_2)]^2 - I_{OUT} [I_{IN} - i_{LR}(t_2)] + I_{OUT}^2 \right\} \right) ESR_{C_{OUT}} \\
 &= \left(\frac{(0,6 \text{ A})^2}{1 \text{ } \mu\text{s}} \cdot 840,2 \text{ ns} + \frac{(3 \text{ A})^2}{1 \text{ } \mu\text{s}} \left\{ \left[\left(1 - \frac{1}{5}\right)^2 + \frac{1}{2} \right] (117,35 \text{ ns}) \right. \right. \\
 &\quad \left. \left. - \frac{2}{36,515 \text{ Ms}^{-1}} \left(1 - \frac{1}{5}\right) \sin[36,515 \text{ Ms}^{-1} \cdot 117,35 \text{ ns}] \right. \right. \\
 &\quad \left. \left. + \frac{1}{4 \cdot 36,515 \text{ Ms}^{-1}} \sin[73,03 \text{ Ms}^{-1} \cdot 117,35 \text{ ns}] \right\} \right. \\
 &\quad \left. + \frac{42,45 \text{ ns}}{1 \text{ } \mu\text{s}} \left\{ \frac{1}{3} (4,22 \text{ A})^2 - 2,532 \text{ A} + 0,6 \text{ A} \right\} \right) 7 \text{ m}\Omega \\
 &= 14 \text{ mW} .
 \end{aligned} \tag{73}$$

Verluste im Mikrocontroller

Die Stromaufnahme des Mikrocontrollers kann als erste Näherung mit dem Datenblatt ermittelt werden [34]. Jedoch variiert der tatsächliche Stromverbrauch je nachdem welche Komponenten aktiviert sind und im Datenblatt ist nicht für jede Komponente der Stromverbrauch angeführt. Deshalb wird der

Strom messtechnisch ermittelt. Hierzu wird der Mikrocontroller mit der in Abschnitt 5 entworfenen Software programmiert und in Betrieb genommen. Die Messung erfolgt mit einem Multimeter und beträgt $I_{\mu C} = 86 \text{ mA}$. Durch einsetzen des Stroms und der Versorgungsspannung von $U_{\mu C} = 3,3 \text{ V}$ in Gleichung (42) ergibt sich die Verlustleistung des Mikrocontrollers zu:

$$P_{V,(\mu C)} = I_{\mu C} U_{\mu C} = 86 \text{ mA} \cdot 3,3 \text{ V} = 284 \text{ mW} . \quad (74)$$

Vergleich der Verluste

Die Berechnung der Verlustleistungen in den einzelnen Komponenten ist in Abbildung 12 zusammengefasst. Sie bietet einen Überblick darüber, in welchen Bauteilen erhöhte Verluste zu erwarten sind. Diese Erkenntnisse werden bei der Platzierung der Bauteile auf der Leiterplatte und der Auslegung der Kühlung berücksichtigt. Die beiden Spulen machen den Großteil der Gesamtverlustleistung aus, dicht gefolgt von der Diode deshalb werden bei diesen Bauteilen um die Bauteilanschlüsse im Layout zweireihig Vias zur Entwärmung vorgesehen.

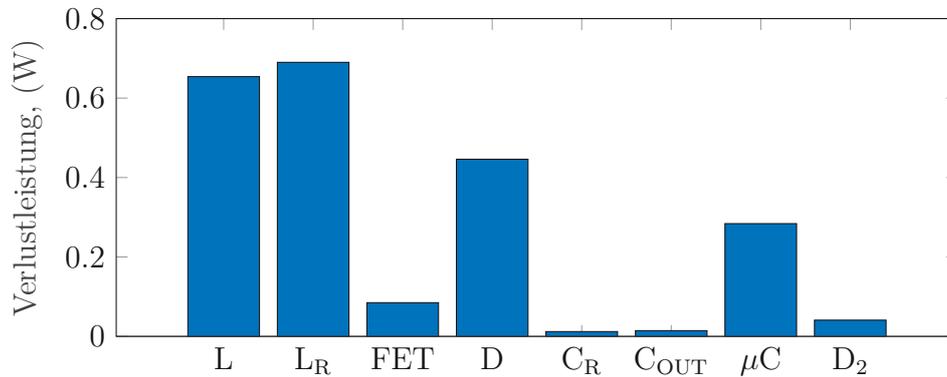


Abbildung 12: Berechnete Verlustanteile des digital geregelten QR-ZVS Aufwärtswandlers für die einzelnen Bauteile

4 Simulation

Im ersten Abschnitt dieses Kapitels wird die Schaltung des QR-ZVS Aufwärtswandlers mit der Simulationssoftware LTspice Version 24.0.0 analysiert. LTspice ist eine kostenlose Simulationssoftware für elektrische Schaltungen, entwickelt von Linear Technology (heute bei Analog Devices). Die Software basiert auf "Simulation Program with Integrated Circuit Emphasis" (SPICE), somit können SPICE Modelle der Halbleiterbauelemente von verschiedenen Herstellern verwendet werden. Zum Beispiel bietet das Unternehmen EPC eine Bibliothek mit SPICE Modellen für ihre GaN-FETs an [35].

Im zweiten Abschnitt werden die Ergebnisse der Simulation der in Abschnitt 3.1 ausgewählten Luftspule 2929SQ-501 von Coilcraft präsentiert. Dafür werden die Simulationstools "Ansys Maxwell" und "Ansys Icepak" von dem Unternehmen Ansys Inc. verwendet [36]. Das Ziel ist es, einerseits die Verlustleistung und die zu erwartende Temperaturentwicklung in der Spule zu ermitteln und andererseits geeignete Einstellungen in der Software zu finden, die zu hinreichend genauen Ergebnissen führen. Hierzu werden die Simulationsergebnisse mit den Datenblattangaben der Spule verglichen. Die ermittelten Softwareeinstellungen kommen dann in Abschnitt drei für die Simulation der PCB-Spulen zum Einsatz.

4.1 Schaltungssimulation in LTspice

Die Simulation dient dazu die grundlegende Funktionalität der Schaltung vor der Fertigung auf einer Leiterplatte zu überprüfen und mögliche unerwartete Probleme durch parasitäre Bauteilkomponenten im Vorfeld zu identifizieren. Abbildung 13 zeigt die simulierte Schaltung mit den realen Bauteilmodellen der in Abschnitt 3 ausgewählten Bauelemente.

Als ersten Schritt werden die Strom- und Spannungsverläufe untersucht und mit den berechneten Verläufen verglichen. Der Eingangsstrom (grün), die Gatespannung (rot) sowie die Ausgangsspannung (blau) und die Spannung am Resonanzkondensator (magenta) sind in Abbildung 14 dargestellt und verlaufen wie zuvor berechnet. Die ZVS-Bedingung ist für diesen Lastfall wie erwartet erfüllt.

Jedoch zeigt die Simulation, dass die Spannung am Schaltknoten V_x während der Freewheeling-Phase erhebliche Schwingungen aufweist (Abb. 15, a). Diese unerwünschten Schwingungen entstehen durch den Schwingkreis, der

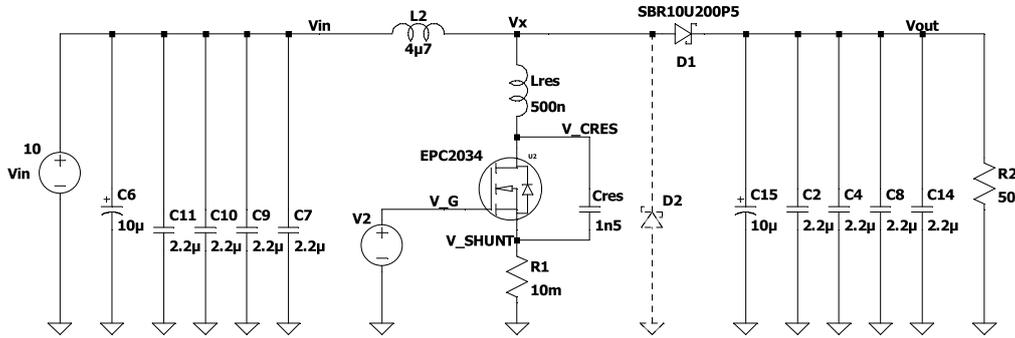


Abbildung 13: LTSpice Schaltung des QR-ZVS Aufwärtswandlers mit zusätzlicher Diode (strichliert) zur Unterdrückung der parasitären Resonanz.

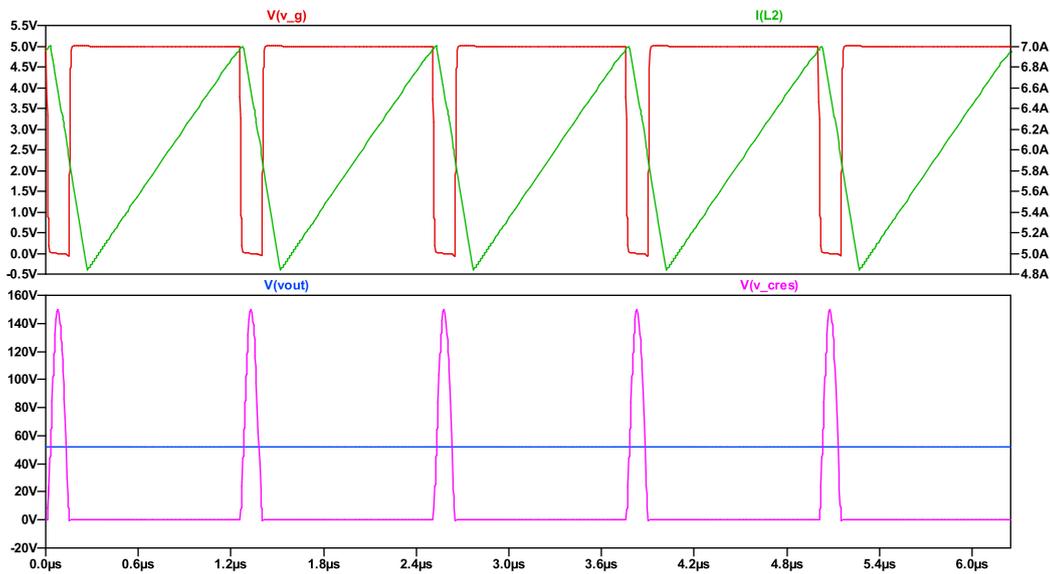


Abbildung 14: LTSpice Strom- und Spannungsverläufe: oberes Diagramm: Gatespannung $V(v_g)$ (rot), Spulenstrom $I(L2)$ (grün); unteres Diagramm: Ausgangspannung $V(vout)$ (blau), Resonanzkondensatorspannung $V(v_cres)$ (magenta)

aus der Sperrschichtkapazität C_j der Freilaufdiode D_1 und der Resonanzspule L_{res} besteht [37]. Diese Schwingungen beeinträchtigen den Wirkungsgrad der Schaltung und können zu elektromagnetischen Störungen führen. Um die Schwingung zu unterdrücken wird eine zusätzliche Diode D_2 (Abb. 13, strichliert) vom Schaltknoten zu GND eingebaut [38]. Abbildung 15, b zeigt die Spannung am Schaltknoten V_x nach der Unterdrückung der Schwingungen.

Die Energiemenge, die diese Schwingung hervorruft und in weiterer Folge durch die zusätzliche Diode abgebaut werden muss, hängt von der Größe der Sperrschichtkapazität C_j der Freilaufdiode D_1 ab. Daher sollte bei der Wahl der Freilaufdiode auf einen geringen Wert der Sperrschichtkapazität geachtet werden, um die Verluste in D_2 zu minimieren.

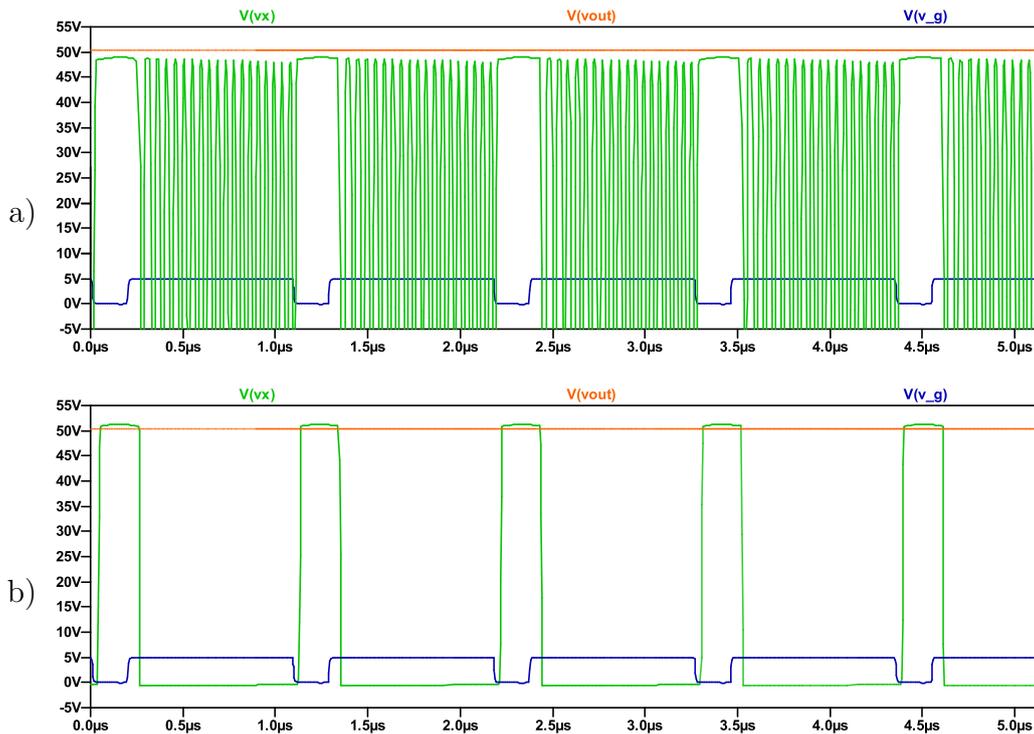


Abbildung 15: LTspice Spannungsverläufe: Schaltknoten $V(vx)$ (grün), Ausgang $V(vout)$ (orange) und Gate $V(v_g)$ (blau); ohne (a) und mit (b) zusätzlicher Diode am Schaltknoten zur Unterdrückung der parasitären Resonanz

4.2 Luftspulensimulation in Ansys

Die Ansys Maxwell-Software nutzt die "finite element analysis" (FEA) zur Lösung der elektromagnetischen Felder [36]. Hierbei wird die Modellgeometrie durch sogenanntes "meshing" in kleine Tetraeder unterteilt. Für jedes Tetraeder werden dann die Maxwell-Gleichungen mit geeigneten Rand- und benutzerdefinierten Anfangsbedingungen gelöst. Ansys Maxwell bietet für die Lösung dreidimensionaler magnetischer Felder drei unterschiedliche Solver-Typen an. Der "Magnetostatic Solver" behandelt statische magnetische Felder, die durch Gleichströme und permanente Magnete verursacht werden.

Der "Eddy Current Solver" wird für die Lösung von sinusförmig variierenden magnetischen Feldern im Frequenzbereich verwendet. Dabei werden Verschiebungsströme, der Skin-Effekt und der Proximity-Effekt berücksichtigt. Der "Transient Magnetic Solver" löst die Felder für zeitlich veränderliche oder sich bewegende elektrische Quellen und permanente Magnete.

Für diesen Anwendungsfall ist der "Eddy Current Solver" die richtige Wahl. Als Parameter für die AC-Quelle wird der Spitzenwert des Sinusstroms und die Frequenz angegeben. Das Simulationsergebnis liefert die Impedanz Z der Geometrie, aus der sich der Wirkwiderstand R_{AC} und die Induktivität L ableiten lassen. Des Weiteren ist es möglich die ohmschen Verluste, durch Integration der Verlustleistungsdichte über das Geometrievolumen, zu bestimmen.

Das Tool "Ansys Icepak" wird genutzt, um das Temperaturfeld in einer natürlichen Umgebung inklusive Konvektion zu ermitteln. In Kombination mit den ohmschen Verlusten aus dem Maxwell-Tool kann durch "2-way coupling" die Simulationsgenauigkeit gesteigert werden. Dabei erfolgt eine iterative Übertragung der Verlustleistungsdichte von Maxwell zu Icepak und des Temperaturfelds von Icepak zu Maxwell, bis die Verluste und Temperatur konvergieren. In der Regel sind hierfür zwei bis drei Iterationen ausreichend, um ein hinreichend genaues Ergebnis zu erzielen.

Die Abmessungen für das Spulenmodell stammen aus dem Datenblatt des Herstellers. Die Softwareeinstellungen werden so lange angepasst, bis der simulierte Induktivitätswert L dem des Herstellers entspricht. Entsprechend Abschnitt 3.6 wird für die Verlustleistungsbestimmung der Lastfall von $P = 30$ W angenommen. Hierbei fließt ein effektiver Strom von $I_{L_R,RMS} = 2.88$ A durch die Resonanzspule, woraus sich der Spitzenstrom von

$$I_{L_R,max} = I_{L_R,RMS}\sqrt{2} = 4,0 \text{ A} \quad (75)$$

ergibt. Dieser Wert wird als Spulen-Erregung in der Simulationssoftware festgelegt.

Tabelle 4 zeigt die Resultate der Verlustleistungssimulation sowie die Differenzen ΔP der einzelnen Iterationen für die Luftspule 2929SQ-501 von Coilcraft. Der Leistungswert konvergiert nach drei Iterationen zu 0,68 W. Bei dieser Verlustleistung erreicht die Spule eine Maximaltemperatur von $T_{max} = 97$ °C. Die simulierte Temperaturverteilung in der Spulengeometrie ist in Abbildung 16 dargestellt.

| Iteration | Verlustleistung, (W) | $\Delta P, (mW)$ |
|-----------|----------------------|------------------|
| 1 | 0,595 | — |
| 2 | 0,673 | 78 |
| 3 | 0,679 | 6 |
| 4 | 0,681 | 2 |

Tabelle 4: Verlustleistungsergebnisse der "2-way coupling" Simulation

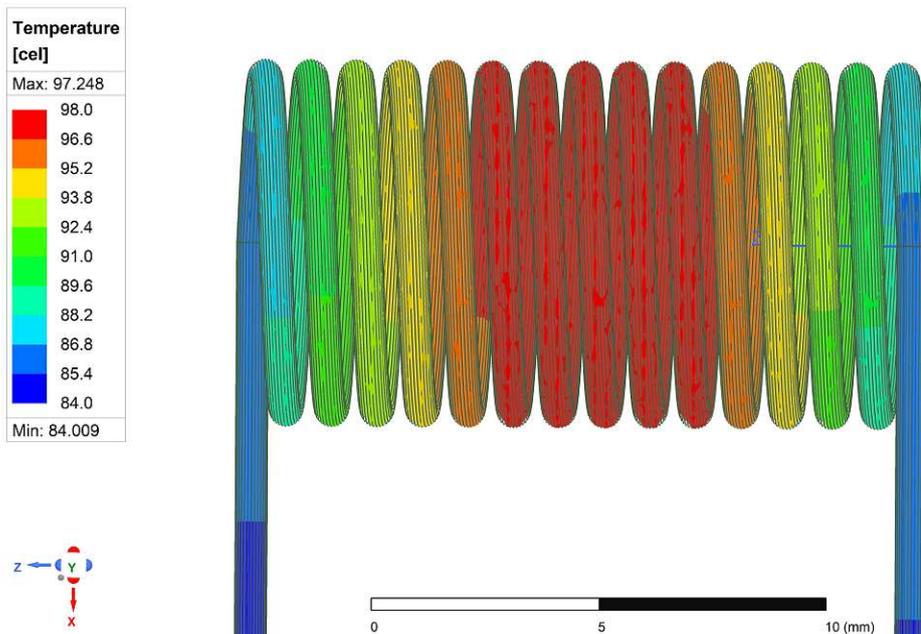


Abbildung 16: Simulationsergebnis für die Temperaturverteilung in der Luftspule

4.3 PCB-Spulensimulation in Ansys

Die Integration der Resonanzspule in die Leiterplatte ist der zweite Schritt in der Optimierung, um die Kosten für den Aufwärtswandler und das externe Magnetfeld zu reduzieren. Bei der Spulengestaltung liegt der Fokus auf der Maximierung der Güte Q . Die Güte wird durch das Verhältnis von Imaginärteil (Blindwiderstand X_L) und Realteil (Wirkwiderstand R) der Impedanz Z der Spule

$$Q = \frac{\text{Im}\{Z\}}{\text{Re}\{Z\}} = \frac{X_L}{R} \quad \text{mit} \quad Z = R + jX_L \quad (76)$$

berechnet. Sie ist aufgrund des Blindwiderstands

$$X_L = 2\pi fL \quad (77)$$

frequenzabhängig und muss daher bei der Einsatzfrequenz, in dem Fall die Schaltfrequenz des Aufwärtswandlers, optimiert werden.

Die Spule wird in unmittelbarer Nähe zu den anderen Bauteilen liegen. Aus diesem Grund wird als Geometrie ein Torus gewählt, der im Gegensatz zu einer Spiralförmigen oder geraden Spule ein geringes externes Magnetfeld aufweist [39]. Des Weiteren, ist das magnetische Feld von den Windungen umschlossen, wodurch die Induktivität der Spule weniger durch benachbarte Metallflächen und Bauteile beeinflusst wird [40, 41]. Lediglich die stromdurchflossene makroskopische Ringwindung des Torus bewirkt ein parasitäres Streufeld, das dazu führen kann, dass die Limits bei den EMV-Emissionstests überschritten werden [42]. Um dieses Streufeld zu minimieren, werden vier verschiedene Designs entwickelt und in Ansys Maxwell simuliert.

Beim Entwurf der Spulen wird darauf geachtet, dass für die Leiterplattenfertigung keine außerordentlichen Produktionsschritte nötig sind. Es wird ein typischer 4-Lagenaufbau einer $h = 1,6$ mm hohen Leiterplatte verwendet (Abb. 17). Die Leiterplattengeometrie wird in die Simulation miteinbezogen, wobei unterschiedliche Materialien wie FR4 für das Leiterplattenmaterial und Kupfer für die Leiterbahnen berücksichtigt werden. Um die Ausbreitung des Streufeldes in der Leiterplatte zu reduzieren, werden die Spulengeometrien mit einem "Via-Cage" umgeben. Die Vias sind über umliegende Kupferebenen in allen Lagen miteinander verbunden.

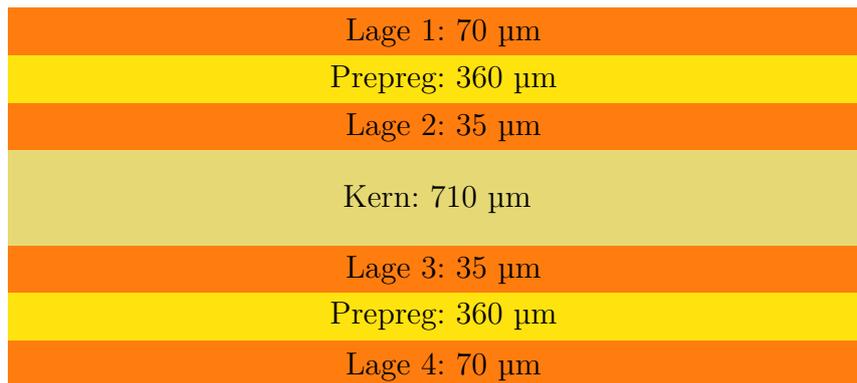


Abbildung 17: Angenommener Lagenaufbau der vierlagigen Leiterplatte für die Simulation

Die Windungen der Spulen bestehen aus "Blättern", welche sich in den äußeren Lagen der Leiterplatte befinden und Vias die die Blätter miteinander verbinden (Abb. 18). Zur Bestimmung des benötigten Durchmessers der Vias, um den Strom durch die Resonanzspule zu leiten, wird die Software PCB Toolkit V8.34 von Saturn PCB Design, Inc. verwendet [43]. Diese Software bietet eine Reihe von nützlichen Tools für das Entwerfen von Leiterplatten. Eines dieser Tools ermöglicht die Abschätzung der Temperaturerhöhung und der Verlustleistung in einem Via zur Folge eines angelegten Stroms. Im ma-

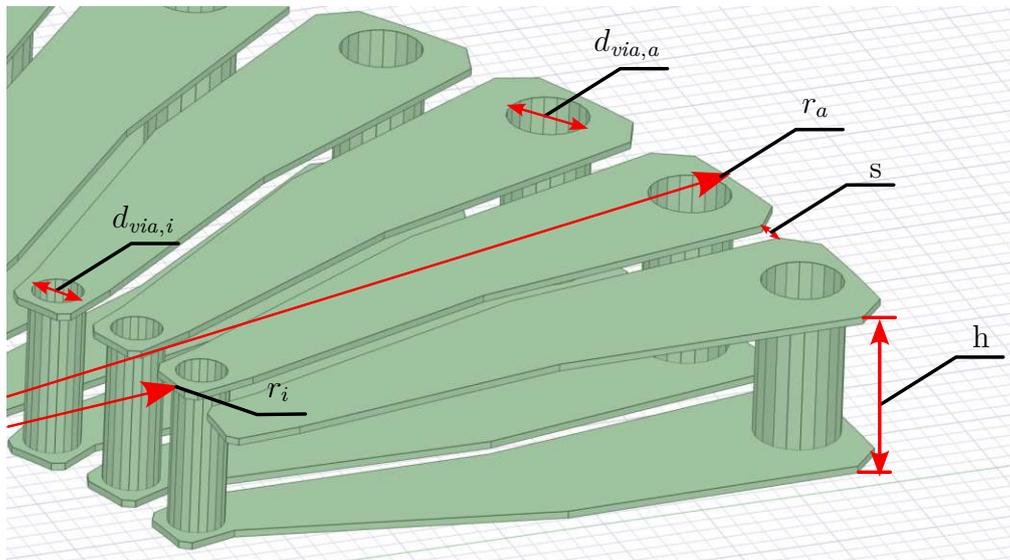


Abbildung 18: Aufbau und Parameter der Windungen der Leiterplattenspule

ximalen Lastfall beträgt die effektive Stromstärke durch die Resonanzspule $I_{L_R,RMS,max} = 4.7$ A. Bei einer angenommenen Via-Temperatur von etwa 80 °C ergibt sich daraus ein minimaler Via-Durchmesser von $d_{via} = 0,5$ mm.

Erste Simulationen mit einer Zielinduktivität von 500 nH werden aufgrund des hohen Flächenbedarfs auf der Leiterplatte verworfen. Durch die Reduzierung der Zielinduktivität auf $L_R = 300$ nH kann die benötigte Fläche verringert werden. Diese Reduktion der Induktivität verändert die Schaltfrequenz des QR-ZVS Aufwärtswandlers und damit auch die Kapazität des Resonanzkondensators. Die Berechnung für die neue Schaltfrequenz erfolgt durch das Umformen der Gleichungen (51) und (49) aus Abschnitt 3.1 zu $f_{SW} = 1,74$ MHz. Dieser Frequenzwert wird ebenfalls für die Optimierung der Spulengüte Q verwendet. Aus Gleichung (50) folgt der neue Kapazitätswert für den Resonanzkondensator mit $C_R = 750$ pF.

Für die Bestimmung der Geometrie-Parameter zur Maximierung der Güte Q wird eine sogenannte "Optimetrics-Analyse" in Ansys Maxwell durchgeführt [44]. Diese Analyse erlaubt es, den Einfluss verschiedener Eingangsparameter auf das Ergebnis zu untersuchen. Als Parameter dienen der Innenradius r_i , der Außenradius r_a , der Blätterabstand s und die Windungszahl N (Abb. 18). Diese werden in einem vorgegebenen Bereich variiert. Die Ergebnisse zeigten, dass die Güte bei einem großen Außenradius, einem kleinen Innenradius, einem geringen Blattabstand und einer niedrigen Windungszahl maximiert wird. Der ausgewählte Parameter-Satz ist in Tabelle 5 angeführt.

| Parameter | Wert |
|--|--------|
| Windungszahl, N | 38 |
| Innenradius, r_i | 6 mm |
| Außenradius, r_a | 13 mm |
| Blattabstand, s | 0,3 mm |
| Via-Durchmesser innen, $d_{via,i}$ | 0,5 mm |
| Via-Durchmesser außen, $d_{via,a}$ | 0,8 mm |

Tabelle 5: Parameter der PCB-Spule in Lage 1 und Lage 4

Der minimal zulässige Blattabstand ist durch die Fertigung der Leiterplatte mit $s = 0,3$ mm festgelegt. Der Innenradius ist nach unten durch den Via-Durchmesser von $d_{via,i} = 0,5$ mm und der Anzahl der Windungen N begrenzt. Um den Flächenbedarf der Spule zu minimieren, wird unter der Berücksichtigung der Induktivität ein Kompromiss zwischen Windungszahl und Außenradius gewählt. Die äußeren Vias werden mit einem Durchmesser von $d_{via,a} = 0,8$ mm ausgelegt. Mit diesen Parametern wurden die vier Designs in Abbildung 19 entworfen und simuliert.

Das erste Design (L1, "normal") dient als Referenz und enthält keine Kompensationsmaßnahmen. Im zweiten Design (L2, "inner") wird die Windungsrichtung nach der Hälfte der Strecke gewechselt, um lokal ein gegenläufiges Streufeld zu erzeugen und so eine Verringerung des Gesamtstreufeldes zu erreichen. Die beiden Hälften sind über einen Mittelsteg im Zentrum der Spule verbunden. Das dritte Design (L3, "comp") reduziert das Streufeld durch eine einzelne gegenläufige Windung im Inneren der Spule. Das vierte Design (L4, "outer") ähnelt dem zweiten Design, jedoch verläuft der Mittelsteg entlang des äußeren Randes der Spule und nicht durch das Zentrum.

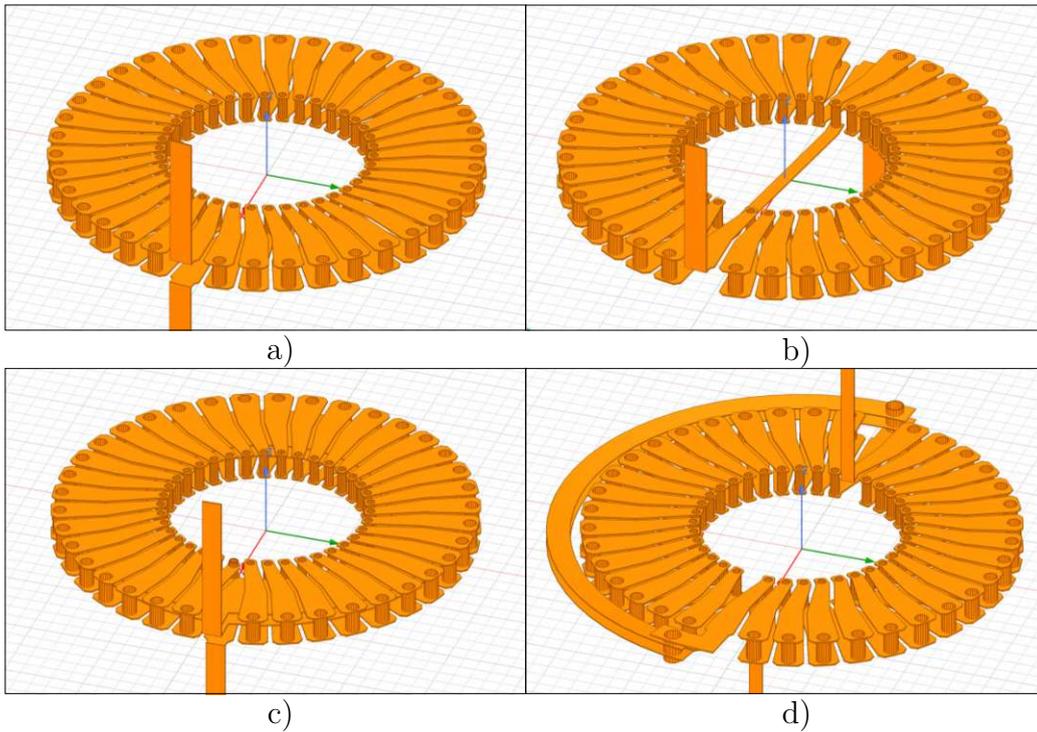


Abbildung 19: Ansys Maxwell Geometrien der vier Varianten der Leiterplattenspulen: a) L1, normal, b) L2, inner, c) L3, comp, d) L4, outer

Die Ergebnisse der Simulation für die vier Varianten sind in Tabelle 6 zusammengefasst. Die Werte der Induktivität werden durch Einsetzen des Imaginärteils der Impedanz in Gleichung (77) berechnet und reichen von 311 nH bis 327 nH. Die Widerstandswerte entsprechen dem Realteil der Impedanz und bewegen sich zwischen 177 Ω bis 186 Ω . Durch Einsetzen der Impedanz in Gleichung (76) wird die Spulengüte der jeweiligen Spulenvariante ermittelt, diese liegt zwischen 16,82 und 18,56.

Ein Nachteil der vier simulierten Spulendesigns besteht darin, dass es auf der gesamten Spulenfläche nicht möglich ist, Bauteile zu platzieren. Dieses Problem soll durch ein zusätzliches Design gelöst werden. Hierbei wird der obere Teil der Windung in die erste innere Lage (Lage 2 in Abbildung 17) der Leiterplatte verlegt. Dadurch können in der obersten Lage (Lage 1) über der Spule Bauteile platziert werden. Allerdings führt diese Verlegung zu einer Flächenreduktion der Windung und damit zu einer niedrigeren Induktivität. Um das auszugleichen, müssen die Radien der Spule vergrößert werden. Das Ziel ist, die Bauteile der gesamten Wandlerstrecke im Zentrum der Spule zu platzieren.

| Variante | Impedanz $Z, (\Omega)$ | Induktivität $L, (\text{nH})$ | AC-Widerstand $R_{AC}, (\text{m}\Omega)$ | Güte $Q, (1)$ |
|-------------------|---------------------------|----------------------------------|---|------------------|
| L1, normal | $0,1773 + 3,290j$ | 327,3 | 177,3 | 18,56 |
| L2, inner | $0,1783 + 3,193j$ | 317,6 | 178,3 | 17,91 |
| L3, comp | $0,1814 + 3,1283j$ | 311,2 | 181,4 | 17,25 |
| L4, outer | $0,1859 + 3,1266j$ | 311,0 | 185,9 | 16,82 |

Tabelle 6: Simulationsergebnisse der vier Varianten (L1-L4) der Leiterplatenspulen mit den Windungen in der ersten und vierten Lage der Leiterplatte, bei der Frequenz $f = 1,74$ MHz

Die Bauteile werden so angeordnet, dass sie in einem Kreis mit einem Radius von $r_i = 17$ mm Platz finden. Mit diesem festgelegten Innenradius werden in Ansys-Maxwell der Außenradius und die Anzahl der Windungen unter Berücksichtigung der Güte angepasst, bis die Zielinduktivität von 300 nH erreicht wird. Abschließend werden auf der Innenseite der Windung Vias mit einem Durchmesser von $d_{via,i} = 1,2$ mm platziert. Auf der Außenseite werden drei Vias mit einem Durchmesser von $d_{via,a} = 0,6$ mm parallel geschaltet. Die Parameter sind in Tabelle 7 zusammengefasst.

| Parameter | Wert |
|--|-------------|
| Windungszahl, N | 44 |
| Innenradius, r_i | 17 mm |
| Außenradius, r_a | 34 mm |
| Blattabstand, s | 0,3 mm |
| Via-Durchmesser innen, $d_{via,i}$ | 1,2 mm |
| Via-Durchmesser außen, $d_{via,a}$ | 0,6 mm (3x) |

Tabelle 7: Parameter der PCB-Spule in der zweiten und vierten Lage

Für dieses zusätzliche Design werden zwei Varianten entworfen, eine mit einer gegenläufigen Kompensationswindung (L5), ähnlich der L3, "comp" Variante und eine ohne Kompensationsmaßnahmen als Referenz (L6). Die Kompensationswindung der L5 wird in Lage 3 in die Spule integriert. Eine Untersuchung der Feldverteilung im Inneren der Spule (Abb. 20) zeigt, dass sich der Großteil der Feldstärke entlang des inneren Randes der Spule konzentriert. Daher wird die Kompensationswindung im Inneren auf den äußeren Rand entlang verlegt (Abb. 21), um den Verlauf des Feldes nicht zu beeinträchtigen.

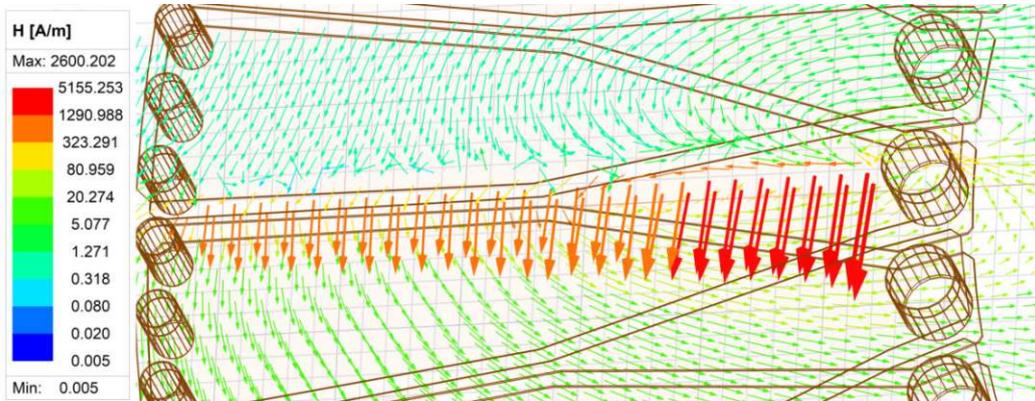


Abbildung 20: Feldverteilung im Inneren des Spulendesigns L5

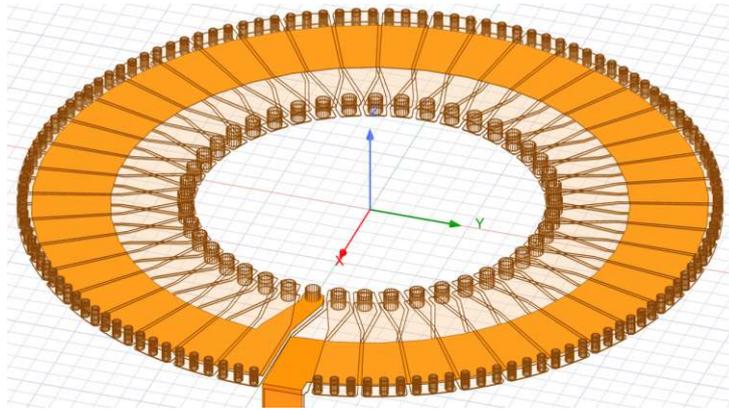


Abbildung 21: Spulendesign L6 mit der Kompensationswindung in der dritten Lage

Die Simulationsergebnisse für die beiden neuen Varianten L5 und L6 sind in Tabelle 8 zusammengefasst. Im Vergleich zu den vorherigen vier Varianten ist die Güte Q etwas geringer. Dies ist auf den erhöhten Wirkwiderstand R_{AC} der Spulen zurückzuführen, der sich aus der höheren Windungszahl und dem größeren Windungsumfang ergibt.

Die sechs Spulen L1 bis L6 werden in die EDA-Software Eagle (Version 9.6.2) von Autodesk importiert und in ein Leiterplattendesign umgewandelt [45]. Anschließend wird die Fertigung in Auftrag gegeben. Die fertige Leiterplatte ist in Abbildung 22 dargestellt. Ihre Vermessung und weitere Untersuchung werden in Kapitel 7.3 detailliert beschrieben.

| Variante | Impedanz $Z, (\Omega)$ | Induktivität $L, (\text{nH})$ | AC-Widerstand $R_{AC}, (\text{m}\Omega)$ | Güte $Q, (1)$ |
|-------------------|---------------------------|----------------------------------|---|------------------|
| L5, comp | $0,2155 + 3,3214j$ | 303 | 215,5 | 15,41 |
| L6, normal | $0,1937 + 3,2527j$ | 297,5 | 193,7 | 16,79 |

Tabelle 8: Simulationsergebnisse der zwei Varianten (L5, L6) der Leiterplattenspulen mit den Windungen in der zweiten und vierten Lage der Leiterplatte, bei der Frequenz $f = 1,74 \text{ MHz}$



Abbildung 22: Platine mit den sechs Spulendesigns L1 bis L6

5 Software

In diesem Abschnitt werden die Anforderungen sowie die Spezifikationen des verwendeten Mikrocontrollers vorgestellt. Zudem werden die einzelnen Komponenten des Gesamtsystems anhand eines Blockdiagramms erläutert. Besonderes Augenmerk liegt dabei auf dem PWM-Generator. Darüber hinaus wird der digitale PID-Regler präsentiert und der Algorithmus für die adaptive Lücken Anpassung beschrieben.

5.1 Mikrocontroller

Der Regler für den Aufwärtswandler soll in digitaler Form realisiert werden und mit einer Aktualisierungsrate von 1 MHz arbeiten. Die Ausgangsspannung des QR-ZVS Aufwärtswandlers wird durch die Frequenz des PWM-Signals geregelt, wobei die Sperrzeit des Transistors konstant bleibt. Für die Messung der Ausgangsspannung wird ein ADC mit einer ausreichend hohen Auflösung benötigt. Unter der Annahme, dass Spannungsänderungen von ± 100 mV möglich sein sollen, ergibt sich bei einer Ausgangsspannung von 50 V eine Auflösung von mindestens 9 Bit. Außerdem müssen auf der Test-PCB Überspannung und Überstrom detektiert werden können, um im Fehlerfall eine Abschaltung zu ermöglichen. Für die automatische Sperrzeitanpassung ist die Erfassung der Drain-Source Spannung des FETs notwendig.

Aus diesen Vorgaben ergeben sich die folgenden Anforderungen:

1. Der Mikrocontroller muss über einen Systemtakt mit einer Frequenz verfügen, die ausreichend hoch ist, um die Berechnungen des Reglers innerhalb der gewünschten Aktualisierungsrate durchführen zu können.
2. Der ADC sollte mit einer 10 Bit Auflösung und einer Abtastrate von 1 MHz arbeiten.
3. Der PWM-Generator sollte in der Lage sein ein PWM-Signal mit einer konstanten Sperrzeit und variabler Frequenz von bis zu 3 MHz bei einer Auflösung von 10 Bit zu erzeugen.
4. Die Überstrom- und Überspannungserkennung soll idealerweise durch interne Komparatoren des Mikrocontrollers realisiert werden, um den Bauteilaufwand zu minimieren.
5. Ein zusätzlicher interner Komparator wird für die automatische Anpassung der Sperrzeit des PWM-Signals benötigt.

Unter Berücksichtigung dieser Anforderungen wurde der Mikrocontroller

dsPIC33CK256MP502 von Microchip ausgewählt [34]. Dieser ist mit speziellen Peripheriemodulen für Schaltnetzteile (SMPS) ausgestattet. Der Digitale Signalprozessor (DSP) bietet mit seiner maximalen Befehls-Verarbeitungsrate von 100 *MIPS* und eng gekoppelten Datenpfaden für effiziente Berechnungen eine leistungsstarke Gesamtlösung. Der Mikrocontroller verfügt neben vier hochauflösenden PWM-Generatoren, zwei 12-bit SAR ADC Module mit einer Umwandlungsrate von bis zu 3,5 *Msp/s* und drei analoge Komparatoren mit zugehörigen DACs zur Erzeugung der Referenzspannungen. Eine Besonderheit sind die vier "Configureable Logic Cells" (CLC), die eine flexible Verknüpfung interner Signale ermöglichen. Beispielsweise können die Ausgänge der internen Komparatoren miteinander XOR verknüpft und dem PWM-Generator zugeführt werden, um diesen bei Überspannung oder Überstrom hardwareseitig mit einer Verzögerung im unteren Nanosekundenbereich abzuschalten. Die Betriebsspannung beträgt 3,3 V.

5.2 Systemüberblick

Die Architektur des Gesamtsystems ist in Abbildung 23 dargestellt. Der strichlierte Rahmen repräsentiert den Mikrocontroller. Die Ausgangsspannung des Aufwärtswandlers wird durch den Spannungsteiler bestehend aus R_1 und R_2 geteilt und über den ADC eingelesen. Das Fehlersignal $e[n]$ entsteht durch Subtraktion des ADC Signals vom Referenzwert V_{REF} . Der PID-Regler berechnet basierend darauf einen neuen Ausgangswert für den PWM-Generator. Dieser steuert über den Gate Treiber den Transistor an. Durch die adaptive Sperrzeitanpassung wird der Duty Cycle des PWM-Generators beeinflusst, was in Abschnitt 5.6 näher erläutert wird.

Die Überstromerkennung (OC) wird durch einen internen Komparator (CMP) realisiert. Im Fehlerfall schützt dieser den Transistor vor Zerstörung, indem er den PWM-Generator rechtzeitig abschaltet. Hierzu vergleicht der Komparator den Spannungsabfall am Widerstand R_{SHUNT} mit seiner internen Referenzspannung, die von einem DAC erzeugt wird.

Die Überspannungserkennung (OV), ebenfalls mit einem Komparator (CMP) realisiert, misst die zurückgeführte Ausgangsspannung. Die Ausgänge der Komparatoren werden, wie bereits erwähnt, mittels einer CLC XOR-verknüpft und der "PWM Control Input" (PCI) Logik des PWM-Generators zugeführt. Das ermöglicht eine hardwareseitige Abschaltung im Nanosekundenbereich. Zusätzlich wird im Fehlerfall ein Interrupt ausgelöst, der in der Software unter anderem dazu verwendet wird, die OC- beziehungsweise OV-LED entsprechend zu aktivieren.

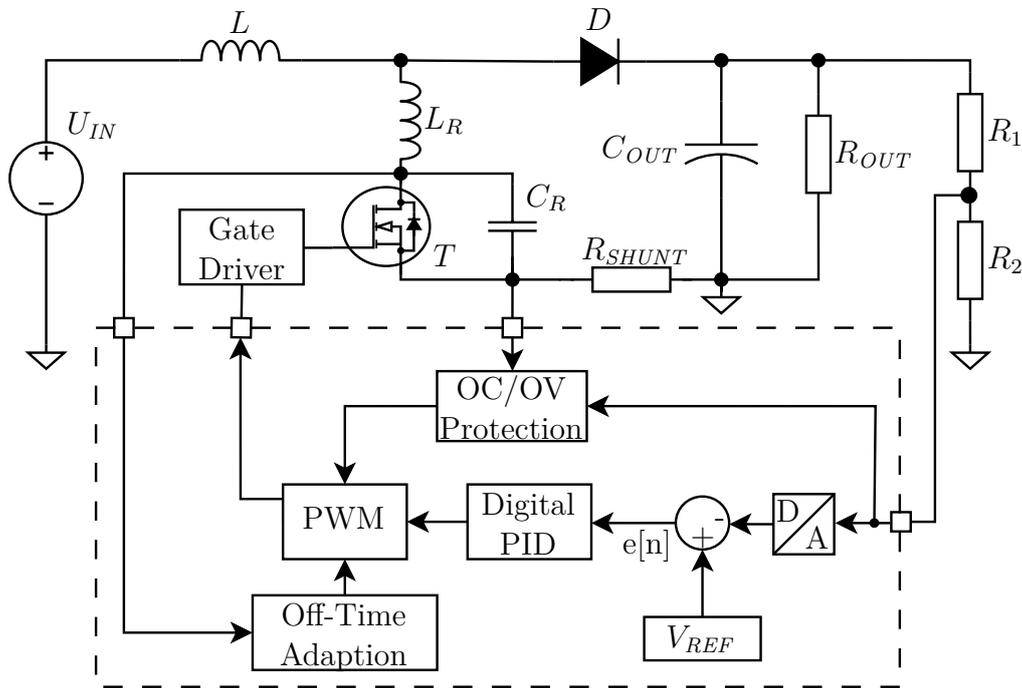


Abbildung 23: Architektur des digitalen QR-ZVS Aufwärtswandlers inklusive adaptiver Lücken Anpassung, Überstrom- und Überspannungsschutz.

5.3 PWM-Generator

Für die Regelung der Ausgangsspannung des QR-ZVS Aufwärtswandlers wird ein PWM-Signal mit variabler Periode, jedoch konstanter Sperrzeit benötigt. Ein einzelner PWM-Generator des ausgewählten Mikrocontrollers bietet diese Funktionalität nicht direkt an. Gemäß [46] müssen zwei PWM-Generatoren kombiniert werden, wie in Abbildung 24 dargestellt.

Der erste PWM-Generator (PG1) verfügt über eine variable Periode T_1 . Das "start of cycle" (SOC) Trigger Signal von PG1 wird an den zweiten PWM-Generator (PG2) weitergeleitet. PG2 bestimmt die Sperrzeit t_{OFF} und ist als "retriggerable" konfiguriert. Diese Konfiguration ermöglicht es, dass der PG2 während eines PWM-Zyklus durch den SOC-Trigger des PG1 neu gestartet werden kann. Das resultierende PWM-Signal (orange, Abb. 24) am Ausgang ermöglicht eine unabhängige Einstellung der Periode (durch PG1) und der Sperrzeit (durch PG2).

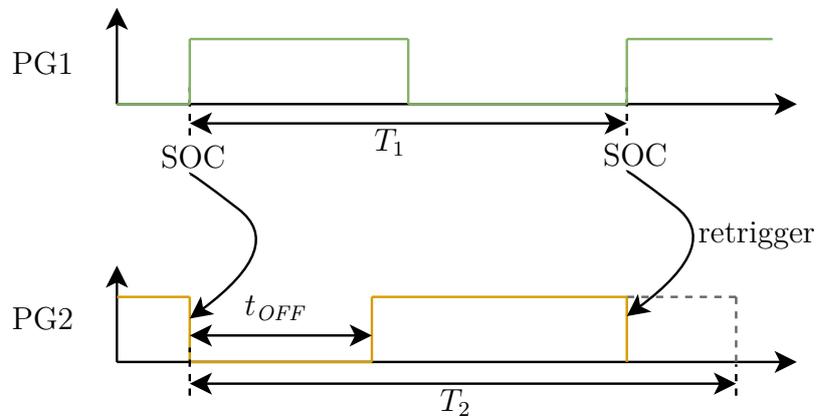


Abbildung 24: PWM-Signal mit unabhängig einstellbarer Periode und Sperrzeit.

5.4 C-Software

Für die Programmentwicklung wird die kostenlose Programmierumgebung MPLABX Integrated Development Environment (IDE) von Microchip verwendet [47]. Diese IDE bietet zahlreiche Funktionen, die eine effiziente und übersichtliche Programmierung des Mikrocontrollers ermöglichen. Dazu gehört auch der MPLAB Code Configurator (MCC), der es durch ein graphisches Interface ermöglicht, die Peripherie des Mikrocontrollers zu konfigurieren und zu kombinieren. Die erstellte Konfiguration kann anschließend in C-Code umgewandelt und dem Projekt hinzugefügt werden. Die Programmierung erfolgt mit dem PICkit™ 4 In-Circuit Debugger [48], der über ein JTAG-Interface mit dem Mikrocontroller verbunden wird.

Die Struktur der C-Software ist als endlicher Automat (EA) ausgeführt. Dieser EA (Abb. 25) besteht aus fünf Zuständen: "waiting, (1)", "soft start, (2)", "running, (3)", "error, (4)" und "adaption, (5)". Der Mikrocontroller startet im ersten Zustand und verbleibt dort, bis der Taster 1 gedrückt wird. Anschließend beginnt die Softstart-Rampe des Reglers im zweiten Zustand. Während des Softstarts wird die Referenzspannung des PID-Reglers schrittweise erhöht, bis die gewünschte Ausgangsspannung erreicht ist. Danach wechselt der EA in den dritten Zustand. Von diesem Zustand aus kann der EA entweder durch erneutes Drücken von Taster 1 zum ersten Zustand zurückkehren oder durch einen Timer-Interrupt in regelmäßigen Abständen in den fünften Zustand wechseln. Im fünften Zustand wird der Algorithmus für die adaptive Sperrzeitanpassung ausgeführt. Nach Abschluss des Algorithmus oder bei Ablauf eines Timeout-Zählers kehrt der EA in den dritten Zustand zurück.

In allen Zuständen, in denen der Wandler aktiv ist, wechselt der EA bei einer Überstrom- oder Überspannungserkennung in den vierten Zustand. In diesem Zustand wird der Wandler deaktiviert und die entsprechenden Fehlerindikator-LEDs werden aktiviert. Durch Betätigen von Taster 2 kehrt der EA zum ersten Zustand zurück und die LEDs werden zurückgesetzt.

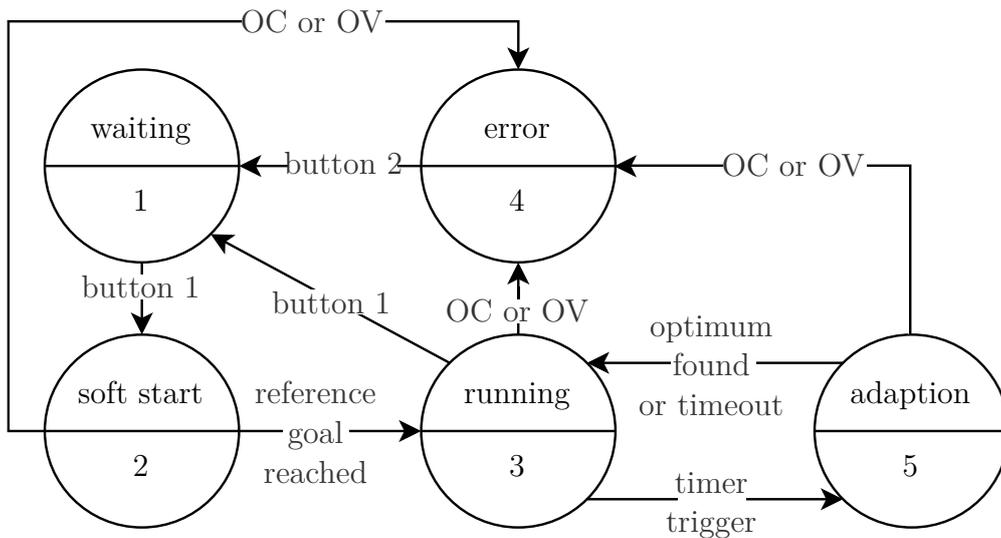


Abbildung 25: Endlicher Automat Architektur der C Software.

5.5 Digitaler PID-Regler

Die Berechnung eines neuen Ausgangswertes des PID-Reglers $y[n]$ erfolgt gemäß der folgenden Formel

$$y[n] = y[n - 1] + A \cdot e[n] + B \cdot e[n - 1] + C \cdot e[n - 2] \quad (78)$$

mit den Koeffizienten

$$\begin{aligned}
 A &= K_P + K_I + K_D \\
 B &= -K_P - 2 \cdot K_D \\
 C &= K_D .
 \end{aligned} \quad (79)$$

Die Werte für K_P , K_I und K_D werden vom Anwendungsingenieur in der Software eingestellt. Dabei steht $e[n]$ für den aktuellen Fehlerwert und $e[n -$

1], $e[n-2]$ für die beiden vorherigen Fehlerwerte. Der Wert $y[n-1]$ entspricht dem letzten Ausgangswert.

Mit einer maximalen Befehl-Verarbeitungsrate von 100 *MIPS* und der Aktualisierungsrate von 1 MHz stehen für die Berechnung eines neuen PID-Ausgangswerts maximal 100 Instruktionen zur Verfügung. Erste Implementierungsversuche des PID-Reglers in der Programmiersprache C haben gezeigt, dass der Compiler die Programmzeilen in zu viele Instruktionen umsetzt, wodurch die gewünschte Aktualisierungsrate nicht erreicht werden kann. Daher wird der PID-Regler in der Programmiersprache Assembler implementiert, angelehnt an die "SMPS Control Library" von Microchip [49]. Das Assembler-Instruktionen-Set für die dsPIC33-Reihe ist unter anderem auf effiziente Multiplikationen optimiert. Der MAC-Befehl ermöglicht es mit einer einzigen Instruktion eine Multiplikation durchzuführen, das Ergebnis mit dem Wert im Akkumulator zu addieren und zwei weitere Werte für die nächste Multiplikation vorzuladen. Dadurch kann die Berechnung von Gleichung (78) in nur vier Instruktionen durchgeführt werden. Die gesamte PID-Assembler Funktion besteht aus 37 Instruktionen und ist im Anhang A aufgeführt.

Diese Funktion benötigt als Eingangswerte die gespeicherten PID-Werte, den Referenzwert und den neuen vom ADC eingelesenen Wert. Der Ausgangswert des PID-Reglers wird auf einen 10 Bit Wert (0-1023) begrenzt, da er als Index in einem Lookup-Array verwendet wird. Dies verhindert unerlaubte Speicherzugriffe außerhalb des Adressbereichs des Arrays. Dieses Array enthält 1024 Registerwerte für die Periode des PWM-Generators. Ein Durchlauf der Funktion, einschließlich des Aufrufs des Lookup-Arrays und der Aktualisierung des Periodenregisters des PWM-Generators, benötigt 74 Instruktionen und dauert somit $t_{UPDATE} = 740$ ns. Damit wird die gewünschte Aktualisierungsrate erreicht.

5.6 Adaptive Sperrzeitanpassung

Ein Nachteil der QR-ZVS Aufwärtswandler Topologie ist, dass bei Betriebsfällen mit geringer Last die ZVS-Bedingung (Gl. 10) nicht mehr erfüllt ist, da der Eingangsstrom zu niedrig ist. Dadurch ist die Spannung zum Schaltzeitpunkt nicht null und die Schaltverluste steigen. Zudem ist die optimale Sperrzeit lastabhängig (Gl. 11). Abbildung 26 zeigt, wie sich die Minima ($U_{\min1}$ bis $U_{\min4}$) und der optimale Schaltzeitpunkt (t_1 bis t_4) bei unterschiedlicher Last verschieben. Bei geringer Last ist eine längere Sperrzeit vorteilhafter als bei hoher Last. Das bedeutet, wenn die Sperrzeit für den maximalen Last-

fall optimal eingestellt ist, schaltet der Transistor bei geringer Last, bevor die Spannung ihr Minimum erreicht hat, was den Wirkungsgrad reduziert (siehe Abschnitt 7.2). Dieser Nachteil kann durch eine automatische Sperr-

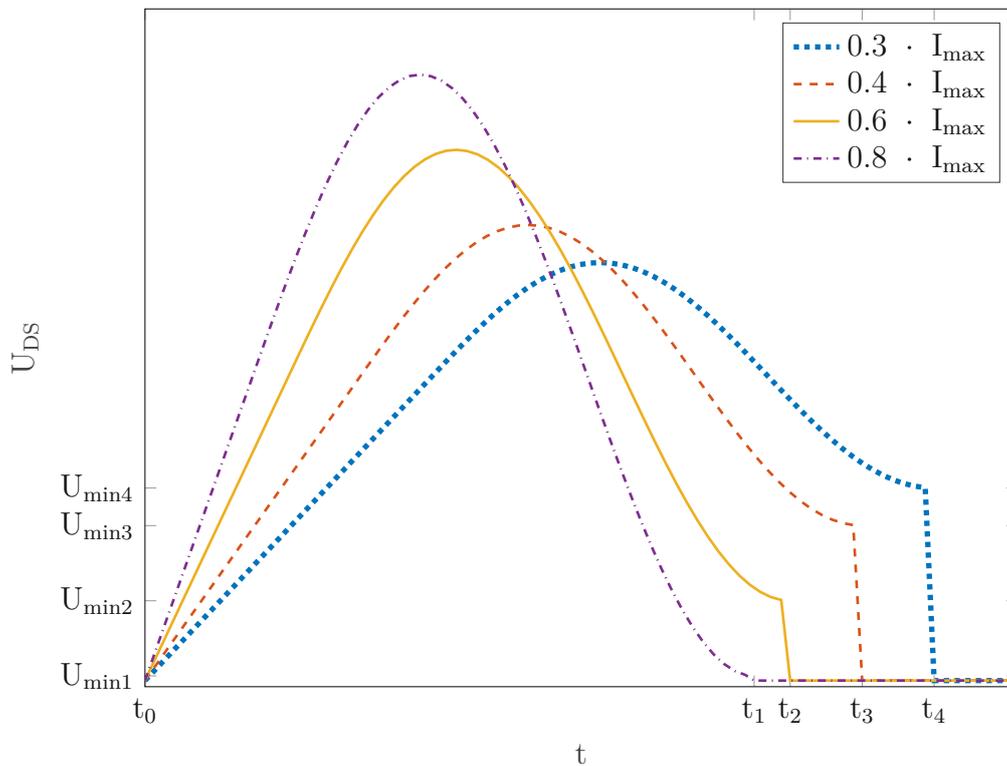


Abbildung 26: Verlauf der Drain-Source Spannung bei unterschiedlichen Lastfällen.

zeitanpassung kompensiert werden. Hierzu wird die Drain-Source Spannung des Transistors mit einem Komparator erfasst und mit einem Timer die Zeit gemessen, die die Spannung benötigt, um ihr Minimum zu erreichen. Der Umstand, dass die ZVS-Bedingung bei geringer Last nicht mehr erfüllt ist, macht eine korrekte Messung mit einer konstanten Komparatorschwelle unmöglich.

Zur Lösung dieses Problems wird die Symmetrie der Kurve ausgenutzt. Dazu wird die Zeit bis zum Erreichen des Maximums der Kurve erfasst. Der optimale Einschaltzeitpunkt ergibt sich durch Verdoppelung dieser gemessenen Zeit. Der Algorithmus für die Zeiterfassung besteht aus zwei Phasen. In der ersten Phase wird das Maximum der Schwelle ermittelt. Hierzu wird über mehrere Schaltzyklen hinweg die Referenzspannung des Komparators nach

dem "binary search" Suchverfahren angepasst, bis das Maximum gefunden ist. Wenn der Komparator innerhalb der Sperrzeit auslöst, wird die minimale Schwelle angehoben, andernfalls wird die obere Schwelle gesenkt. Das Maximum ist gefunden, wenn sich die obere und untere Schwelle nicht mehr unterscheiden.

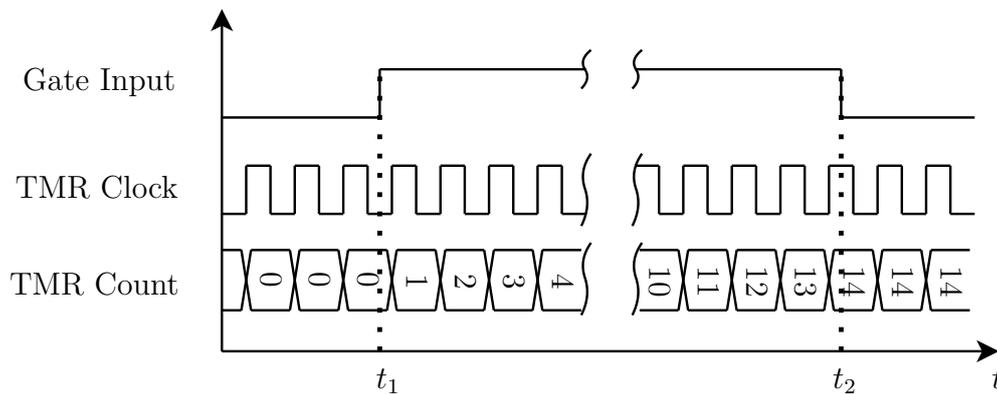


Abbildung 27: Zählverhalten des Gated Timers (TMR).

In der zweiten Phase wird die Zeitspanne zwischen t_0 und dem Erreichen des Spannungsmaximums gemessen. Dafür wird ein sogenannter "gated timer" verwendet (Abb. 27). Der Timer arbeitet mit einer Auflösung von 10 ns und beginnt zum Zeitpunkt t_1 zu zählen, wenn das Gatesignal gesetzt wird und stoppt bei t_2 , wenn es wieder gelöscht wird. Aus Abbildung 26 geht hervor, dass für eine korrekte Zeitmessung, das Gatesignal zum Zeitpunkt t_0 gesetzt und beim Erreichen des Maximums, wenn der Komparator auslöst, wieder gelöscht werden muss. Um das Gatesignal zu setzen, wird der "start of cycle" (SOC) Trigger des PWM-Generators genutzt. Allerdings muss dazu das PWM-Signal invertiert werden, damit der PWM-Zyklus mit der Sperrzeit beginnt und der SOC Trigger mit t_0 zusammenfällt. Eine in Abschnitt 5.1 erwähnte CLC wird verwendet, um die Signale intern zu verbinden. Die CLC ist als RS-Flip-Flop konfiguriert und der Ausgang Q ist mit dem Gatesignal des Timers verbunden (Abb. 28). Der SOC Trigger wird mit dem Set-Eingang und der Ausgang des Komparators mit dem Reset-Eingang verknüpft. Mit dieser Konfiguration lässt sich die Zeit ermitteln. Sobald der Timer gestoppt wird, löst er einen Interrupt aus, der es der Software ermöglicht, den Zählstand des Timers zu verarbeiten.

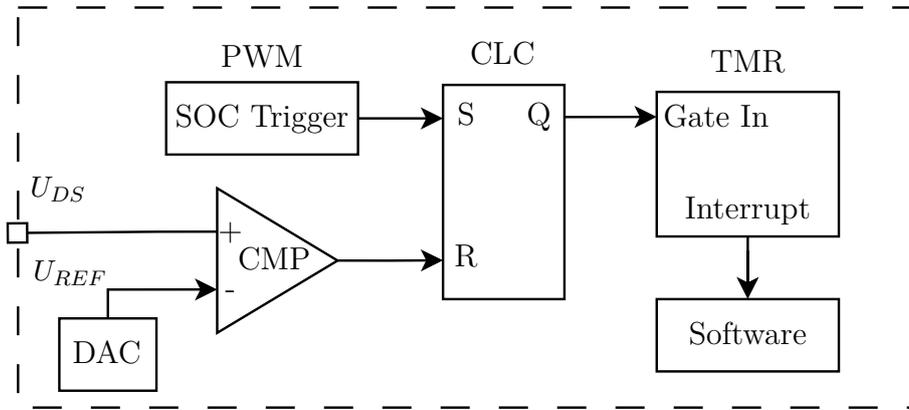


Abbildung 28: Ansteuerung des Gated Timers (TMR) im Mikrocontroller.

6 Prototypendesign und Aufbau

Der QR-ZVS Aufwärtswandler wird mit den in Abschnitt 3 ausgewählten Bauteilen in einem Prototypen realisiert. Dadurch soll die in Abschnitt 4 simulierte Funktion des Aufwärtswandlers geprüft werden. In diesem Kapitel wird zunächst der Schaltplan mit seinen Schaltungsblöcken vorgestellt. Anschließend werden die Überlegungen zur Layout-Auslegung erläutert.

Der Schaltplan und das Layout werden in der "Electronic Design Automation" (EDA)-Software Eagle (Version 9.6.2) von Autodesk unter Verwendung einer Studentenlizenz erstellt [45].

6.1 Schaltplan

In diesem Abschnitt wird die Funktion der einzelnen Schaltungsblöcke ausführlich erläutert. Der vollständige Schaltplan ist in Anhang B hinterlegt. Abbildung 46 zeigt die vier Funktionsblöcke: Aufwärtswandler, OC Erkennung, OV und FB Spannung sowie Gate Treiber. Die Funktionsblöcke des Mikrocontrollers sowie der 5 V- und der 3,3 V-Spannungsversorgung sind in Abbildung 47 dargestellt.

Aufwärtswandler

Die Wandlerstrecke umfasst neben den gängigen Bauteilen aus Abbildung 1 die zusätzliche Diode zur Schwingungsunterdrückung und zwei Shunt Widerstände direkt an den Eingangs- und Ausgangsbuchsen. Diese ermöglichen die Erfassung des Eingangs- und Ausgangsstroms für die Wirkungsgradmessungen. Zusätzlich folgt eingangsseitig nach dem Shunt ein Pi-Filter, der eventuelle Gegentaktstörungen auf der Leitung reduziert. Die Anzahl der Eingangs- und Ausgangskondensatoren wird großzügig ausgelegt, um eine flexible Bestückung mit unterschiedlichen Baugrößen zu ermöglichen.

Für eine eingangsseitige Über- und Unterspannungserkennung wird ein Spannungsteiler verwendet und die geteilte Spannung wird einem analogen Eingang des Mikrocontrollers zugeführt. Ein weiterer Spannungsteiler dient der Erfassung der Drain-Spannung des GaN-FETs für die adaptive Sperrzeitanpassung und ist mit dem im Mikrocontroller integrierten Komparator verbunden.

Am Schaltknoten ist ein Testpunkt mit einem eigenen Masseanschluss implementiert, dieser ermöglicht eine Spannungsmessung über einen Tastkopf mit einer Massefeder. Diese niederinduktive Masseanbindung erleichtert eine

korrekte Messung des hochfrequenten Signals.

Überstromerkennung

Die internen Komparatoren des Mikrocontrollers arbeiten im Bereich von 5 % bis 95 % der Versorgungsspannung, was bei einer Spannung von 3,3 V einem Bereich von 0,165 V bis 3,135 V entspricht. Für die Strommessung wird ein 10 m Ω Shunt verwendet, wodurch sich ein minimal erfassbarer Strom von 16,5 A ergibt. Um die OC-Erkennung bei niedrigeren Strömen zu ermöglichen, wird die Stromerfassung mit dem diskreten Komparator NCS2250SN2T1G von onsemi realisiert [50]. Dieser verfügt über einen sogenannten "rail-to-rail" Eingang, der eine Erfassung über den gesamten Speisespannungsbereich ermöglicht. Alternativ könnte mit einem größeren Shuntwert die Erkennung kleinerer Ströme mit dem internen Komparator ermöglicht werden. Jedoch soll das Potential am Source Pin des GaN-FETs bei Stromfluss nicht zu stark verschoben werden, weshalb eine Erhöhung des Shuntwertes vorerst nicht in Frage kommt.

Für mehr Flexibilität kann am Referenzeingang des externen Komparators die Referenzspannung wahlweise vom DAC-Ausgang des Mikrocontrollers oder direkt von der Versorgungsspannung bezogen werden. Am Messeingang des Komparators befindet sich ein Tiefpass, um eventuelle kurze Spannungsspitzen herauszufiltern.

Ausgangsspannungsmessung

Die Ausgangsspannung wird mit einem Spannungsteiler gemessen. Die geteilte Spannung wird mit einem Pin des Mikrocontrollers verbunden, der intern sowohl mit einem ADC-Modul als auch mit einem Komparator für die Überspannungserkennung verknüpft ist. Im oberen Teil des Spannungsteilers befindet sich zudem ein 33 Ω Widerstand mit Testpunkten, die als Einspeisepunkte für die Stabilitätsmessungen dienen. Diese werden in Kapitel 7.5 näher erläutert.

Zusätzlich sind parallel zu den Widerständen optionale Kondensatoren vorgesehen, um die Spannungsform nach dem Spannungsteiler zu beeinflussen. Der obere Kondensator ermöglicht es, schnelle Spannungsänderungen ungehindert dem Mikrocontroller zuzuführen. Der untere Kondensator hingegen filtert schnelle Spannungsänderungen und damit eventuelle kurze Spannungsspitzen heraus.

Gate Treiber

Für den Gate Treiber kommt der 1EDN71x6U EiceDriver von Infineon zum Einsatz. Dieser Treiber ist speziell für die Ansteuerung von GaN-FETs ausgelegt und kann einen Strom von bis zu 2 A an das Gate abgeben oder vom Gate aufnehmen. An den SNK und SRC Ausgängen wird jeweils ein Gate-Widerstand vorgesehen, um mögliche Spannungsüberhöhungen beim Schalten zu minimieren. Das wirkt sich zwar nachteilig auf die Schaltgeschwindigkeit aus ist aber notwendig da GaN-FETs durch Überspannungen am Gate leicht beschädigt werden können. Die typische Gate-Spannung beträgt 5 V, weshalb eine Versorgungsspannung für den Gate Treiber von 5 V ausreichend ist.

Der Gate Treiber verfügt über einen differentiellen Eingang, der die Immunität gegenüber GND-Level-Verschiebungen verbessert, die durch schnelle Schaltvorgänge entstehen können. An den Eingangspins werden zwei externe Widerstände verwendet, um die Eingänge zu schützen. Für diese Widerstände wird bei einer Ansteuerspannung der Eingänge von 3,3 V, ein Wert von 47 k Ω und eine Toleranz von 0,1 % benötigt.

Spannungsversorgung

Die Wandlerstrecke wird über Bananenbuchsen von einem externen Netzteil mit einer Eingangsspannung von 8 V bis 20 V versorgt. Die 5 V Spannungsversorgung des Gate Treibers wird mit dem linearen Spannungsregler NCV7805BDTRKG von Onsemi bereitgestellt. Dieser wird über eine zwei-Pin-Steckerleiste von einem externen Netzteil versorgt. Der Mikrocontroller und der Komparator für die Überstromerkennung benötigen eine Spannungsversorgung von 3,3 V, diese werden ausgehend vom Ausgang des 5 V Spannungsreglers mit dem linearen Spannungsregler LD117AS33TR von STMicroelectronics erzeugt.

Mikrocontroller

Die Programmierung des Mikrocontrollers und das Debuggen des Programms erfolgt mittels einer Joint Test Action Group (JTAG)-Schnittstelle über eine einreihige fünf-Pin-Steckerbuchse (PROG). Die Versorgungsbeschaltung des Mikrocontrollers wird gemäß den Empfehlungen im Datenblatt gestaltet [34]. Zur Anzeige des Status des Wandlers sind drei LEDs (RUN, OC, OV) integriert. Zusätzlich sind zwei Taster vorhanden: Einer dient zum Starten und Stoppen des Aufwärtswandlers, der andere ermöglicht das Zurücksetzen des Fehlerzustands.

Für Testzwecke werden zwei frei programmierbare General Purpose Input/Output (GPIO) Pins des Mikrocontrollers auf eine zwei-Pin-Steckerleiste (JP4) herausgeführt. Eine einreihige drei-Pin-Steckerleiste (POT1) wird bereitgestellt, um gegebenenfalls über ein Potentiometer die PWM-Sperrzeit während des Betriebs manuell einstellen zu können. Zu diesem Zweck ist der mittlere Pin mit einem analogen Eingang des Mikrocontrollers verbunden.

6.2 Layout und Prototyp

Das Layout wird auf einer vierlagigen Leiterplatte mit den Abmessungen 130 mm x 70 mm erstellt. Abbildung 29 zeigt den Top-Layer des Layouts. Zu Beginn des Designs liegt der Fokus auf der Anordnung des Leistungsteils, um die räumliche Schleife mit den hochfrequent schaltenden Bauteilen möglichst gering zu halten. Deshalb werden die Bauteile OC-Shunt, GaN-FET, Resonanzspule und Diode in U-Form angeordnet. Zusätzlich werden an den Anschlüssen der Bauteile bei denen eine erhöhte Verlustleistung zu erwarten ist, zweireihig kleine Vias zur Entwärmung platziert.

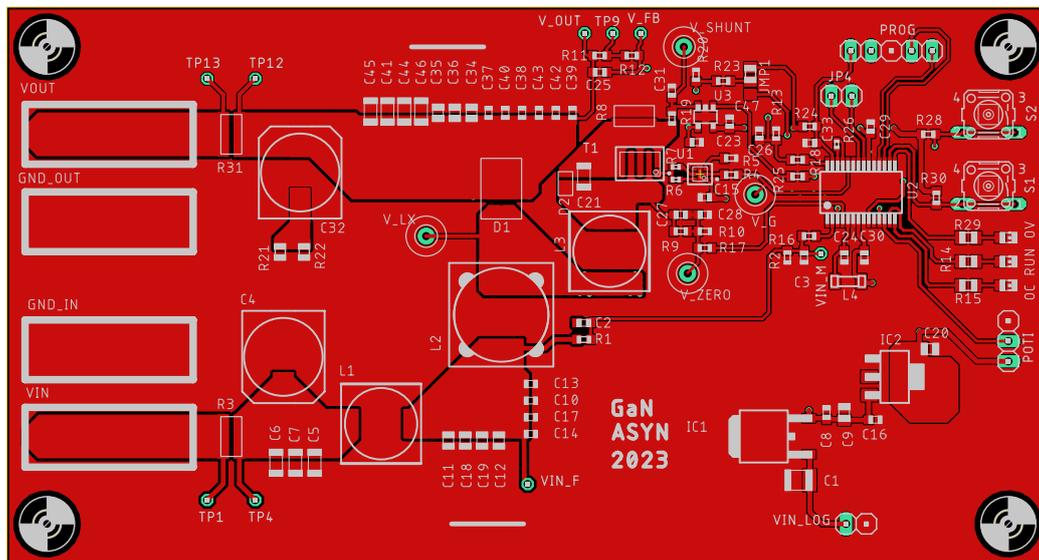


Abbildung 29: Layout der Leiterplatte

Zwischen dem Gate des GaN-FETs und dem Gate Treiber werden Widerstände eingefügt, um die Schaltflanken bei Bedarf anpassen zu können. Darüber hinaus befindet sich der Gate Treiber in unmittelbarer Nähe zum GaN-FET, um parasitäre Induktivitäten entlang des Gate-Pfads zu minimieren.

Beim Anordnen des Komparators für die Überstromerkennung wird ebenfalls auf eine kurze Anbindung des Shunts an den Eingang geachtet. In der rechten oberen Ecke des Layouts wird der Mikrocontroller mit seiner Peripherie platziert und mit dem Eingang des Gate-Treibers sowie dem Ausgang des Überstrom-Komparators verbunden. Rechts unten befindet sich der zusätzliche Anschluss für die Spannungsversorgung des linearen 5 V Spannungsreglers, gefolgt vom 3,3 V Spannungsregler.

Schließlich werden die Eingangs- und Ausgangsklemmen entlang der linken Kante der Platine angeordnet und die Freiflächen in jeder Lage mit einer Massefläche gefüllt. Nach der Fertigung der Leiterplatte wird diese bestückt. Für das Löten der SMD Bauteile kommt ein Reflow Ofen zum Einsatz, während die Durchsteckkomponenten von Hand gelötet werden. In Abbildung 30 ist die bestückte Leiterplatte dargestellt.

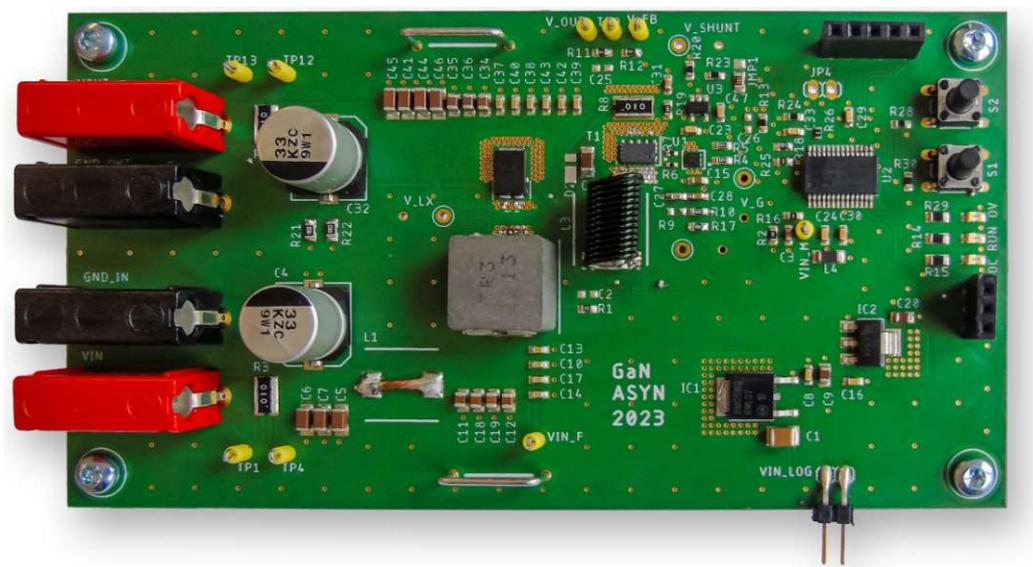


Abbildung 30: Aufgebauter Prototyp

7 Messungen und Ergebnisse

Nach der Fertigung und Bestückung der Platine wird der Mikrocontroller programmiert und der Prototyp vermessen. In diesem Kapitel werden die Ergebnisse der Messungen dargelegt.

7.1 Strom- und Spannungsverläufe

Die Strom- und Spannungsverläufe des Leistungsteils werden nach einer erfolgreichen Inbetriebnahme des QR-ZVS Aufwärtswandlers mit den simulierten Ergebnissen verglichen. Zunächst wird überprüft, ob die in Kapitel 4.1 mit LTspice simulierte Schwingung am Schaltknoten (Abb. 15) in der Praxis tatsächlich so stark auftritt und damit die zusätzliche Diode (D2 in Abbildung 13) zur Unterdrückung der Schwingung notwendig ist.

Die Spannung am Schaltknoten U_{Lx} wird mit einem Oszilloskop gemessen. Für den Vergleich der Spannungsverläufe am Schaltknoten bei unterschiedlicher Bestückung wird die Referenz Funktion des Oszilloskops verwendet. Diese Funktion ermöglicht es Messdaten von unterschiedlichen Messungen in ein Diagramm zu vereinen. Die Spannungsverläufe sind in Abbildung 31 dargestellt. Als erstes wird die Platine mit der SBR10U200P5 Diode ohne Zusatzdiode bestückt. Das Ergebnis ist in rot dargestellt und zeigt, dass die Schwingung schneller abklingt als in der Simulation, jedoch ist die Schwingungsamplitude so hoch, dass die Diode kurzzeitig wieder zu leiten beginnt und dadurch zu erhöhten Verlusten führt. Mit dem Austausch der Diode durch die SS8PH10 Diode (hellblau) kann die Amplitude der Schwingung so weit reduziert werden, dass diese zumindest nicht mehr unerwünscht einschaltet. Jedoch ist die Schwingung immer noch stark präsent und bewirkt damit Verluste. Deshalb kann auf die zusätzliche Diode nicht verzichtet werden. Nach dem Einbau wird die Schwingung vollständig unterdrückt (grün).

Zusätzlich ist in Abbildung 31 die Ausgangsspannung U_{OUT} (orange) und die Eingangsspannung des Gate Treibers U_{PWM} (dunkelblau), welche vom Mikrocontroller erzeugt wird, dargestellt. Die zeitliche Verschiebung der U_{PWM} zur U_{Lx} resultiert aus der Laufzeitverzögerung des verwendeten Gate Treibers 1EDN7116U von Infineon und beträgt 55 ns [29].

Nach der erfolgreichen Unterdrückung der Schwingung am Schaltknoten wird der Verlauf des Eingangsstroms I_{IN} (Abb. 32, gelb) und der Spannungsverlauf des Resonanzkondensators (Abb. 32, grün) analysiert. Die Abbildung 32 wurde bei einer Eingangsspannung von $U_{IN} = 8$ V und einer Ausgangsleis-

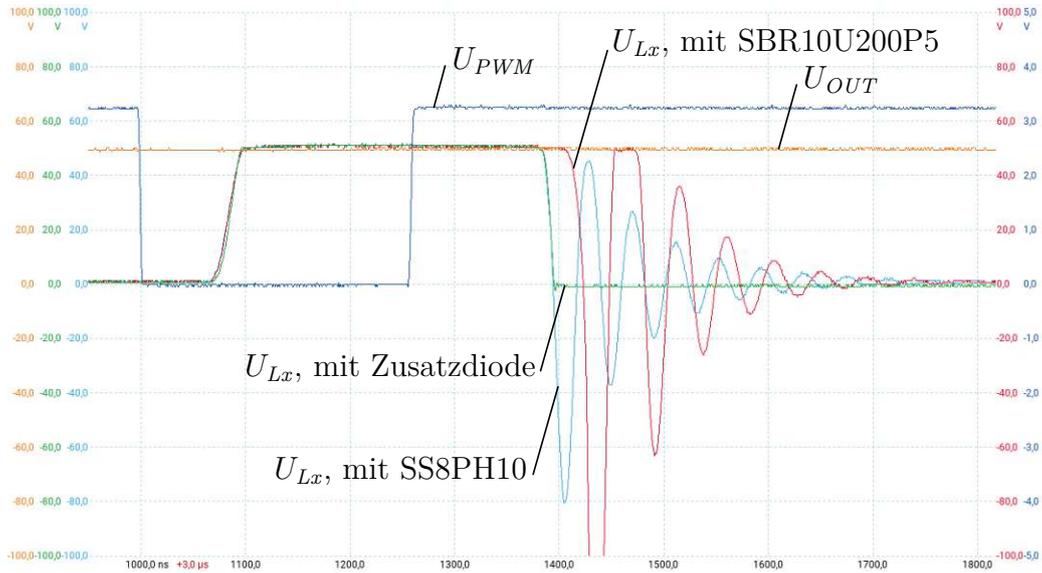


Abbildung 31: PWM-Spannung U_{PWM} (dunkelblau), Ausgangsspannung U_{OUT} (orange), Schaltknotenspannung V_{Lx} mit der SBR10U200P5 Diode (rot), V_{Lx} mit der SS8PH10 Diode (hellblau) und V_{Lx} mit der SS8PH10 Diode und einer Zusatzdiode (grün), bei $U_{IN} = 10 \text{ V}$, $P_{OUT} = 40 \text{ W}$

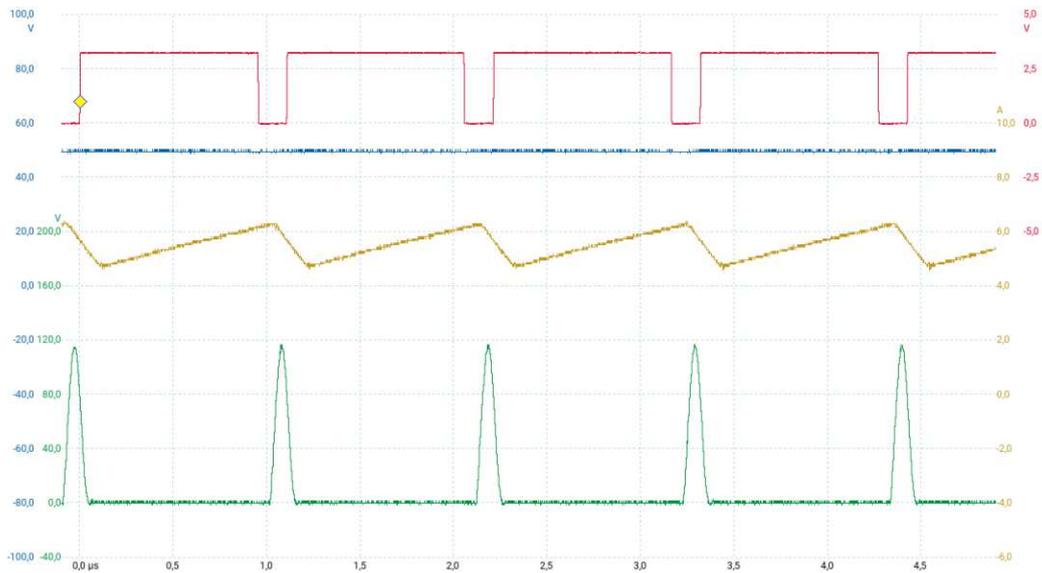


Abbildung 32: PWM-Spannung U_{PWM} (rot), Ausgangsspannung $U_{OUT} = 50 \text{ V}$ (blau), Eingangsstrom I_{IN} (gelb) und Resonanzkondensatorspannung U_{CR} (grün), bei $U_{IN} = 8 \text{ V}$, $P_{OUT} = 40 \text{ W}$

tung von $P_{OUT} = 40 \text{ W}$ aufgenommen. Der Ripplestrom des Eingangsstroms ist wie in Kapitel 3.4 berechnet, etwa 34 % des Mittelwerts und beträgt $I_{L,rp} = 1,8 \text{ A}$. Die Spannung am Resonanzkondensator erreicht einen Maximalwert von 116 V und die ZVS-Bedingung ist erfüllt. Außerdem ist der Schaltzeitpunkt optimal eingestellt.

7.2 Optimierung des Wirkungsgrads

Um die Effektivität der einzelnen Optimierungen des Leistungsteils der Schaltung bezüglich des Wirkungsgrades bestimmen zu können, wird nach jedem Optimierungsschritt eine Wirkungsgradkurve bei Ausgangsleistungen von 10 W bis 50 W aufgenommen. Für diese Tests wird eine Ausgangsspannung von 50 V und eine Eingangsspannung von 14 V eingestellt. Zunächst wird gezeigt, dass der Diodentausch und der Einbau der zusätzlichen Diode zur Unterdrückung der Schwingung zu einer Verbesserung des Wirkungsgrads führt. Nachfolgend, wird der Wirkungsgrad der in Abschnitt 3.1 ausgewählten Resonanzspulen miteinander verglichen. Abschließend wird die Wirksamkeit der adaptiven Sperrzeitanpassung präsentiert.

Diodenwechsel und Einbau der zusätzlichen Diode

Vor und nach dem Tausch der Diode werden Wirkungsgradmessungen durchgeführt, um die Wirksamkeit der Maßnahme zu bewerten. Die Ergebnisse der Messungen werden in Abbildung 33 verglichen. Mit der SBR10U200P5 Diode beträgt der maximale Wirkungsgrad $\eta = 88 \%$ bei einer Ausgangsleistung von $P_{OUT} = 50 \text{ W}$. Der Wandler erreicht hingegen mit der SS8PH10 Diode einen Wirkungsgrad von $\eta = 92 \%$. Zudem führt der Einbau der zusätzlichen Diode zur Unterdrückung der Schwingung am Schaltknoten zu einer weiteren Erhöhung des Wirkungsgrads um einen Prozent. Dadurch steigt der maximale Wirkungsgrad auf $\eta = 93 \%$.

Resonanzspulenvergleich

Nach dem Diodentausch werden die drei Resonanzspulen aus Abschnitt 3.1 miteinander verglichen. Die Wirkungsgradverläufe sind in Abbildung 34 dargestellt. Die IHLP-2020BZ-11 erreicht einen maximalen Wirkungsgrad von 89 %. Durch den Austausch der Resonanzspule mit der IHLM-2525CZ-01 kann der Wirkungsgrad über den gesamten Ausgangsleistungsbereich um etwa 1 % erhöht werden. Die Luftspule 2929SQ-501 erreicht einem maximalen Wirkungsgrad von 93 %.

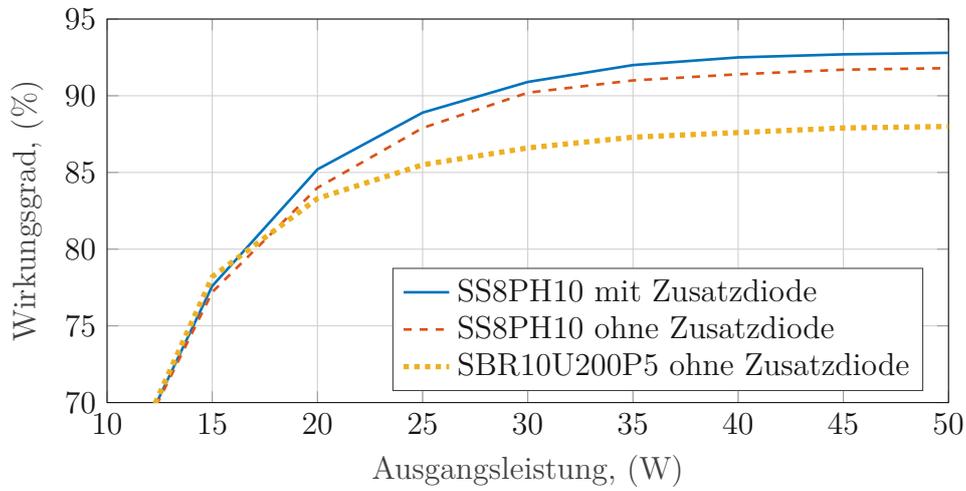


Abbildung 33: Vergleich des Wirkungsgrads des QR-ZVS Aufwärtswandlers mit unterschiedlichen Dioden Konfigurationen, bei $U_{IN} = 14 \text{ V}$ und $U_{OUT} = 50 \text{ V}$

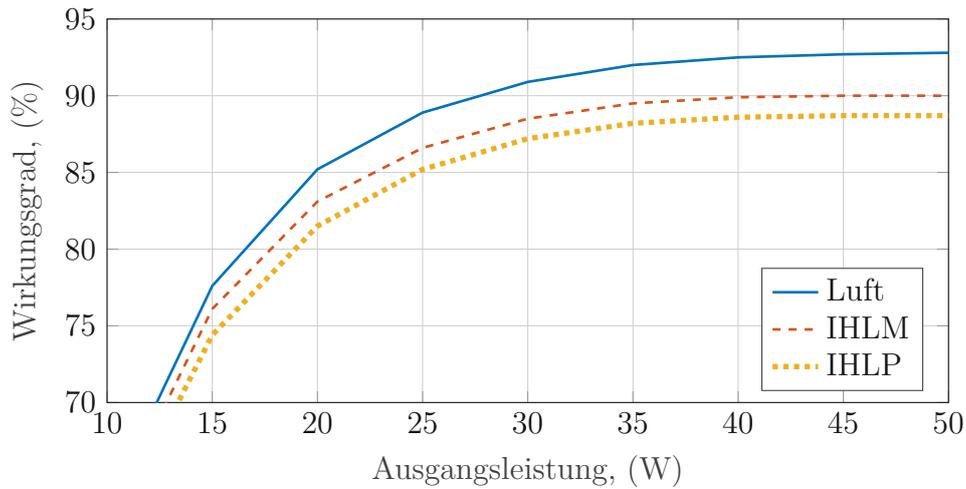


Abbildung 34: Wirkungsgrad des QR-ZVS Aufwärtswandlers mit unterschiedlichen Resonanzspulen IHLP-2020BZ-11, IHLM-2525CZ-01 und 2929SQ-501, bei $U_{IN} = 14 \text{ V}$ und $U_{OUT} = 50 \text{ V}$

Nachdem die Luftspule die beste Performance liefert, wird der Wirkungsgrad mit dieser Spule bei unterschiedlichen Eingangsspannungen untersucht. Abbildung 35 zeigt, dass der Wirkungsgrad bei einer Eingangsspannung von $U_{IN} = 8 \text{ V}$ sein Maximum von $\eta = 91 \%$ bereits im Teillastbereich bei $P_{OUT} = 25 \text{ W}$ erreicht. Bei der Eingangsspannung von $U_{IN} = 14 \text{ V}$ ver-

schiebt sich der Maximale Wirkungsgrad zur Volllast von $P_{OUT} = 50 \text{ W}$ und beträgt $\eta = 93 \%$. Bei $U_{IN} = 20 \text{ V}$ erreicht der Wirkungsgrad ebenfalls bei Volllast $\eta = 93 \%$ jedoch lässt die Steigung des Wirkungsgradverlaufes vermuten, dass bei größeren Lasten ein um etwas höherer Wirkungsgrad erzielt werden kann.

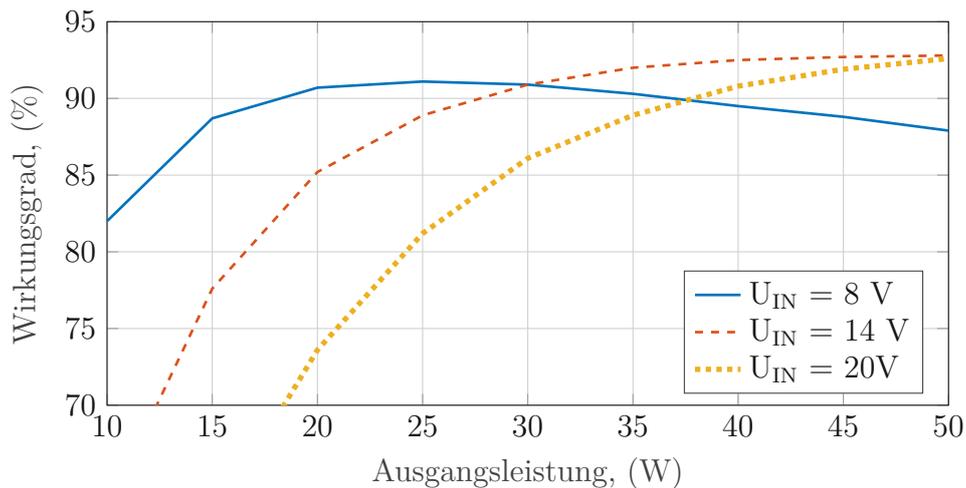


Abbildung 35: Wirkungsgrad des QR-ZVS Aufwärtswandlers mit der 2929SQ-501 Luftspule als Resonanzspule bei unterschiedlichen Eingangsspannungen U_{IN} und einer Ausgangsspannung von $U_{OUT} = 50 \text{ V}$

Adaptive Sperrzeitanpassung

In Kapitel 5.6 wurde gezeigt, dass die optimale Sperrzeit des Transistors lastabhängig ist und durch eine konstante Sperrzeit der optimale Schaltzeitpunkt bei niedrigen Lasten verfehlt wird. Für eine erste Abschätzung wie viel diese Anpassung wirklich ausmacht wird die Sperrzeit des Transistors manuell variiert und der Wirkungsgrad des Wandlers bei den jeweiligen Sperrzeiten gemessen. Abbildung 36 zeigt wie sich der Wirkungsgrad für verschiedene Sperrzeiten ändert. Die optimale Sperrzeit liegt bei 265 ns. Das Verfehlen des optimalen Schaltzeitpunkts um $\pm 20 \text{ ns}$ führt zu einem um 0,2 % niedrigeren Wirkungsgrad, bei $\pm 40 \text{ ns}$ sind es 1,6 % und bei $\pm 60 \text{ ns}$ sind es bereits 5,1 %. Somit muss der Algorithmus für die adaptive Sperrzeitanpassung bei dieser Konfiguration ($L_R = 500 \text{ nH}$, $C_R = 1,5 \text{ nF}$) mit einer Genauigkeit von $\pm 20 \text{ ns}$ die Zeit bestimmen können. Wie Abbildung 37 zeigt, erfüllt der in Kapitel 5.6 vorgestellte Algorithmus diese Anforderungen und verbessert den Wirkungsgrad in der unteren Hälfte des Lastbereichs um bis zu 19 %.

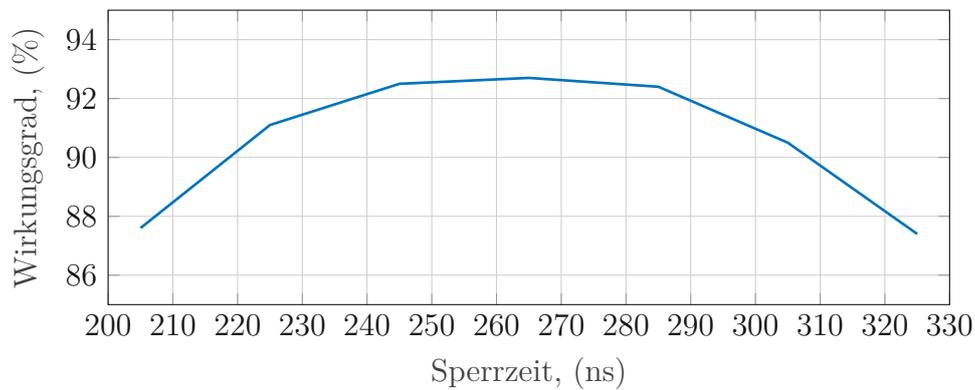


Abbildung 36: Wirkungsgrad des QR-ZVS Aufwärtswandlers für unterschiedliche Sperrzeiten

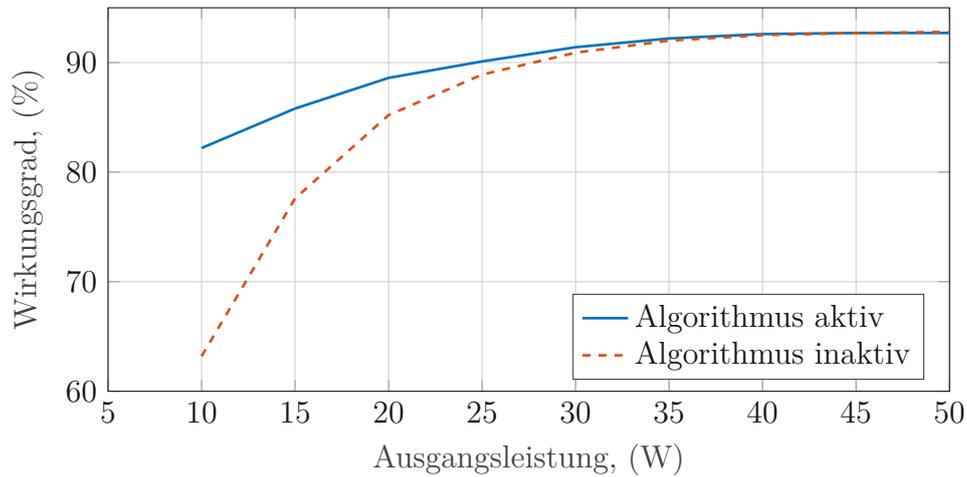


Abbildung 37: Wirkungsgrad des QR-ZVS Aufwärtswandlers mit und ohne adaptiver Sperrzeitanpassung

7.3 Leiterplattenspulen

Für die in Kapitel 4.3 simulierten und gefertigten Leiterplattenspulen L1 bis L6 werden jetzt die Parameter messtechnisch ermittelt. Darauf folgend wird die Effektivität der verschiedenen Maßnahmen zur Reduktion des Streufelds untersucht. Abschließend wird der Wirkungsgradsverlauf exemplarisch für zwei Varianten gemessen.

Parameterbestimmung der Spulen-Varianten

Die charakteristischen Parameter einer Spule sind die Induktivität L , die Güte Q , der Gleichstromwiderstand (DCR) R_{DC} und die Eigenresonanzfrequenz (SRF) f_{SR} [51]. Die SRF der realen Spule resultiert aus dem parallelen Schwingkreis welcher aus der Induktivität und dem parasitären Kapazitätsbelag der Spule besteht [52].

Der DCR ist der Kupferwiderstand der Spule und kann mittels eines Widerstandsmessgeräts für den Milliohm-Bereich gemessen werden. Die Induktivität und die Güte der Spule sind frequenzabhängig daher ist eine Bestimmung dieser Parameter nur nahe der Anwendungsfrequenz sinnvoll. In diesem Fall ist das die Schaltfrequenz des QR-ZVS Aufwärtswandlers $f_{SW} = 1,74$ MHz.

Abbildung 38 zeigt einen typischen Verlauf der Induktivität L , des Betrags der Impedanz $|Z|$ und der Güte Q über die Frequenz [52]. Die Induktivität verläuft zunächst annähernd konstant, bis sie dann zur SRF hin stark zunimmt. Die Impedanz erreicht bei der SRF ihr Maximum und der Phasenwinkel ist null. Damit ist auch der effektive Blindwiderstand $X = X_L + X_C$ gleich null, da der positive induktive Anteil des Blindwiderstands X_L und der negative kapazitive Anteil X_C sich gegenseitig kompensieren. Das bedeutet, dass die Güte und die effektive Induktivität der Spule bei dieser Frequenz gleich null sind. Oberhalb der SRF zeigt die Spule dann kapazitives Verhalten.

Zusätzlich kann nach der Messung der Induktivität L und der Eigenresonanzfrequenz f_{SR} der Kapazitätsbelag C rechnerisch ermittelt werden. Dazu wird die Thomsonsche Schwingungsgleichung [19]

$$f_{SR} = \frac{1}{2\pi\sqrt{LC}} \quad (80)$$

nach C umgeformt

$$C = \frac{1}{(2\pi f_{SR})^2 L} \quad (81)$$

Die berechnete Kapazität besteht allerdings nicht nur aus dem Kapazitätsbelag der Spule sondern auch aus anderen parasitären Kapazitäten. Diese sind stark von den verwendeten Messleitungen, Adaptern und eventuell umliegenden metallischen Elementen abhängig. Beispielsweise wenn die Messung in der Nähe einer Kupferfläche auf einer Leiterplatte durchgeführt wird. Die zusätzliche Kapazität führt zu einer niedrigeren Eigenresonanzfrequenz und

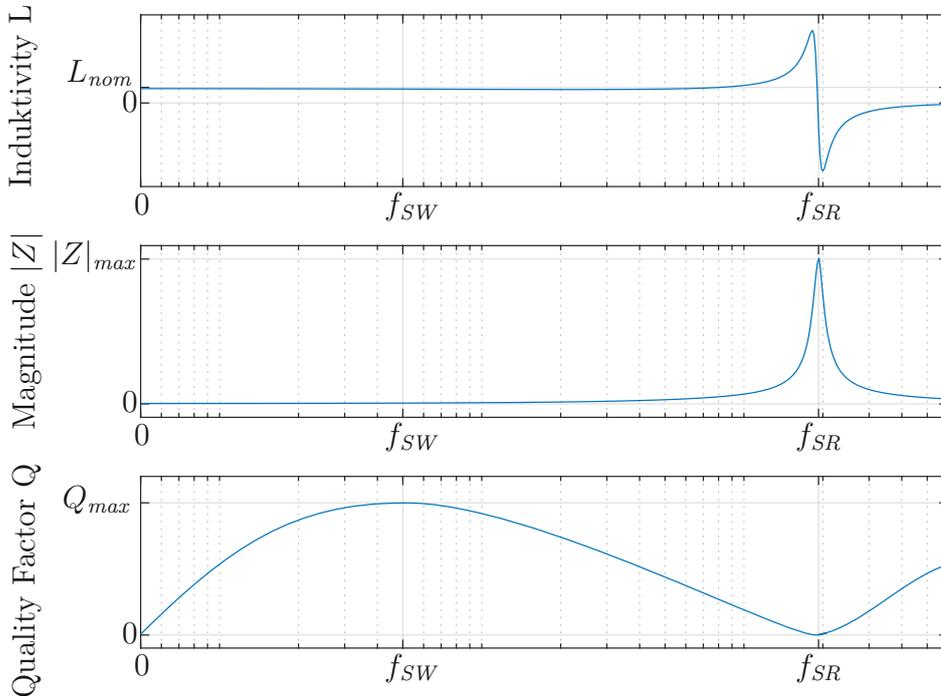


Abbildung 38: Verlauf der Induktivität L , des Betrags der Impedanz $|Z|$ und der Güte Q über die Frequenz

kann das Ergebnis merkbar beeinträchtigen. Das bedeutet, um vergleichbare Ergebnisse für die SRF der sechs Leiterplattenspulen zu erhalten, ist auf einen konstanten Messaufbau zu achten.

Für die Ermittlung des Gleichstromwiderstands der Leiterplattenspulen wird die Vierleitermessung angewandt um eine Ergebnisverfälschung durch den Widerstand der Zuleitungen und Anschlüsse zu vermeiden. Die Messung wird mit einem Keithley 2100 Multimeter durchgeführt.

Die Messung der SRF und der Impedanz erfolgt mit einem Vektor Netzwerk Analysator (VNA), welcher als Ergebnis den Streuparameter S_{11} liefert. Mit diesem S_{11} Parameter, auch Reflexionsfaktor genannt [19], wird die Impedanz der Spule Z_L wie folgt berechnet

$$Z_L = Z_0 \frac{1 - S_{11}}{1 + S_{11}} . \quad (82)$$

Dabei ist Z_0 die Impedanz des VNA, diese beträgt 50Ω . Vor der Messung wird der VNA inklusive der Zuleitungen und aller Kopplungen kalibriert um, wie oben erwähnt, die Beeinflussung der Messung zu minimieren. Mit der Impedanz Z_L können die Induktivität L , die Güte Q und der Wirkwiderstand R_{AC} mit den Formeln 76 und 77 aus Kapitel 4.3 berechnet werden. Die Ergebnisse der gesamten Messungen sind in Tabelle 9 zusammengefasst. Für die Messung des Wirkwiderstands R_{AC} , der Induktivität und der Güte wird die Schaltfrequenz $f_{SW} = 1,74$ MHz ausgewählt.

| Parameter | R_{DC} | R_{AC}^* | L^* | Q^* | f_{SR} | C_P |
|------------|---------------|---------------|-------|-------|----------|-------|
| Einheit | (m Ω) | (m Ω) | (nH) | (1) | (MHz) | (pF) |
| L1, normal | 137 | 201 | 322 | 17,53 | 143,9 | 3,8 |
| L2, inner | 138 | 207 | 318 | 16,77 | 170,9 | 2,7 |
| L3, comp | 146 | 205 | 310 | 16,74 | 57,95 | 24,3 |
| L4, outer | 149 | 220 | 322 | 16,03 | 168 | 2,8 |
| L5, comp | 225 | 286 | 319 | 12,21 | 26,15 | 116,1 |
| L6, normal | 212 | 263 | 309 | 12,85 | 50,57 | 32,0 |

* bei einer Frequenz von $f_{SW} = 1,74$ MHz

Tabelle 9: Ermittelte Parameter der Leiterplattenspulen

Die Zielinduktivität von 300 nH wird bei allen Varianten erreicht und weicht von den simulierten Werten aus den Tabellen 6 und 8 um maximal 5 % ab. Die aus den Messungen errechneten Gütewerte sind bei den "kleinen" Spulen L1 bis L4 um durchschnittlich 5 % und bei den "großen" Spulen L5 und L6 um durchschnittlich 22 % niedriger als bei der Simulation. Das resultiert aus den leicht höheren gemessenen Wirkwiderständen der Spulendesigns. Die Spule L1 hat die höchste Güte $Q = 17,53$ und den niedrigsten ohmschen Widerstand $R_{DC} = 137$ m Ω , deshalb ist für diese Spule der beste Wirkungsgrad zu erwarten.

Die Spulen L3 und L5 weisen jeweils bei den "kleinen" beziehungsweise "großen" Spulen mit Abstand die höchste parasitäre Kapazität auf. Das resultiert aus der Kompensationswindung welche wie ein parasitärer Plattenkondensator wirkt.

Nahfeldmessung

Mit der Nahfeldmessung wird die Wirksamkeit der verschiedenen Maßnahmen zur Unterdrückung des Streufeldes der Leiterplattenspulen L1 bis L6

untersucht. Die Messung erfolgt mit der H-Feldsonde LFB3 von Langer EMV-Technik [53], welche das H-Feld in vertikaler Richtung erfasst. Die Sonde wird auf dem 3-Achsen-Positionssystem FLS 106 PCB von Langer EMV-Technik montiert. Das ermöglicht eine genaue und wiederholbare Positionierung der Sonde in allen drei Achsen. Das Messvolumen wird für die Spulen L1 bis L4 auf 48x48x18 mm mit einem Raster von 3x3x3 mm und für die Spulen L5 und L6 auf 93x93x21 mm mit gleichem Raster eingestellt. Für die Aufzeichnung der Messwerte wird die Software ChipScan-Scanner 4.0.23 von Langer EMV-Technik verwendet. Die Software unterteilt den Wertebereich der Messung in äquidistante Intervalle. Jedes Intervall erhält eine eigene Farbe und wird als Isofläche dargestellt. Die gemessenen Feldverteilungen der Spulenvarianten L1 bis L6 sind in Abbildung 39 dargestellt. Die Spule L1 (Abb. 39, a) besitzt keine Kompensationsmaßnahmen und zeigt in der Mitte die stärkste Feldverteilung. Bei den Spulen L2 und L4 (Abb. 39, b und d) mit wechselnder Windungsrichtung nach der Hälfte des Torus wird das Streufeld auf die beiden gegenläufigen Halbringe aufgeteilt und führt zu einer Reduktion des Feldes in der Mitte. Die Spule L3 (Abb. 39, c) mit der inneren gegenläufigen Kompensationswindung reduziert das Streufeld im gesamten Bereich und bietet damit die beste Performance der vier kleineren Spulenvarianten.

Die Spulen L5 und L6 (Abb. 39, e und f) besitzen in der obersten Lage eine durchgängige Kupferfläche, wodurch das Streufeld eingedämmt wird. Das macht sich bei der Messung deutlich bemerkbar und ist damit die beste Maßnahme zur Reduzierung des Streufeldes. Außerdem ist zu sehen, dass die Kompensationswindung bei der Spule L5 (e) im Vergleich zur Spule L6 (f) das Ergebnis auf der Oberseite nur minimal verbessert.

Wirkungsgrad

Abschließend wird exemplarisch der Wirkungsgradverlauf des QR-ZVS Aufwärtswandlers mit der Spule L1 als Resonanzspule gemessen. Für diese Spule ist aufgrund des niedrigen ohmschen Widerstands R_{DC} und der hohen Güte Q der beste Wirkungsgrad zu erwarten. Zusätzlich wird mit der Spule L3 als Resonanzspule gemessen da diese bei den "kleinen" Spulenvarianten die effektivste Lösung zur Streufeldunterdrückung bietet. Für die Messungen wird die Leiterplattenspule auf der Unterseite der Hauptplatine mit zwei Drahtstücken an der Stelle der Resonanzspule angelötet. Für den Resonanzkondensator wird $C_r = 680$ pF verwendet. Das ergibt mit der Thomsonschen Schwingungsgleichung (81) und unter der Annahme von $L_R = 300$ nH eine Resonanzfrequenz von $f_0 = 11,14$ MHz. Durch Umformen der Gleichung (49) nach f_{SW} und einsetzen der minimalen normierten Schaltfrequenz

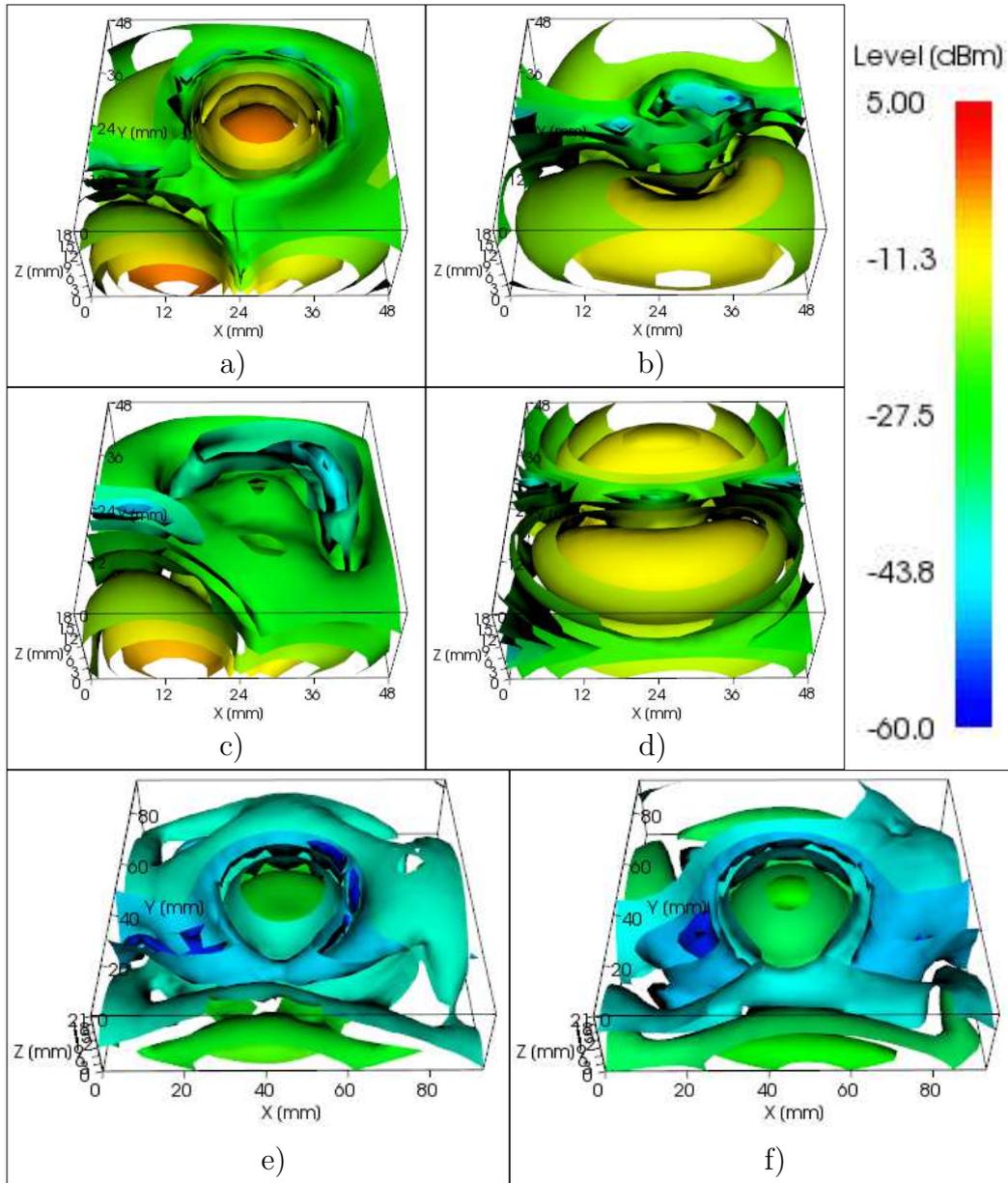


Abbildung 39: gemessene H-Feldverteilung der Spulenvarianten: a) L1, normal; b) L2, inner; c) L3, comp; d) L4, outer; e) L5, comp; f) L6, normal

$A_{min} = 0,1643$ ergibt sich eine Schaltfrequenz von

$$f_{sw} = f_0 A_{min} = 11,14 \text{ MHz} \cdot 0,1643 = 1,83 \text{ MHz} . \quad (83)$$

Die Schaltfrequenz wurde messtechnisch bei einer Ausgangsleistung von 50 W bestätigt. Der Wirkungsgradverlauf ist in Abbildung 40 dargestellt. Mit der

Spule L3 wird ein maximaler Wirkungsgrad von $\eta = 86\%$ bei einer Ausgangsleistung von $P_{OUT} = 35\text{ W}$ erreicht. L1 kommt auf einen Wirkungsgrad von $\eta = 87\%$. Die Minderung des Wirkungsgrades im Vergleich zur Luftspule 2929SQ-501 von Coilcraft sind auf die erhöhte Schaltfrequenz und die höheren Widerstandswerte der Leiterplattenspule zurückzuführen. Der ohmsche Widerstand R_{DC} der Luftspule von Coilcraft wurde gemessen und beträgt $16\text{ m}\Omega$. Im Vergleich dazu ist der ohmsche Widerstand der Spule L1 $137\text{ m}\Omega$ und führt damit zu höheren Verlusten. Gleiches gilt für den Wirkwiderstand R_{AC} bei der jeweiligen Schaltfrequenz, dieser beträgt bei der Luftspule von Coilcraft $118\text{ m}\Omega$ und bei der Leiterplattenspule L1 $201\text{ m}\Omega$.

Auf die Messung des Wirkungsgrades für die "großen" Spulen L5 und L6 wird aufgrund der hohen Widerstandswerte R_{DC} und R_{AC} (Tab. 9) und der damit zu erwartenden hohen Verluste verzichtet.

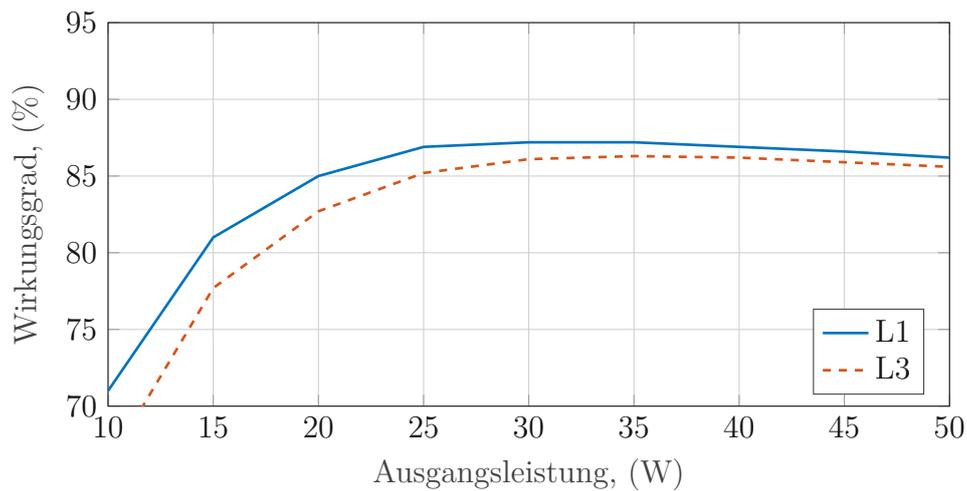


Abbildung 40: Wirkungsgrad des QR-ZVS Aufwärtswandlers mit den Leiterplattenspulen L1 und L3 als Resonanzspule, bei $U_{IN} = 14\text{ V}$ und $U_{OUT} = 50\text{ V}$

7.4 Thermomessungen

Die Thermomessung dient dazu, die thermische Entwicklung auf der Platine zu analysieren. Die erste Messung wird mit einer Schaltfrequenz von 1 MHz und der Luftspule 2929SQ-501 von Coilcraft bei einer Ausgangsleistung von 30 W durchgeführt. Als Hauptspule ist die SRP1265WA $3,3\text{ }\mu\text{H}$ Spule von Bourns verbaut [54]. Das Ergebnis ist in Abbildung 41 dargestellt.

Nach einer gewissen Stabilisierungszeit pendelt sich die Maximaltemperatur der Resonanzspule bei 101 °C ein. Die Resonanzspule erreicht damit mit Abstand die höchste Temperatur, welche mit dem Simulationsergebnis aus Kapitel 4.2 mit 97 °C gut übereinstimmen. Der GaN-FET, der sich direkt unter der Resonanzspule befindet, hat eine Temperatur von 44 °C. Die Erwärmung wird, nach der Temperaturverteilung am Board zu urteilen, hauptsächlich durch die Wärmeübertragung von der Resonanzspule hervorgerufen. Da in diesem Fall die ZVS-Bedingung erfüllt ist, sind die zu erwartenden Verluste und die damit verbundene Temperaturerhöhung im GaN-FET gering.

Die Diode erreicht mit 51 °C die zweithöchste Temperatur, wie bereits durch die in Kapitel 3.6 berechneten Verlustleistung zu erwarten war. Im Gegensatz dazu bleibt die Hauptspule mit einer Temperatur von 38 °C aufgrund ihrer großen thermischen Masse kühl.

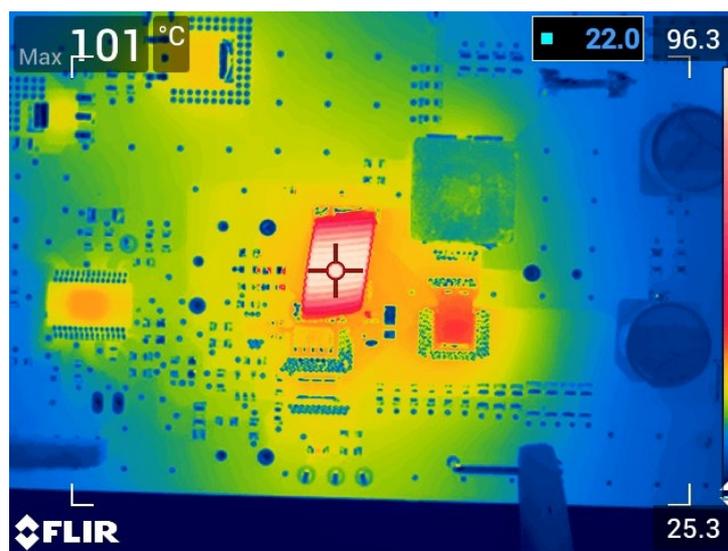


Abbildung 41: Thermomessung mit der Luftspule 2929SQ-501 von Coilcraft, mit $P_{OUT} = 30 \text{ W}$, $U_{IN} = 10 \text{ V}$

Für die zweite Messung wird die L1 Leiterplattenspule verwendet, die auf der Rückseite der Platine angelötet wird. Bei dieser Messung beträgt die Schaltfrequenz 1,83 MHz, die Eingangsspannung 14 V und die ZVS-Bedingung ist nicht erfüllt. Das wirkt sich auf die Temperaturentwicklung im GaN-FET aus, wie in Abbildung 42 dargestellt. Der GaN-FET erreicht zusammen mit der Diode eine Temperatur von etwa 54 °C. Die leicht höhere Diodentemperatur

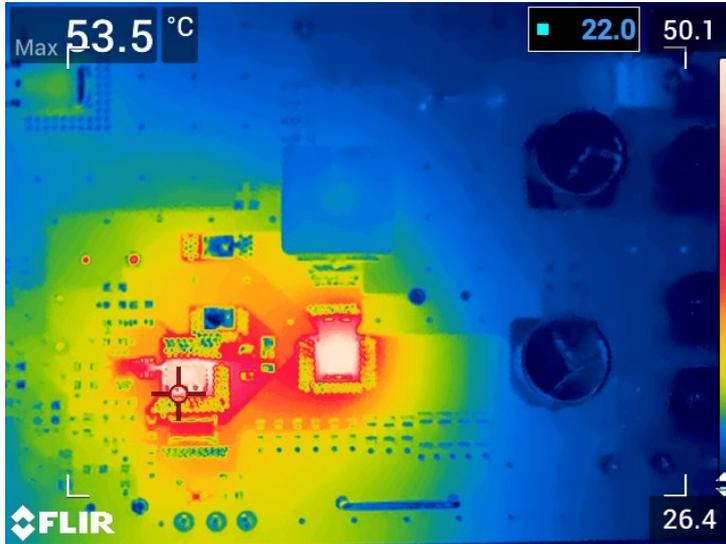


Abbildung 42: Thermomessung mit der Leiterplattenspule L1 auf der Rückseite, mit $P_{OUT} = 30 \text{ W}$, $U_{IN} = 14 \text{ V}$ und die ZVS- Bedingung ist nicht erfüllt

im Vergleich zur vorherigen Messung ist vermutlich durch Messungenauigkeiten und die in dieser Messung höhere frequenzabhängige Umladeverlustleistung der Diode (Gl. 33) bedingt.

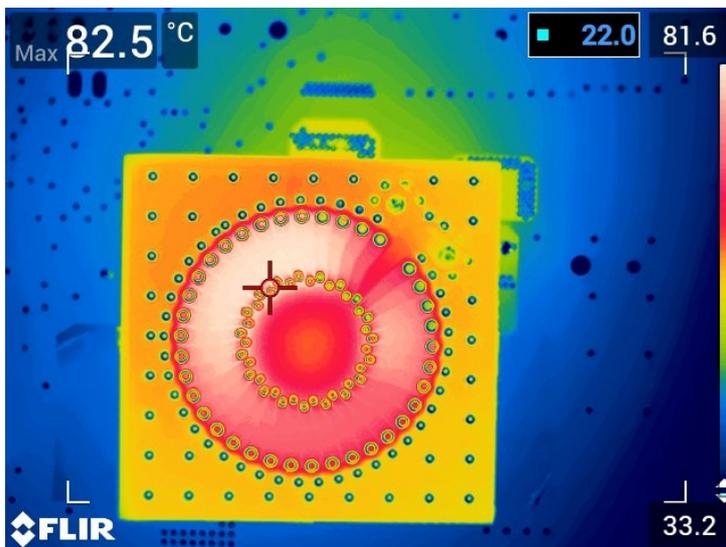


Abbildung 43: Temperaturverteilung in der Leiterplattenspule L1, mit $P_{OUT} = 30 \text{ W}$, $U_{IN} = 14 \text{ V}$ und die ZVS- Bedingung ist nicht erfüllt

Abbildung 43 zeigt die thermische Verteilung in der L1 Spule auf der Rückseite der Leiterplatte. Die Maximaltemperatur liegt bei 82 °C und ist damit um 19 °C niedriger als bei der Luftspule in der vorherigen Messung. Das ist auf die größere räumliche Ausdehnung der Spule und die rund zehnmal höhere Wärmeleitfähigkeit des FR4 Kernmaterials der Leiterplatte im Vergleich zu Luft zurückzuführen [55]. Die Temperatur der umliegenden Leiterplatte von etwa 75 °C unterstützt diese Annahme.

7.5 Stabilität der Regelung

Die Stabilitätsanalyse des Regelkreises wird mit dem Vector Network Analysator (VNA) Bode 100 von Omicron Lab mittels der "voltage injection method" durchgeführt [56]. Dabei wird mit dem Ausgang des Bode 100 über den Breitband-Injektionswandler B-WIT 100 von Omicron Lab eine Störspannung in den Regelkreis eingespeist. Für die Einspeisestelle ist ein zusätzlicher Widerstand mit 33 Ω im oberen Teil des Spannungsteilers für die Spannungsrückführung der Ausgangsspannung vorgesehen (R_{11} , in Abbildung 46 im Anhang).

Der Bode 100 misst mit dem ersten Kanal das Störsignal das in die Rückspeiseschleife eingespeist wird und mit Kanal zwei das Ausgangssignal des Aufwärtswandlers. Dafür werden die Tastköpfe der beiden Eingänge des Bode 100 an beiden Anschlüssen des Widerstands R_{11} über Testpunkte angeklemt. Die Division der beiden Signale führt zur Übertragungsfunktion vom Rückspeisepunkt zum Ausgang des Aufwärtswandlers. Somit wird die offene Schleifenverstärkung in einem geschlossenen Regelkreis gemessen [57].

In der Software werden die Frequenzkennlinien der Schleifenverstärkung und des Phasenverlaufs in einem Bode-Plot dargestellt. Nach dem Nyquist Kriterium ist ein System mit eine Phasenreserve von mehr als 45 ° stabil [58]. Die Phasenreserve wird bei der Durchtrittsfrequenz gemessen, das ist jene Frequenz bei der die Verstärkung eins (0 dB) ist. In diesem Fall handelt es sich um ein System mit negativer Rückführung, deshalb wird die Phasenreserve relativ zu der 0 ° Linie gemessen [57]. Ein weiterer kritischer Punkt ist die Amplitudenreserve, diese wird bei der Durchtrittsfrequenz des Phasenwinkels abgelesen und sollte mehr als 10 dB betragen [59].

Bei der Durchtrittsfrequenz $f = 1,1$ kHz (Marker 1, magenta) beträgt die Phasenreserve $\varphi = 91,5$ °. Der Knick in der Amplitude bzw. die Erhöhung der Phase bei Marker 2 (grün) zeigen eine Resonanzstelle. Diese resultiert aus der Eigenresonanz von der Hauptspule L_1 in Kombination mit dem Aus-

gangskondensator C_{OUT}

$$f_{RES} = \frac{1}{2\pi\sqrt{L_1 C_{OUT}}} = \frac{1}{2\pi\sqrt{3,3 \mu\text{H} \cdot 26,72 \mu\text{F}}} = 16,9 \text{ kHz} . \quad (84)$$

Die Amplitudenreserve beträgt $G = -19,6 \text{ dB}$ bei der Frequenz $f = 34,1 \text{ kHz}$ (Marker 3, cyan). Dadurch sind beide Bedingungen erfüllt, um einen stabilen Betrieb zu ermöglichen. Zur praktischen Bestätigung werden im nächsten Abschnitt Lastsprünge durchgeführt.

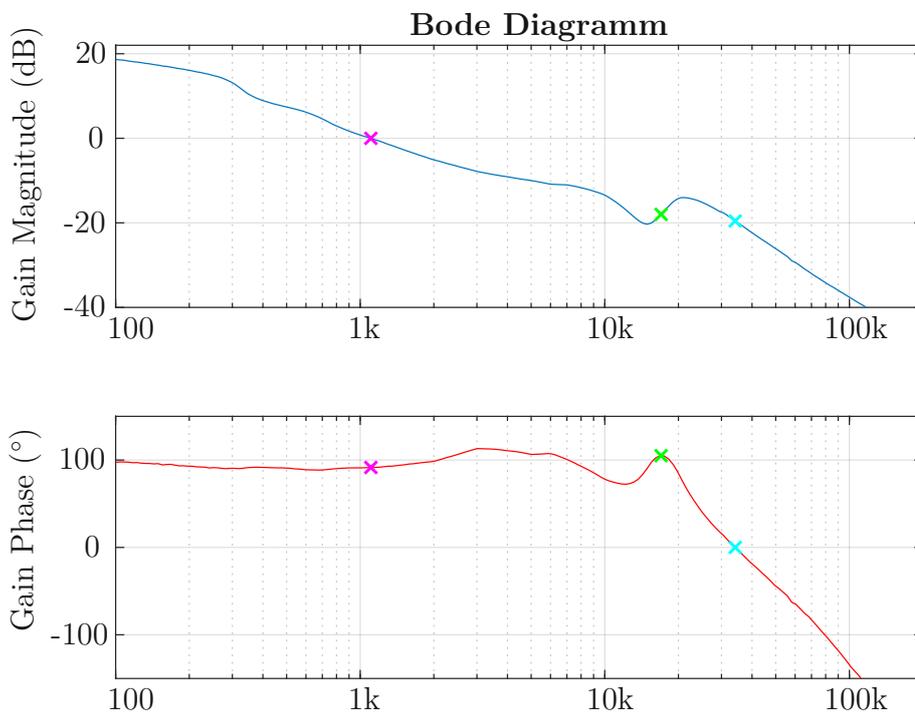


Abbildung 44: Bode Diagramm; Marker 1 (magenta); Marker 2 (grün); Marker 3 (cyan)

7.6 Lastsprung

Mit Lastsprüngen soll die Stabilität und Reaktionszeit der Regelung überprüft werden. Dazu wird für die Erzeugung der Lastsprünge ein Teil der ohmschen Last mit einem externen MOSFET kurzgeschlossen. Dieser wird über einen Funktionsgenerator angesteuert. Bei dieser Messung wird die Ausgangsspannung, der Ausgangsstrom und das PWM-Signal des Mikrocontrollers mit

einem Oszilloskop gemessen. Aus dem PWM-Signal wird zur Visualisierung der Regelung mit einem Mathematik-Kanal des Oszilloskops der Duty-Cycle ermittelt. Durch die Regelung des Mikrocontrollers ändert sich die Frequenz und damit die Periode des PWM-Signals. Aufgrund der konstanten Sperrzeit des PWM-Signals ändert sich somit auch der Duty-Cycle.

Für diese Messung werden bei einer Ausgangsspannung von nominal 50 V Lastsprünge zwischen 9 W und 50 W durchgeführt. Der Funktionsgenerator zur Ansteuerung des externen Überbrückungs-MOSFETs wird auf eine Periode von $T_{ext} = 2$ ms und einen Duty-Cycle von $DC_{ext} = 50$ % eingestellt.

Abbildung 45 zeigt das Ergebnis der Messung. Die oberste Kurve (cyan) zeigt den Verlauf des Duty-Cycles des PWM-Signals. Dieser bewegt sich zwischen 67,3 % und 76,2 %. Um die Überhöhungen und Einbrüche der Ausgangsspannung genauer messen zu können wird der blaue Kanal so eingestellt, dass nur der AC-Anteil der Ausgangsspannung erfasst wird. Beim Sprung auf die hohe Last bricht die Ausgangsspannung um 4,6 V ein und beim Sprung zur niedrigen Last kommt es zu einer Überhöhung von 3,3 V. Das Maximum und Minimum der Änderungen werden in einer Zeit von 108 μ s beziehungsweise 105 μ s erreicht. In beiden Fällen ist die Ausgangsspannung nach 910 μ s wieder zurück auf dem Sollwert. Der gelbe Kanal zeigt den Ausgangsstrom welcher wie eingestellt zwischen 1 A und 0,18 A wechselt.

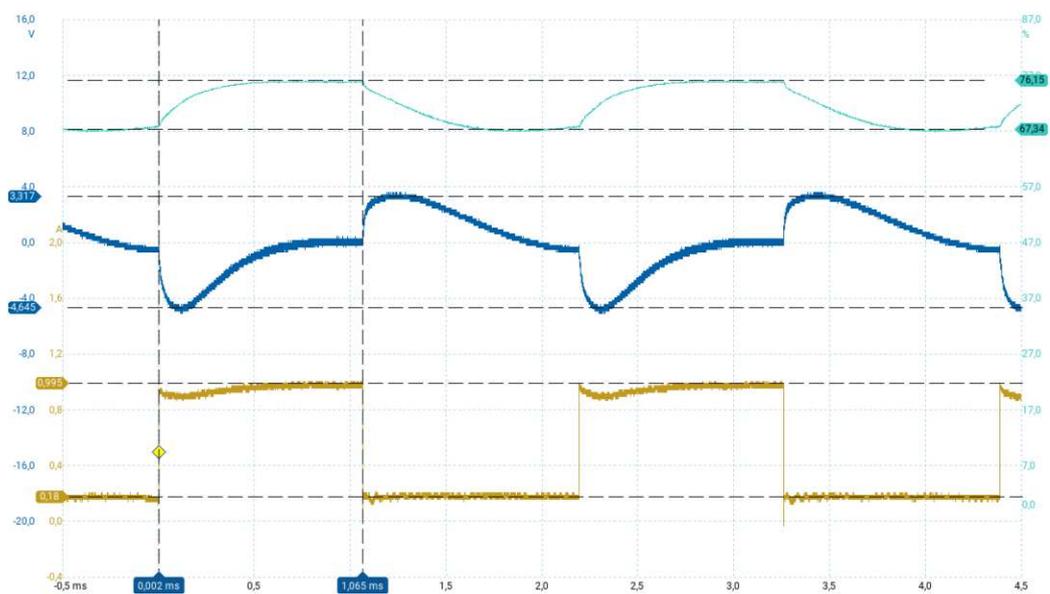


Abbildung 45: Lastsprung zwischen 9 W und 50 W Ausgangsleistung, AC-Anteil der Ausgangsspannung (blau), Ausgangsstrom (gelb), Duty-Cycle des PWM-Gate-Signals (cyan)

8 Fazit

Die Strom- und Spannungsverläufe des Leistungsteils wurden gemessen und mit den simulierten Ergebnissen verglichen. Bei der Messung am Schaltknoten wurde festgestellt, dass die Auswahl der Freilaufdiode mit Augenmerk auf eine geringe Sperrschichtkapazität eine entscheidende Rolle spielt. Zudem ist eine zusätzliche Diode vom Schaltknoten auf GND in Sperrrichtung zur Unterdrückung der parasitären Schwingung unerlässlich, um die Verluste zu minimieren.

Die Optimierung des Wirkungsgrades wurde durch den Diodentausch, den Vergleich verschiedener Resonanzspulen und die Implementierung einer adaptiven Sperrzeitanpassung erreicht. Dadurch konnte der Wirkungsgrad bei einer Ausgangsleistung von 50 W von 88 % auf 93 % gesteigert werden. Der Austausch der Resonanzspule mit Ferritkern durch eine Spule mit Metallverbundkern führte zu einer Verbesserung von bis zu 2 %. Die Verwendung einer Luftspule als Resonanzspule erhöhte den Wirkungsgrad um zusätzlich 3 %. Außerdem ist es durch den eigens entwickelten Algorithmus zur adaptiven Sperrzeitanpassung gelungen, den Wirkungsgrad in der unteren Hälfte des Lastbereichs um bis zu 19 % zu steigern.

Der Betrieb des QR-ZVS Aufwärtswandlers wurde im vorgeschriebenen Eingangsspannungsbereich von 8 V bis 16 V gemäß LV124 verifiziert.

Die Messungen der Parameter der sechs entworfenen Leiterplattenspulen L1 bis L6 wurden messtechnisch ermittelt und ergaben mit der Simulation vergleichbare Ergebnisse. Außerdem wurden die Maßnahmen zur Reduktion des Streufeldes untersucht und deren Wirksamkeit durch Nahfeldmessungen nachgewiesen. Jedoch ergaben die Wirkungsgradmessungen mit den Leiterplattenspulen L1 und L3 als Resonanzspulen einen niedrigeren Wirkungsgrad als die Luftspule 2929SQ-501 von Coilcraft. Diese Minderung resultiert zum Teil aus der höheren Schaltfrequenz des QR-ZVS Aufwärtswandlers aufgrund der geringeren Induktivität der Leiterplattenspulen und den damit verbundenen erhöhten frequenzabhängigen Verlustanteilen des Wandlers. Einen weiteren Anteil der Minderung bilden die Verluste infolge der höheren Widerstände R_{DC} und R_{AC} der Leiterplattenspulen.

Zusätzlich ist beim Einsatz der Leiterplattenspulen zu beachten, dass bei der Induktivität von 300 nH und bei einer mittleren Ausgangsleistung von 25 W ein Resonanzkondensator kleiner 1 nF erforderlich, um die ZVS-Bedingung zu erreichen (Gl. 10). Bei solchen Größenordnungen spielen die Ausgangskapazität des GaN-FETs und andere eventuelle parasitäre Kapazitäten an

diesem Knoten eine zunehmende Rolle und stellen erhöhte Anforderungen an den FET und das Leiterplattenlayout.

Zusammenfassend können durch den Einsatz der Leiterplattenspulen zwar die Kosten für die Resonanzspule als Bauteil eingespart werden, allerdings kommt es zu Einbußen des Wirkungsgrads des QR-ZVS Aufwärtswandlers.

Mittels Thermomessungen wurde die thermische Entwicklung auf der Leiterplatte analysiert, wobei die Resonanzspule mit Abstand die höchste Temperatur erreicht. Diese hohen Temperaturen bei einer mittleren Ausgangsleistung machen eine thermische Anbindung an einen Kühlkörper nötig. Zusätzlich zeigte die Temperaturentwicklung bei nicht erfüllter ZVS-Bedingung die erwartete Temperaturerhöhung des GaN-FETs als Folge der Schaltverluste. Dadurch wird die Wirkung der ZVS-Bedingung zur Minimierung der thermischen Belastung des GaN-FETs deutlich.

Der Vorteil des GaN-FETs ist die vergleichsweise geringe Gateladung bei hoher Spannungsfestigkeit, wodurch die Ansteuerungsverlustleistung minimiert wird.

Abschließend wurde die Stabilität des Regelkreises anhand eines Bode Diagramms untersucht und mit Lastsprüngen überprüft.

Im Allgemeinen ist der Wirkungsgrad von 93 % recht gut und bietet zusammen mit dem in [5] aufgezeigten Vorteil des geringen Störspektrums gegenüber hart schaltenden Wandlern eine stabile Lösung.

Ob der Aufwand zu rechtfertigen ist, den ein QR-ZVS Aufwärtswandler für eine Anwendung bedeutet, ist eine eigene Fragestellung, die unter Rücksichtnahme auf wirtschaftliche Faktoren zu beantworten ist.

Literatur

- [1] Reif Konrad. *Automobilelektronik Eine Einführung für Ingenieure*. Vieweg+Teubner, 3 edition, 2009.
- [2] Texas Instruments. LED Drivers for Automotive Exterior Lighting Applications. <https://www.ti.com/lit/wp/slpy006b/slpy006b.pdf?ts=1712590802846>, 2018. accessed on 2024-03-23.
- [3] Choudhary Vijay. Designing the front-end DC/DC conversion stage to withstand automotive transients. Technical report, Texas Instruments, AAJ 1Q 2017.
- [4] LV124 - Elektrische und elektronische Komponenten in Kraftfahrzeugen bis 3,5t - Allgemeine Anforderungen, Prüfbedingungen und Prüfungen. *VW80000*, 2013.
- [5] Mathias Franz Glanz. Automotive Quasiresonant DC-DC Converter. Master's thesis, TU Wien, 2020.
- [6] Kazimierczuk, M.K. and Czarkowski, D. *Resonant Power Converters*. Wiley, 2012.
- [7] Souhail Barakat, Abdelouahed Mesbahi, Badr N'Hili, and Karima Et-Torabi. ZVS QR boost converter with variable input voltage and load. pages 1–6. 3rd International Conference on Innovative Research in Applied Science, Engineering and Technology (IRASET), 2023.
- [8] Ranjith Bramanpalli. Accurate Inductor Loss Determination Using Würth Elektronik's REDEXPERT. Technical report, Würth Elektronik, 2015.
- [9] Ulrich Schlienz. *Schaltnetzteile und ihre Peripherie: Dimensionierung, Einsatz, EMV*. Springer-Verlag GmbH, 7 edition, 2020.
- [10] H. Lloyd and Jr. Dixon. Eddy Current Losses in Transformer Windings and Circuit Wiring. <https://www.ti.com/lit/ml/slup197/slup197.pdf>. accessed on 2024-03-06.
- [11] Choosing Inductors for Energy Efficient Power Applications. Technical report, Coilcraft, 2020.
- [12] Vishay. IHLP® INDUCTOR LOSS CALCULATOR TOOL. <https://www.vishay.com/en/inductors/calculator/calculator/>. accessed on 2024-02-20.

- [13] Würth Elektronik. RED EXPERT. <https://redexpert.we-online.com/we-redexpert/en/#/home>. accessed on 2024-02-20.
- [14] Coilcraft. MAG Pro - Power Inductor Finder and Analyzer. <https://www.coilcraft.com/en-us/tools/power-inductor-finder/#/search>. accessed on 2024-02-20.
- [15] Helmut Lindner, Harry Brauer, and Constans Lehmann. *Taschenbuch der Elektrotechnik und Elektronik*. Fachbuchverlag Leipzig, 8 edition, 2004.
- [16] T. Lopez, G. Sauerlaender, T. Duerbaum, and T. Tolle. A detailed analysis of a resonant gate driver for PWM applications. volume 2, pages 873–878 vol.2. Eighteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2003. APEC '03., 2003.
- [17] Johan Strydom and Alex Lidow. Driving eGaN™ Transistors for Maximum Performance. Technical report, EPC Corp., 2013.
- [18] Gottfried Strasser. *Halbleiterphysik*. Fakultät für Elektrotechnik und Informationstechnik, TU Wien, 2012.
- [19] Thomas Bluhm. S-Parameters-Characteristics of Passive Components. Technical report, https://www.ieee.li/pdf/essay/s_parameters_of_passive_components.pdf, 2001.
- [20] A. Lidow, J. Strydom, M. de Rooij, and D. Reusch. *GaN Transistors for Efficient Power Conversion*. Wiley, 2014.
- [21] Gerhard Fasching. *Werkstoffe für die Elektrotechnik*. Springer Vienna, 4th edition, 2005.
- [22] Julian Styles. Common misconceptions about the body diode. Technical report, GaN Systems, 2019.
- [23] Nando Kaminski and Oliver Hilt. SiC and GaN Devices - Competition or Coexistence? pages 1–11. 7th International Conference on Integrated Power Electronics Systems (CIPS), 2012.
- [24] Murata. Multilayer Ceramic Capacitors MLCC - GRM32A7U2J152JW31. <http://www.murata.com/en/products/productdetail?partno=GRM32A7U2J152JW31%23>. accessed on 2024-03-08.
- [25] Vishay. IHLP® Commercial Inductors, Low DCR Series - IHLP-2020BZ-11. <https://www.vishay.com/docs/34261/ihlp2020bz11.pdf>, 2017. accessed on 2024-03-11.

- [26] Vishay. Low Profile, High Current Inductors - Special Molding - IHLM-2525CZ-01. <https://www.vishay.com/docs/34172/ihlm-2525cz-01.pdf>, 2020. accessed on 2024-03-11.
- [27] Coilcraft. Square Air Core Inductors - 2929SQ. <https://www.coilcraft.com/getmedia/a4eed406-a97e-4630-9d8e-771bb470867f/1515sq.pdf>, 2021. accessed on 2024-03-11.
- [28] EPC Corp. eGaN - Enhancement Mode Power Transistor - EPC2034. https://epc-co.com/epc/Portals/0/epc/documents/datasheets/EPC2034_datasheet.pdf, 2020. accessed on 2024-03-08.
- [29] Infineon. 1EDN71x6U EiceDRIVER™ 200 V high-side TDI gate driver IC for GaN SG HEMTs and MOSFETs. https://www.infineon.com/dgdl/Infineon-DS_1EDN71X6U_2.0-DataSheet-v01_00-EN.pdf?fileId=8ac78c8c82af846e0182c6ff82134ec0, 2022. accessed on 2024-03-24.
- [30] Murata. Multilayer Ceramic Capacitors MLCC - GCJ31CC72A225KE01. <http://www.murata.com/en/products/productdetail?partno=GCJ31CC72A225KE01%23>. accessed on 2024-03-08.
- [31] LTD. CYNTEC CO. Power Choke Coil VCHA085D MS6 type - VCHA085D-4R7MS6. <https://www.cyntec.com/upfile/products/download/VCHA085D.pdf>, 2022. accessed on 2024-03-11.
- [32] Incorporated Diodes. Super Barrier Rectifier Power Diode - SBR10U200P5. <https://www.diodes.com/assets/Datasheets/SBR10U200P5.pdf>, 2020. accessed on 2024-03-08.
- [33] Vishay. High Current Density Surface-Mount High Voltage Schottky Rectifier - SS8PH10. <https://www.vishay.com/docs/88989/ss8ph10.pdf>, 2020. accessed on 2024-03-08.
- [34] Microchip. 28/36/48/64/80-Pin Digital Signal Controllers with High-Resolution PWM and CAN Flexible Data (CAN FD) - dsPIC33CK256MP508 FAMILY. <https://ww1.microchip.com/downloads/aemDocuments/documents/MCU16/ProductDocuments/DataSheets/dsPIC33CK256MP508-Family-Data-Sheet-DS70005349.pdf>. accessed on 2024-03-09.

- [35] EPC Corp. EPC SPICE Model Library. <https://epc-co.com/epc/design-support/device-models/pspicemodels>. accessed on 2024-03-09.
- [36] Ansys Inc. Ansys Maxwell Low Frequency EM Field Simulation. <https://www.ansys.com/products/electronics/ansys-maxwell>. accessed on 2024-03-09.
- [37] W.A. Tabisz and F.C.Y. Lee. Zero-voltage-switching multiresonant technique—a novel approach to improve performance of high-frequency quasi-resonant converters. *IEEE Transactions on Power Electronics*, 4(4):450–458, 1989.
- [38] Nikolay N. Goryashin, Alexander S. Sidorov, and Anna S. Solomatova. LED driver based on zero-voltage-switching buck converter with on-time control. pages 283–287. 14th International Conference of Young Specialists on Micro/Nanotechnologies and Electron Devices, 2013.
- [39] Mickey Madsen, Arnold Knott, Michael A.E. Andersen, and Anders P. Mynster. Printed circuit board embedded inductors for very high frequency Switch-Mode Power Supplies. pages 1071–1078. IEEE ECCE Asia Downunder, 2013.
- [40] S. Orlandi, B. Allongue, G. Blanchot, S. Buso, F. Faccio, C. Fuentes, M. Kayal, S. Michelis, and G. Spiazzi. Optimization of shielded PCB air-core toroids for high efficiency dc-dc converters. pages 2073–2080. IEEE Energy Conversion Congress and Exposition, 2009.
- [41] T.L. Simpson. Effect of a conducting shield on the inductance of an air-core solenoid. *IEEE Transactions on Magnetics*, 35(1):508–515, 1999.
- [42] B. Allongue, G. Blanchot, F. Faccio, c. Fuentes, S. Michelisa, and S. Orlandia. System Integration Issues of DC to DC converters in the sLHC Trackers. CERN, Topical Workshop on Electronics for Particle Physics, 2009.
- [43] Saturn PCB Design Toolkit Version 8.37. <https://saturnpcb.com/saturn-pcb-toolkit/>. accessed on 2024-01-10.
- [44] Ansys Inc. Postprocessing and Parametric. https://courses.ansys.com/wp-content/uploads/2021/07/MAXW_GS_2020R2_EN_LE04.pdf, 2020. accessed on 2024-03-10.

- [45] Autodesk. Electronic Design Automation (EDA)-Software Eagle - Version 9.6.2. <https://www.autodesk.de/products/eagle/overview?term=1-YEAR&tab=subscription>. accessed on 2024-03-10.
- [46] Microchip Technology Inc. High-Resolution PWM with Fine Edge Placement. Technical report, <https://ww1.microchip.com/downloads/en/DeviceDoc/dsPIC33-PIC24-FRM-High-Resolution-PWM-with-Fine-Edge-Placement-70005320b.pdf>, 2018.
- [47] Microchip Technology Inc. MPLAB® X Integrated Development Environment (IDE). <https://www.microchip.com/en-us/tools-resources/develop/mplab-x-ide>. accessed on 2024-03-11.
- [48] Microchip Technology Inc. MPLAB® PICkit™ 4 In-Circuit Debugger. <https://www.microchip.com/en-us/development-tool/pg164140#Documentation>. accessed on 2024-03-11.
- [49] Microchip Technology Inc. SMPS Control Library. https://www.microchip.com/SWLibraryWeb/product.aspx?product=SMPS%20Control%20Library&utm_source=MicroSolutions&utm_medium=Link&utm_term=FY18Q3&utm_content=MCU16&utm_campaign=Article, 2018. accessed on 2024-03-10.
- [50] onsemi. Comparator, High Speed, 50 ns, Low Voltage, Rail-to-Rail NCS2250, NCV2250, NCS2252, NCV2252, Rev. 6. <https://www.onsemi.com/pdf/datasheet/ncs2250-d.pdf>, 2022. accessed on 2024-03-10.
- [51] Coilcraft. Testing Inductors at Application Frequencies. Technical report, https://www.coilcraft.com/getmedia/917e2972-9585-4c8f-a94d-9a5b02fdffd9/doc119_testappfreq.pdf, 2022.
- [52] Coilcraft. Measuring Self Resonant Frequency. Technical report, https://www.coilcraft.com/getmedia/8ef1bd18-d092-40e8-a3c8-929bec6adfc9/doc363_measuringsrf.pdf, 2003.
- [53] Langer EMV Technik. <https://www.langer-emv.de/de/index>. accessed on 2024-03-23.
- [54] Bourns®. SRP1265WA Series - Shielded Power Inductors. <https://www.bourns.com/docs/product-datasheets/srp1265wa.pdf>. accessed on 2024-04-02.

- [55] Trinko Cornelia and Hackl Johann. Webinar Hochstrom- und Wärme-management mit FR4 Leiterplatten. Technical report, KSG Austria GmbH, 2019.
- [56] Omicron Lab. Vector Network Analyzer - Bode 100. <https://www.omicron-lab.com/products/vector-network-analysis/bode-100>. accessed on 2024-03-10.
- [57] Synkule Stephan, Heinzle Lukas, and Hämmerle Florian. DC/DC Converter Stability Measurement. Technical report, OMICRON Lab, 2018.
- [58] Andreas Kugi. *Automatisierung*. Institut für Automatisierungs- und Regelungstechnik, TU Wien, 2019.
- [59] Zhang Henry J. Understand Power Supply Loop Stability and Loop-Compensation - Part 1: Basic Concepts and Tools. Technical report, Analog Devices, 2022.

Abbildungsverzeichnis

| | | |
|----|--|----|
| 1 | Schaltung des QR-ZVS Aufwärtswandlers in Halbwellenkonfiguration [6] | 5 |
| 2 | Vereinfachte Grundschtung des QR-ZVS Aufwärtswandlers [7] | 6 |
| 3 | Der Spannungsverlauf des Transistorgates $u_G(t)$, Resonanzkondensators $u_{C_R}(t)$ und der Stromverlauf der Resonanzspule $i_{L_R}(t)$ eines QR-ZVS Aufwärtswandlers im eingeschwungenen Zustand [7] | 6 |
| 4 | Die vier Betriebszustände des QR-ZVS Aufwärtswandlers bestehend aus a) Capacitor Charging Mode, b) Resonance Mode, c) Inductance Charging Mode und d) Free Wheeling Mode [7] | 9 |
| 5 | Stromverlauf durch die Resonanzspule $i_{L_R}(t)$ und den Transistor $i_{FET}(t)$ in den vier Betriebszuständen des QR-ZVS Aufwärtswandlers | 12 |
| 6 | Stromverlauf durch die Resonanzspule $i_{L_R}(t)$, die Diode $i_D(t)$ und der Eingangsstrom I_{IN} in den vier Betriebszuständen des QR-ZVS Aufwärtswandlers | 14 |
| 7 | Ersatzschaltbild eines realen Kondensators [9] | 16 |
| 8 | Stromverlauf durch die Resonanzspule $i_{L_R}(t)$ und den Resonanzkondensator $i_{C_R}(t)$ in den vier Betriebszuständen des QR-ZVS Aufwärtswandlers | 18 |
| 9 | Stromverlauf durch die Diode $i_D(t)$ und den Ausgangskondensator $i_{OUT}(t)$ in den vier Betriebszuständen des QR-ZVS Aufwärtswandlers | 18 |
| 10 | Die prinzipielle Struktur eines eGaN-FETs. [20] | 21 |
| 11 | Der Zusammenhang zwischen der normierten Schaltfrequenz A und dem Leistungsfaktor Q für verschiedene Gleichspannungsverstärkungen M_{DC} [6] | 25 |
| 12 | Berechnete Verlustanteile des digital geregelten QR-ZVS Aufwärtswandlers für die einzelnen Bauteile | 35 |
| 13 | LTspice Schaltung des QR-ZVS Aufwärtswandlers mit zusätzlicher Diode (strichliert) zur Unterdrückung der parasitären Resonanz. | 37 |
| 14 | LTspice Strom- und Spannungsverläufe: oberes Diagramm: Gatespannung $V(v_g)$ (rot), Spulenstrom $I(L2)$ (grün); unteres Diagramm: Ausgangsspannung $V(vout)$ (blau), Resonanzkondensatorspannung $V(v_cres)$ (magenta) | 37 |

| | | |
|----|--|----|
| 15 | LTspice Spannungsverläufe: Schaltknoten $V(vx)$ (grün), Ausgang $V(vout)$ (orange) und Gate $V(v_g)$ (blau); ohne (a) und mit (b) zusätzlicher Diode am Schaltknoten zur Unterdrückung der parasitären Resonanz | 38 |
| 16 | Simulationsergebnis für die Temperaturverteilung in der Luftspule | 40 |
| 17 | Angenommener Lagenaufbau der vierlagigen Leiterplatte für die Simulation | 41 |
| 18 | Aufbau und Parameter der Windungen der Leiterplattenspule | 42 |
| 19 | Ansys Maxwell Geometrien der vier Varianten der Leiterplattenspulen: a) L1, normal, b) L2, inner, c) L3, comp, d) L4, outer | 44 |
| 20 | Feldverteilung im Inneren des Spulendesigns L5 | 46 |
| 21 | Spulendesign L6 mit der Kompensationswindung in der dritten Lage | 46 |
| 22 | Platine mit den sechs Spulendesigns L1 bis L6 | 47 |
| 23 | Architektur des digitalen QR-ZVS Aufwärtswandlers inklusive adaptiver Lücken Anpassung, Überstrom- und Überspannungsschutz. | 50 |
| 24 | PWM-Signal mit unabhängig einstellbarer Periode und Sperrzeit. | 51 |
| 25 | Endlicher Automat Architektur der C Software. | 52 |
| 26 | Verlauf der Drain-Source Spannung bei unterschiedlichen Lastfällen. | 54 |
| 27 | Zählverhalten des Gated Timers (TMR). | 55 |
| 28 | Ansteuerung des Gated Timers (TMR) im Mikrocontroller. . . | 56 |
| 29 | Layout der Leiterplatte | 60 |
| 30 | Aufgebauter Prototyp | 61 |
| 31 | PWM-Spannung U_{PWM} (dunkelblau), Ausgangsspannung U_{OUT} (orange), Schaltknotenspannung V_{Lx} mit der SBR10U200P5 Diode (rot), V_{Lx} mit der SS8PH10 Diode (hellblau) und V_{Lx} mit der SS8PH10 Diode und einer Zusatzdiode (grün), bei $U_{IN} = 10\text{ V}$, $P_{OUT} = 40\text{ W}$ | 63 |
| 32 | PWM-Spannung U_{PWM} (rot), Ausgangsspannung $U_{OUT} = 50\text{ V}$ (blau), Eingangsstrom I_{IN} (gelb) und Resonanzkondensatorspannung U_{Cr} (grün), bei $U_{IN} = 8\text{ V}$, $P_{OUT} = 40\text{ W}$ | 63 |
| 33 | Vergleich des Wirkungsgrads des QR-ZVS Aufwärtswandlers mit unterschiedlichen Dioden Konfigurationen, bei $U_{IN} = 14\text{ V}$ und $U_{OUT} = 50\text{ V}$ | 65 |

| | | |
|----|--|----|
| 34 | Wirkungsgrad des QR-ZVS Aufwärtswandlers mit unterschiedlichen Resonanzspulen IHLP-2020BZ-11, IHLM-2525CZ-01 und 2929SQ-501, bei $U_{IN} = 14\text{ V}$ und $U_{OUT} = 50\text{ V}$ | 65 |
| 35 | Wirkungsgrad des QR-ZVS Aufwärtswandlers mit der 2929SQ-501 Luftspule als Resonanzspule bei unterschiedlichen Eingangsspannungen U_{IN} und einer Ausgangsspannung von $U_{OUT} = 50\text{ V}$ | 66 |
| 36 | Wirkungsgrad des QR-ZVS Aufwärtswandlers für unterschiedliche Sperrzeiten | 67 |
| 37 | Wirkungsgrad des QR-ZVS Aufwärtswandlers mit und ohne adaptiver Sperrzeitanpassung | 67 |
| 38 | Verlauf der Induktivität L , des Betrags der Impedanz $ Z $ und der Güte Q über die Frequenz | 69 |
| 39 | gemessene H-Feldverteilung der Spulenvarianten: a) L1, normal; b) L2, inner; c) L3, comp; d) L4, outer; e) L5, comp; f) L6, normal | 72 |
| 40 | Wirkungsgrad des QR-ZVS Aufwärtswandlers mit den Leiterplattenspulen L1 und L3 als Resonanzspule, bei $U_{IN} = 14\text{ V}$ und $U_{OUT} = 50\text{ V}$ | 73 |
| 41 | Thermomessung mit der Luftspule 2929SQ-501 von Coilcraft, mit $P_{OUT} = 30\text{ W}$, $U_{IN} = 10\text{ V}$ | 74 |
| 42 | Thermomessung mit der Leiterplattenspule L1 auf der Rückseite, mit $P_{OUT} = 30\text{ W}$, $U_{IN} = 14\text{ V}$ und die ZVS- Bedingung ist nicht erfüllt | 75 |
| 43 | Temperaturverteilung in der Leiterplattenspule L1, mit $P_{OUT} = 30\text{ W}$, $U_{IN} = 14\text{ V}$ und die ZVS- Bedingung ist nicht erfüllt | 75 |
| 44 | Bode Diagramm; Marker 1 (magenta); Marker 2 (grün); Marker 3 (cyan) | 77 |
| 45 | Lastsprung zwischen 9 W und 50 W Ausgangsleistung, AC-Anteil der Ausgangsspannung (blau), Ausgangsstrom (gelb), Duty-Cycle des PWM-Gate-Signals (cyan) | 79 |
| 46 | Schaltplan 1 von 2 | 94 |
| 47 | Schaltplan 2 von 2 | 95 |

Tabellenverzeichnis

| | | |
|---|---|----|
| 1 | Vergleich einiger elektrischer Materialeigenschaften von Silizium (Si) und Galliumnitrid (GaN) [23] | 22 |
| 2 | Parameter der Resonanzspulen | 26 |
| 3 | Parameter der Dioden | 30 |
| 4 | Verlustleistungsergebnisse der "2-way coupling-Simulation . . . | 40 |
| 5 | Parameter der PCB-Spule in Lage 1 und Lage 4 | 43 |
| 6 | Simulationsergebnisse der vier Varianten (L1-L4) der Leiterplattenspulen mit den Windungen in der ersten und vierten Lage der Leiterplatte, bei der Frequenz $f = 1,74$ MHz | 45 |
| 7 | Parameter der PCB-Spule in der zweiten und vierten Lage . . | 45 |
| 8 | Simulationsergebnisse der zwei Varianten (L5, L6) der Leiterplattenspulen mit den Windungen in der zweiten und vierten Lage der Leiterplatte, bei der Frequenz $f = 1,74$ MHz | 47 |
| 9 | Ermittelte Parameter der Leiterplattenspulen | 70 |

A PID-Funktion

Listing 1: Assembler Code

```
1  _pidFunction:
2
3  push w4 ; Save working registers.
4  push w5
5  push w8
6  push w10
7  push CORCON ; Save CORCON
8
9  mov #0x00A2, w4 ; set the CORCON bits
10 mov w4, _CORCON
11
12 lsr w1,#0x1, w4 ; shift the ADC value to make it signed
13
14 ; prefetch the address of the error history array
15 mov [w0+ #offsetErrorHis], w10
16 sub w2, w4, w5 ; calculate the error e(n)
17 mov w5, [w10] ; save the result into e(n)
18
19 ; Initialize abc and history coefficients
20 mov [w0 + #offsetAbc], w8
21 mov [w0 + #offsetConHis], w2
22
23 ; main calculation-----
24
25 ; clear the acc A and pre-fetch the a and e(n) value into w4 and w5
26 clr A, [w8]+=2, w4, [w10]+=2, w5
27
28 lac [w2], A ;load the last output value into the accA
29 ; multiply e(n) and a and sum it with accA
30 ; save the b and e(n-1) into the working registers w4 and w5
31 ; set the pointer to the next word (c and e(n-2))
32 mac w4 * w5, A, [w8]+=2, w4, [w10]+=2, w5
33 ; multiply e(n-1) and b and sum it with accA
34 ; save the c and e(n-2) into the working registers w4 and w5
35 ; (not used) set the pointer to the words before (c and e(n-2))
36 mac w4 * w5, A, [w8], w4, [w10]-=2, w5
37 ; multiply e(n-2) and c and sum it with accA
38 ; save the c and e(n-1) into the working registers
39 ; (not used) set the pointer to the words before(c and e(n-2))
40 mac w4 * w5, A, [w8], w4, [w10]-=2, w5
41 ; save the accA value to the result
42 sac.r A, w5
43
44 mov w5, [w2] ; Copy control output to the control history
```

```

45
46     mov [w0+ #offsetPostShift], w8 ; post shift to the right
47     asr w5, w8, w5
48
49     ; clamp the output value to its limits
50     mov [w0 + #offsetMinOut], w4 ; get the min. output value
51     cpsgt w5, w4 ; skip if w5 > w4, compare is signed
52     mov w4, w5
53
54     mov [w0 + #offsetMaxOut], w4 ; get the max. output value
55     cpslt w5, w4 ; skip if w5 < w4, compare is signed
56     mov w4, w5
57
58     mov w5, [w3] ; return the value
59
60     ; clean up-----
61
62     mov [w10 + #2], w4 ; set e(n-2) = e(n-1)
63     mov w4, [w10 + #4]
64
65     mov [w10], w4 ; set e(n-1) = e(n)
66     mov w4, [w10 + #2]
67
68     pop CORCON ; restore CORCON.
69     pop w10 ; Restore working registers.
70     pop w8
71     pop w5
72     pop w4
73
74     return
75     .end

```

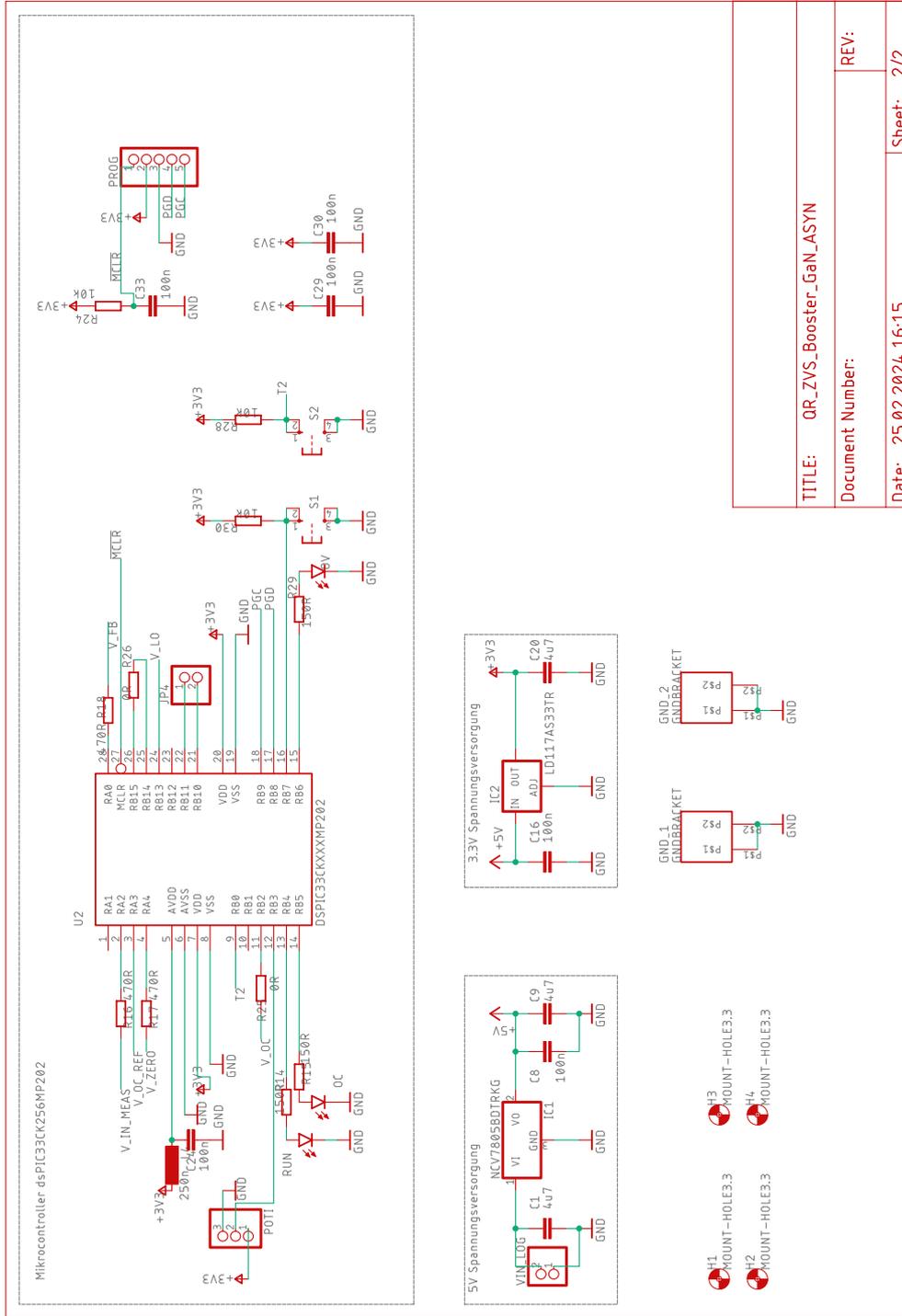



Abbildung 47: Schaltplan 2 von 2

| | |
|--------------------------------|------------|
| TITLE: QR_ZVS_Booster_GaN_ASYN | |
| Document Number: | REV: |
| Date: 25.02.2024 16:15 | Sheet: 2/2 |

Hiermit erkläre ich, dass die vorliegende Arbeit ohne unzulässige Hilfe Dritter und ohne Benutzung anderer als der angegebenen Hilfsmittel angefertigt wurde. Die aus anderen Quellen oder indirekt übernommenen Daten und Konzepte sind unter Angabe der Quelle gekennzeichnet.

Die Arbeit wurde bisher weder im In- noch im Ausland in gleicher oder in ähnlicher Form in anderen Prüfungsverfahren vorgelegt.

Wien, 21.05.2024



Florian FRIEDRICH