

TECHNISCHE
UNIVERSITÄT
WIEN

ESEA

Entwurf, Aufbau und Test eines Hochspannungs- Testimpulsgenerators

DIPLOMARBEIT

ausgeführt zum Zwecke der Erlangung des akademischen Grades eines

Diplom-Ingenieurs (Dipl.-Ing.)

unter der Leitung von

Ao.Univ.Prof. Dipl.-Ing. Dr.techn. Johann Ertl

(E370 Institut für Energiesysteme und Elektrische Antriebe)

eingereicht an der Technischen Universität Wien

Fakultät für Elektrotechnik und Informationstechnik

von

Ing. Martin WINKLER, BSc

Matrikelnummer: e0525398

Wien, im Juni 2016



TECHNISCHE
UNIVERSITÄT
WIEN

ESEA

Ich habe zur Kenntnis genommen, dass ich zur Drucklegung meiner Arbeit unter der Bezeichnung

Diplomarbeit

nur mit Bewilligung der Prüfungskommission berechtigt bin.

Ich erkläre weiters Eides statt, dass ich meine Diplomarbeit nach den anerkannten Grundsätzen für wissenschaftliche Abhandlungen selbstständig ausgeführt habe und alle verwendeten Hilfsmittel, insbesondere die zugrunde gelegte Literatur, genannt habe.

Weiters erkläre ich, dass ich dieses Diplomarbeitsthema bisher weder im In- noch Ausland (einer Beurteilerin/einem Beurteiler zur Begutachtung) in irgendeiner Form als Prüfungsarbeit vorgelegt habe und dass diese Arbeit mit der vom Begutachter beurteilten Arbeit übereinstimmt.

Wien, im Juni 2016

Danksagung

Zunächst möchte ich mich an dieser Stelle bei all denjenigen bedanken, die mich während der Anfertigung dieser Diplomarbeit unterstützt und motiviert haben.

Ganz besonders gilt dieser Dank Herrn Ao.Univ.Prof. Dipl.-Ing. Dr.techn. Johann Ertl, der meine Arbeit und somit auch mich betreut hat. Speziell für sein Vertrauen in mich, mir diese Aufgabe zu geben, für die Betreuung während der gesamten Bauzeit der Hardware, für die zahl- und lehrreichen Tage im Labor für die Messungen sowie für die Begleitung der schriftlichen Ausarbeitung möchte ich mich recht herzlich bedanken. Nicht nur von seiner fachlichen Kompetenz, sondern auch von seiner menschlichen Seite und der daraus resultierenden angenehmen Zusammenarbeit war ich begeistert.

Auch mein ehemaliger Vorgesetzter und langjähriger Mentor Michael Kövi hat mich maßgeblich unterstützt und mir ermöglicht, dass diese Diplomarbeit nun in dieser Form vorliegt. Vielen Dank für die Unterstützung durch die Bereitstellung von technischem Equipment und für die konstruktive Kritik in der Bauphase dieser Arbeit.

Daneben gilt mein Dank Mag. Andrea Fennes-Dorner, welche in zahlreichen Stunden Korrektur gelesen hat. Sie wies auf Schwächen hin und konnte als Fachfremde immer wieder zeigen, wo noch Erklärungsbedarf bestand.

Danken möchte ich außerdem meiner Freundin, Ulrike Fennes LL.M. (WU), die mich mit viel Geduld moralisch unterstützt hat.

Abschließend möchte ich mich bei meinen Eltern, Franz und Pauline Winkler, bedanken, die mir mein Studium durch ihre Unterstützung ermöglicht haben und stets ein offenes Ohr für meine Sorgen hatten.

Kurzfassung

Eine Forschungsgruppe am Institut für Energiesysteme und Elektrische Antriebe an der Technischen Universität Wien beschäftigt sich im Rahmen eines Forschungsprojektes mit der Alterung von Isolationsmaterialien in Motorwicklungen bei umrichter-betriebenen Elektromotoren. Es gibt Anzeichen dafür, dass diese Alterungserscheinungen unter anderem besonders auch durch die Schaltgeschwindigkeiten des Umrichters, also der Flankensteilheit der an den Motor angelegten Spannungspulse (du/dt), hervorgerufen werden. Das Bestreben der Hersteller von Umrichtern und Halbleitern ist es jedoch, genau diese Schaltgeschwindigkeiten zu erhöhen, um die Schaltverluste im Umrichter zu senken und damit den Wirkungsgrad zu verbessern.

State-of-the-art Power-Semiconductor für Traktionszwecke schalten laut Datenblatt-Angaben mit einer Geschwindigkeit von bis zu $10\text{kV}/\mu\text{s}$, im Falle von Silizium-Karbid Halbleiterschaltern sogar noch deutlich schneller ($20\dots 40\text{kV}/\mu\text{s}$, also z.B. 4000V in ca. 100ns (Stand 2016)). Ziel des universitären Forschungsprojektes ist es, die Auswirkungen sehr hoher du/dt -Werte auf die Alterung der Wicklungsisolierung des Motors zu betrachten, da letztlich die Vorteile derartiger Leistungstransistoren praktisch nur dann genutzt werden können, wenn die Lebensdauer der Wicklung nicht beeinträchtigt wird.

Im Zuge dieser Diplomarbeit wird zur späteren Verwendung in Isolations-Alterungstests ein Hochspannungsimpulsgenerator entwickelt. Dazu wird zunächst eine Gleichspannung bis zu 4000V mittels Spannungskaskade erzeugt und diese über einen schnell-schaltenden Hochspannungs-MOSFET (IXTL2N450 Fa. Ixys) bzw. alternativ über einen Hochspannungs-IGBT (IXEL40N400 Fa. Ixys) auf eine Testwicklung impulsartig aufschaltet. Die Ansteuerung der Leistungstransistoren erfolgt über einen potentialgetrennten Gatetreiber on-board, welcher über einen externen TTL-Impulsgenerator getaktet werden kann. Die du/dt -Werte können dabei durch Variation des Gate-Vorwiderstandes beeinflusst werden.

Getestet und gemessen wurden folgende Werte:

- geschaltete Spannung: U_{DS} bzw. U_{CE} bis zu 3700V
- geschaltete Stromimpulse: I_D bzw. I_C bis 8A
- Spannungsanstieg: du/dt bis $40\text{kV}/\mu\text{s}$ (entspricht 4000V in 100ns)
- Repetitionsfrequenz: bis zu 500Hz

Summary

Presently, a research group at the Institute of Energy Systems and Electrical Drives at the TU Wien runs a project on the aging of isolation systems for inverter-fed electrical motors for traction applications. There are some indicators that the aging of motor winding systems besides other parameters especially is influenced by the dv/dt -rates of the inverter output voltage. The switching speed of modern power transistors however has increased significantly in the last years by the manufacturers in order to reduce switching losses for maximizing the inverters efficiency.

State-of-the-art power transistors for traction drives today are switching showing dv/dt -rates of up to typically $10\text{kV}/\mu\text{s}$ and even more, if silicon carbide devices are used (e.g. $20\dots40\text{kV}/\mu\text{s}$ for SiC MOSFETs, i.e. a turn-off of 4000V in 100ns , status of 2016). Aim of the research project mentioned above therefore is the analysis of the influence of high dv/dt -rates on the motor aging, because modern power semiconductors seem to be applicable for traction drives only if the machine's winding isolation system is able to withstand high dv/dt without any reduction of the life cycle.

Within this thesis a high-voltage test-pulse generator has been developed which will be used for isolation aging tests on winding systems in future project status. The unit is equipped with a capacitive voltage multiplier cascade generating a DC link voltage up to 4000V . This voltage is chopped into pulses of high dv/dt rate by a high-voltage MOSFET (IXTL2N450 of Ixys) or, alternatively, high-voltage IGBT (IXEL40N400, Ixys) in combination with a SiC free-wheeling diode array. The pulses finally are applied as testing signal to the motor winding. The dv/dt -rate of the pulses can be adjusted by IGBT/MOSFET's gate resistor of the isolated gate driver.

The following key specifications have been achieved:

- voltage level: U_{DS} / U_{CE} up to 3700V
- current level: I_D / I_C up to 8A
- dv/dt -rate: up to $40\text{kV}/\mu\text{s}$ (i.e., 4000V in 100ns)
- pulse repetition rate: up to 500Hz

Inhaltsverzeichnis

1	Einleitung.....	1
1.1	Forschungsfrage	1
1.2	Aufgabenstellung	3
2	Entwurf.....	4
2.1	Schematisches Modell	4
2.2	Vor-Dimensionierung.....	5
2.2.1	Leistungstransistor.....	5
2.2.2	Hochspannungskaskade	6
2.2.3	Symmetrierwiderstände	9
2.2.4	Gateansteuerung	11
2.2.5	Testspule	12
2.3	SPICE-Modelle.....	13
2.3.1	Ideale Hochspannungskaskade.....	13
2.3.2	Belastete Hochspannungskaskade.....	15
2.3.2.1	Der äquivalente Serienwiderstand	15
2.4	Schaltvorgang	18
2.4.1	Schaltvorgang mit idealer Versorgungsspannung	19
2.4.2	Schaltvorgang mit Kaskade als Versorgung	21
3	Aufbau	28
3.1	Leistungselektronik.....	28
3.1.1	Schaltplan.....	29
3.1.2	Spannungsversorgung.....	30
3.1.3	Hochspannungskaskade	30
3.1.4	Hochspannungsanzeige	31
3.1.5	Leistungstransistor mit Freilaufdioden	32
3.2	Gateansteuerung	33
3.2.1	Schaltplan.....	33
3.2.2	Gatetreiber.....	33
3.2.3	Gate-Versorgungsspannung.....	35
3.3	Testspule.....	35

3.3.1	Analyse der Testspule	36
3.4	Verwendete Bauteile	39
3.5	PCB-Design	41
3.6	Endmontage	43
4	Analyse / Test	44
4.1	Inbetriebnahme und Tests	44
4.2	Messaufbau / analysierende Größen	46
4.2.1	Messmittel / externe Geräte	46
4.3	Messergebnisse am MOSFET	47
4.3.1	Gesamter Schaltvorgang	49
4.3.2	Einschaltvorgang - Detail	51
4.3.3	Ausschaltvorgang - Detail	52
4.4	Messergebnisse am IGBT	54
4.4.1	Gesamter Schaltvorgang	54
4.4.2	Einschaltvorgang - Detail	55
4.4.3	Ausschaltvorgang - Detail	56
5	Resümee	58
6	Literaturverzeichnis	60
7	Abbildungsverzeichnis	61
8	Tabellenverzeichnis	63
9	Anhang A	64
9.1	Quellcode SPICE-Modell MOSFET	64
9.2	Schaltplan	65
9.3	PCB-Layer (Maßstab 1:1)	66
9.3.1	Bestückungsplan (M 1:1)	67
9.3.2	PCB Top-Layer (M 1:1 für Eigenprint)	68
9.3.3	PCB Bottom-Layer (M1:1 für Eigenprint)	69
10	Anhang B	70

1 Einleitung

1.1 Forschungsfrage

Schnelle Leistungstransistoren in Umrichtern für elektrische Antriebe bringen nicht nur Vorteile mit sich. Die hohen Schaltgeschwindigkeiten, d.h. die hohen Spannungsänderungsraten (du/dt), reduzieren zwar die Schaltverluste, beanspruchen jedoch die einzelnen Komponenten des Antriebes erheblich. Einige wichtige Phänomene, die bei diesen hohen Änderungsraten auftreten und deren negative Auswirkungen auf die materiellen Eigenschaften der Komponenten werden im Folgenden kurz erläutert.

Überspannungen

Wenn die (halbe) Anstiegszeit der vom Umrichter abgegebenen Spannungspulse kürzer als die Signallaufzeit der Pulse im Motorkabel ist, kommt es durch die im allgemeinen gegebene Differenz zwischen Kabel- und Motorimpedanz zu einer Reflexion des Spannungsimpulses, welche sich mit dem nächsten eintreffenden Impuls addiert. Man spricht in diesem Fall von der kritischen Leitungslänge. Ist die Impedanz des Motors größer als die Impedanz der Zuleitung, kommt es zu einer positiven Reflexion, was bedeutet, dass die resultierende Spannung am Motor größer wird. Im schlimmsten Fall kommt es zu einer Spannungsverdopplung. Zusätzlich kann es bei ungünstigen Impedanz-Verhältnissen zwischen Umrichter, Motorzuleitungskabel und Motor zu Resonanzerscheinungen und somit zu weiteren Spannungsüberhöhungen kommen. Gemeinsam mit den Reflexionserscheinungen können somit Spannungen von weit mehr als dem Doppelten entstehen.

Diese Überspannungen führen zu einer schnelleren Alterung des Isolationsmaterials in den Motorwicklungen und führen im schlimmsten Fall sogar zum Entstehen von zerstörerischen Teilentladungen.

Lagerströme

Durch parasitäre Kapazitäten treten bei hohen Spannungsänderungsraten besonders bei Kurzschlussläufer-Asynchronmaschinen verstärkt Stromflüsse über die Wälzlager auf (Lagerströme). Dadurch kann es infolge von Mikro-Lichtbögen zur Riffelbildung in den Lager-Laufflächen und letztlich sogar zu einem Totalschaden am Lager kommen.

Frequenzerhöhungen

Transistoren mit hoher Schaltgeschwindigkeit verleiten oft auch zu einer Erhöhung der Schaltfrequenz, da daraus üblicherweise eine geringere Geräusentwicklung des Motors resultiert. Die höhere Schaltfrequenz führt meist auch zu zusätzlichen EMV-Problemen sowie zu größeren Verlusten resultierend in Temperaturerhöhungen im Motor, was ebenfalls die Isolation der Motorwicklungen schädigen kann.

Neben mechanischen Lagerschäden zählen Isolationsschäden mit einem Wert von ca. 25% zu den Hauptgründen von Ausfällen in von Umrichtern gespeisten elektrischen Antrieben. Aus diesem Grund wurde am Institut für Energiesysteme und Elektrische Antriebe der TU-Wien eine Methode entworfen, den Zustand der Motorisolation frühzeitig, zerstörungsfrei und während des Betriebs zu analysieren. Damit kann einem unerwarteten Ausfall einer Antriebseinheit vorgebeugt werden.

Die Grundidee hierbei ist ([1]-[3]), dass sich durch die Alterung die Isolationskapazitäten ändern, welche zu unterschiedlichen Spannungsschwingungen und entsprechenden transienten Stromantworten führen. Mittels FFT (Fast Fourier Transformation) wird das Amplitudenspektrum dieser Stromantworten mit jener einer gesunden Motorwicklung verglichen. Ein „Insulation State Indicator“ (ISI), welcher aus der mittleren quadratischen Abweichung berechnet wird, wird dann pro Phase eingeführt. Durch Linearkombination der berechneten Werte wird eine räumliche Definition in der komplexen Ebene geschaffen.

$$SISI = ISI_{L1} + ISI_{L2} \cdot e^{\frac{j2\pi}{3}} + ISI_{L3} \cdot e^{\frac{j4\pi}{3}} \quad (1.1)$$

Damit wird eine Lokalisierung des entstehenden Problems der Isolation ermöglicht.

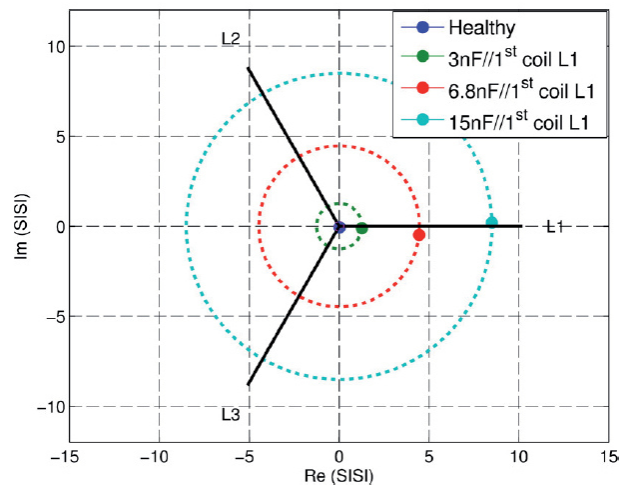


Abbildung 1: Räumliche Darstellung des Isolationszustandes [1]

1.2 Aufgabenstellung

Um die oben genannten Auswirkungen auf das Isolationsmaterial simulieren zu können, soll im Rahmen der vorliegenden Diplomarbeit ein Hochspannungsimpulsgenerator entwickelt werden, mit dem dann Testwicklungen bzw. reale Motorwicklungen impulsartig mit Spannungsstößen hoher du/dt -Rate im Dauer-versuch beansprucht werden können. Es sollen für diese Anforderungen optimale, Leistungstransistoren gesucht, hinsichtlich deren charakteristischer Eigenschaften, wie Spannungsfestigkeit und Schaltgeschwindigkeiten, verglichen und schlussendlich ausgewählt werden. Werden mehrere mögliche Transistortypen gefunden, so sollen, wenn möglich, die Transistoren auf der Leiterplatte austauschbar sein. Bei der Auswahl ist daher auf die verschiedenen Gehäusetypen zu achten und das Print-Layout entsprechend auszuführen. Weiters soll die für die Erzeugung der Spannungsimpulse nötige hohe Gleichspannung zur Verfügung gestellt werden und ein Gatetreiber mit galvanischer Trennung implementiert werden. Der Gatetreiber soll hinsichtlich Schaltgeschwindigkeit des Leistungstransistors optimiert werden. Das Steuersignal des Gatetreibers soll entweder über ein Field-Programmable Gate-Array (FPGA) realisiert werden oder alternativ von einem externen Puls-/Signalgenerator eingespeist werden. Zum Schutz des Bedieners soll der Wert der Gleichspannung stets (d.h. ohne Verwendung einer zusätzlichen Messelektronik) angezeigt werden.

2 Entwurf

Nach Erörterung der Aufgabenstellung wurde die Problematik in einzelne Teilaufgaben zerlegt und entschieden, welche Komponenten aus diskreten Bauelementen aufgebaut, welche als Baustein zugekauft und welche über externe Geräte implementiert werden sollen. Die Recherche über Möglichkeiten zur Realisierung der einzelnen Aufgaben ergibt das im Folgenden dargestellte schematische Modell, welches dann mittels SPICE analysiert wird.

2.1 Schematisches Modell

Um das Ziel, nämlich eine hohe Gleichspannung über einen diskreten, leistungsstarken und zugleich sehr schnellen Schalter impulsartig auf die Testwicklung aufzuschalten, zu erreichen, wird im ersten Schritt eine mehrstufige Villardschaltung entworfen. Diese richtet die eingangsseitige Wechselspannung gleich und multipliziert diese mit der Anzahl der implementierten Stufen (Spannungsvervielfacher). Die Ausgangsspannung dieser Spannungskaskade ist direkt proportional zur angelegten Eingangsspannung, weshalb dafür ein externer, regelbarer Schutztrenntrafo verwendet wird. Die nun generierte, einstellbare und möglichst konstante Gleichspannung im kV-Bereich wird dem Leistungstransistor zur Verfügung gestellt. Zum aktuellen Zeitpunkt (Stand 2016) beschränkt sich die Auswahl des Leistungsschalters nach längerer Recherche hinsichtlich Spannungsfestigkeit, Stromführbarkeit, Schaltgeschwindigkeiten und Kosten auf MOSFETs bzw. IGBTs. Ein on-board implementierter Gatetreiber wird über einen externen Signalgenerator angesteuert. Impulsdauer und die Zeit zwischen den Impulsen (Repetitionsfrequenz) können dort eingestellt werden. Der Gatetreiber wird einerseits an den TTL-Ausgang des externen Signalgenerators und andererseits an die Gateanforderungen der Halbleiter-Schaltelemente angepasst. Über Klemmen sollen die erzeugten Hochspannungsimpulse anfangs auf eine selbst gewickelte Testspule und im Endeffekt auf die zu testende Motorwicklung geschalten werden.

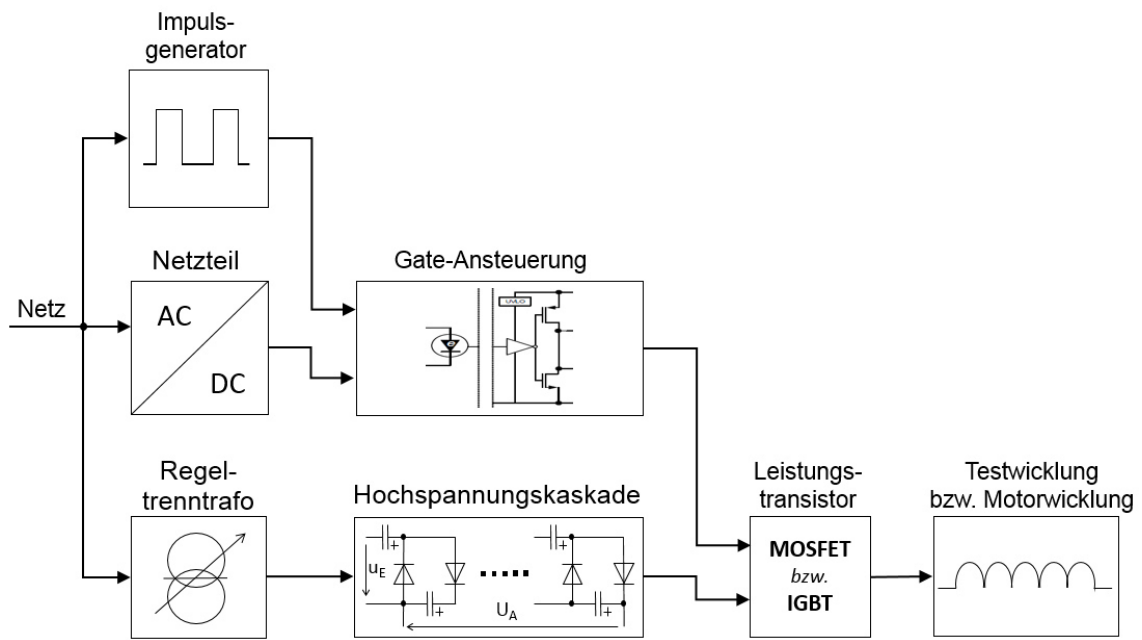


Abbildung 2: Schematisches Modell

2.2 Vor-Dimensionierung

2.2.1 Leistungstransistor

Diskrete und sehr schnelle Leistungstransistoren für Spannungen bis 1200V sind heutzutage üblich und werden von sehr vielen Halbleiterherstellern angeboten. Bauelemente für Spannungen darüber hinaus sind jedoch nur mehr von wenigen Herstellern verfügbar und auch hier nur bis etwa 2000V. Einzig die Fa. Ixys bietet diskrete Leistungstransistoren im TO-247-ähnlichen Gehäuse für Spannungen bis zu 4500V an. Tabelle 1 zeigt eine Gegenüberstellung der für diese Aufgabe verfügbaren relevanten Bauelemente der Fa. Ixys.

Typen-bezeichnung	Type	U_{max} [V]	$I_{25^\circ C}$ [A]	t_r [ns] bei U [V] (laut Datenblatt)	t_r für 4kV [ns] (hochger.)	t_f [ns] bei U [V] (laut Datenblatt)	t_f für 4kV [ns] (hochger.)	Package	kommerziell erhältlich	Richtpreis [€/Stk.]
IXTL2N450	MOSFET	4500	2	34 @ 1000	136	205 @ 1000	820	ISOPLUS i5-Pak	ja	78,18
IXTF1R4N450	MOSFET	4500	1,4	60 @ 500	480	170 @ 500	1360	ISOPLUS i4-Pak	ja	21,06
IXTH1N450HV	MOSFET	4500	1	43 @ 500	344	120 @ 500	960	TO-247HV	nein	
IXGF30N400	IGBT	4000	30	146 @ 1250	467	514 @ 1250	1645	ISOPLUS i4-Pak	ja	45,93
IXA40I4000KN	IGBT	4000	80	80 @ 2800	114	200 @ 2800	286	ISOPLUS 264	nein	
IXEL40N400	IGBT	4000	90	100 @ 2800	143	425 @ 2800	607	ISOPLUS i5-Pak	ja	71,18
IXYL60N450	IGBT	4500	90	450 @ 960	1875	1360 @ 960	5667	ISOPLUS i5-Pak	ja	73,27

Tabelle 1: Gegenüberstellung relevanter Bauelemente von Fa. Ixys

Trotz höherer Kosten werden der MOSFET IXTL2N450 und der IGBT IXEL40N400 gewählt, da es die schnellsten zum Verkauf angebotenen Transistortypen sind und diese außerdem das gleiche Gehäuse besitzen.

2.2.2 Hochspannungskaskade

Nach Auswahl der Leistungstransistoren wird die Spannung, welche dem Schaltelement zur Verfügung stehen soll, nachfolgend „Zwischenkreisspannung“ genannt, auf 4000V definiert. Gespeist vom 230V-Wechselspannungsnetz soll eine Schaltung entworfen werden, die die Eingangsspannung gleichrichtet und „hochtransformiert“. Spannungsverdopplerschaltungen nach Delon bzw. Villard sind hierfür mögliche Grundschaltungen, wobei eine Kaskadierung und somit ein Erreichen sehr hoher Spannungen nur bei der Villardschaltung einfach möglich ist.

Spannungsverdopplung mit Villardschaltung

C1 und D1 bilden einen Einweggleichrichter, welcher als eigentliche Villardschaltung gilt. Die Erweiterung um C2 und D2 (nach Greinacher) bewirkt die Verdopplung der Spannung. Abbildung 3 zeigt die Grundschaltung dieser Spannungsverdopplung. Ein Nachladezyklus wird im Folgenden beschrieben.

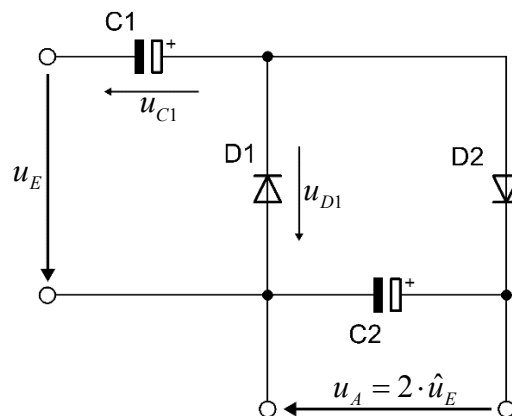


Abbildung 3: Spannungsverdopplung mit Villardschaltung

Während der negativen Halbwelle der Spannung von u_E wird der Kondensator C1 über die Diode D1 auf den Amplitudenwert $\hat{u}_{C1} \approx \hat{u}_E$ ($D1$ leitet $\Rightarrow u_{D1} \approx 0$) geladen. Die Diode D2 sperrt dabei.

Wenn keine Last am Ausgang angeschlossen ist, dann bleibt die Spannung $u_A(t_1)$ am Kondensator C2 bis zur nächsten Nachladung konstant.

Während sich die Eingangsspannung von seinem negativen zu seinem positiven Scheitelwert ändert, wird das Potential der Kathode der Diode D1 wegen des aufgeladenen C1 ins Positive angehoben. Solange die Spannung $u_{D1}(t)$ kleiner als die Ausgangsspannung ist, sperrt D2. Sobald $u_{D1}(t)$ die Ausgangsspannung übersteigt, wird D2 leitend. Ab jetzt sind C1 und C2 in Reihe geschaltet. Der weitere Spannungsanstieg von u_A (um insgesamt $2 \cdot \hat{u}_E - u_A(t_1)$) teilt sich daher gemäß kapazitivem Spannungsteiler auf C1 und C2 auf.

Der Spannungsanstieg am Ausgang beträgt bei einem Nachladevorgang

$$\Delta u = u_A(t_2) - u_A(t_1) = [2 \cdot \hat{u}_E - u_A(t_1)] \cdot \frac{C_1}{C_1 + C_2} \quad (2.1)$$

mit $u_A(t_1)$... Ausgangsspannung vor der Aufladung

und $u_A(t_2)$... Ausgangsspannung nach der Aufladung

Bei gleicher Größe der beiden Kondensatoren C1 und C2 beträgt der Spannungszuwachs

$$\Delta u = \hat{u}_E - \frac{u_A(t_1)}{2} \quad (2.2)$$

Der Spannungsanstieg pro Aufladevorgang wird daher umso kleiner, je größer die Ausgangsspannung bereits ist.

Die Ausgangsspannung erreicht für $t \rightarrow \infty$ als Grenzwert die Spannung $u_A = 2 \cdot \hat{u}_E$.

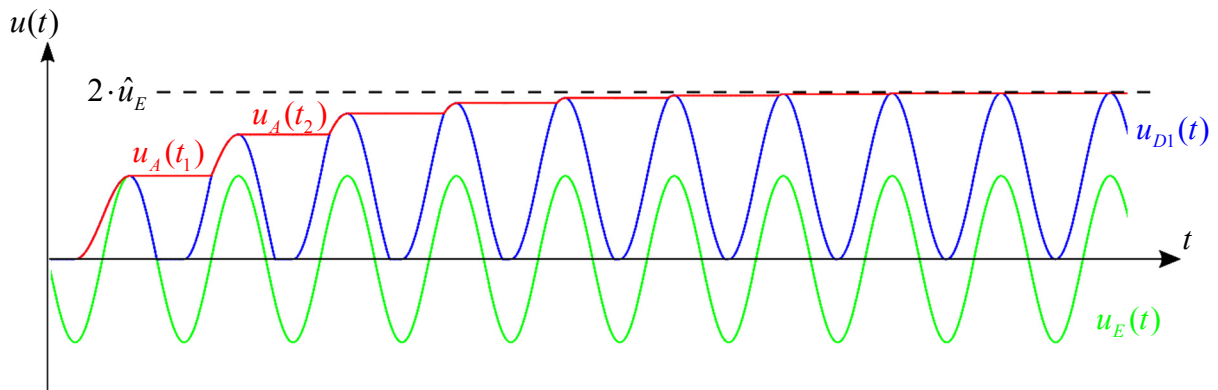


Abbildung 4: Spannungsverlauf des Spannungsverdopplers (Villard)

Ist am Schaltungsausgang eine Last angeschlossen, so wird C2 zwischen zwei Nachladevorgängen teilweise entladen. Die Ausgangsspannung erreicht daher den Wert $2 \cdot \hat{u}_E$ nur im Leerlauf und bei idealen Bauelementen. [4]

Der große Vorteil der Villardschaltung liegt darin, dass durch Kaskadierung nicht nur eine Spannungsverdopplung, sondern auch eine Spannungsvervielfachung möglich ist. Abbildung 5 zeigt den Aufbau einer n-stufigen Spannungskaskade.

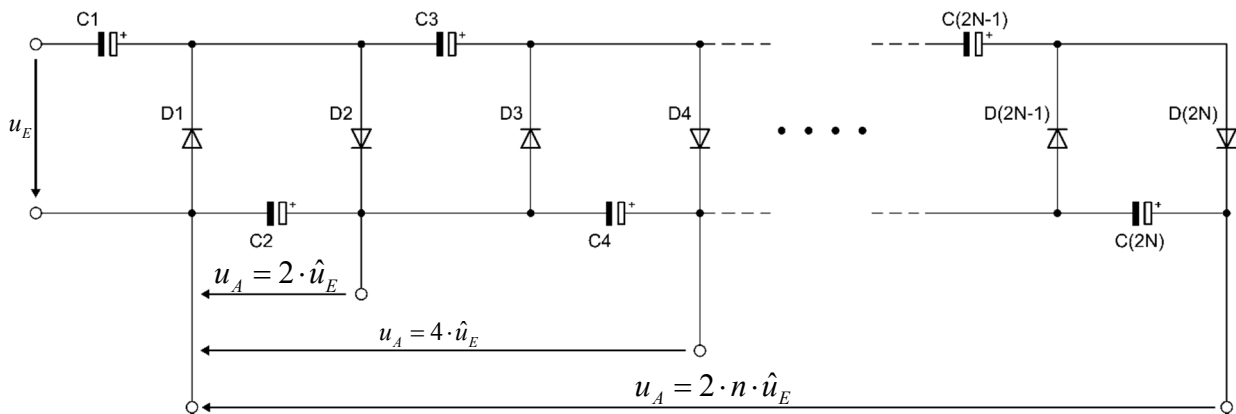


Abbildung 5: Spannungskaskade

Im eingeschwungenen Zustand gilt für die Ausgangsspannung

$$u_A = 2 \cdot n \cdot \hat{u}_E \quad (2.3)$$

mit n ... Anzahl der Stufen

Da die vom Netz abgegebene Ladung in jeder Halbwelle nur um eine Stufe weitergepumpt werden kann, erfolgt der Spannungsanstieg am Ausgang umso langsamer, je mehr Stufen hintereinander geschaltet sind.

Anpassung an die gewünschten Anforderungen

Um nun eine annähernde Gleichspannung von 4000V zu erreichen, sind bei einer Netzspannung von $U_{E,eff} = 230V$ (d.h.: $\hat{u}_E = \sqrt{2} \cdot U_{E,eff} \approx 325V$) mindestens 7 Stufen notwendig.

$$n = \frac{u_A}{2 \cdot \hat{u}_E} \quad (2.4)$$

Das wiederum würde bedeuten, dass bei einer Ausgangsspannung von 4000V und gleich großen Kondensatoren die Kondensatoren auf eine Spannung von mind. 575V ausgelegt werden müssen. Handelsübliche und kostengünstige Aluminium-Elektrolyt-Kondensatoren gibt es mit Nennspannungen bis 400V (maximal bis 500V). Aus diesem Grund wurde entschieden, eine 10-stufige Kaskade zu realisieren. Daraus resultiert eine max. Eingangsspannung von $U_{E,eff} = 141,4V$, um die leerlaufende Ausgangs-Gleichspannung von 4000V bei Leerlauf nicht zu überschreiten.

$$U_{E,eff} = \frac{U_A}{2 \cdot 10} / \sqrt{2} \quad (2.5)$$
$$U_{E,eff} = 200 / \sqrt{2} = 141,42V$$

Es wird, durch die Erhöhung der Anzahl der Kaskadenstufen, in Kauf genommen, dass das Einschwingverhalten, d.h. die Zeit bis zum Erreichen der gewünschten Ausgangs-Gleichspannung, dementsprechend länger dauert.

2.2.3 Symmetrierwiderstände

Bei in Serie geschalteten Kondensatoren muss die Tatsache berücksichtigt werden, dass Elektrolytkondensatoren sehr große Kapazitätstoleranzen haben und somit unerwünscht hohe Teilspannungen an einzelnen Kondensatoren auftreten können. Das Worst-Case-Szenario ist, dass bei zehn Kondensatoren neun eine Kapazität an der oberen Toleranzgrenze haben und ein Kondensator nur seinen Mindestwert besitzt, z.B. bei Elkos mit einer nominalen Kapazität von 100 μ F und einer für Elkos

üblichen Toleranz von 20% (9 x 120µF + 1 x 80µF). An den in Serie geschalteten 10 Kondensatoren liegt eine Summenspannung von 4000V.

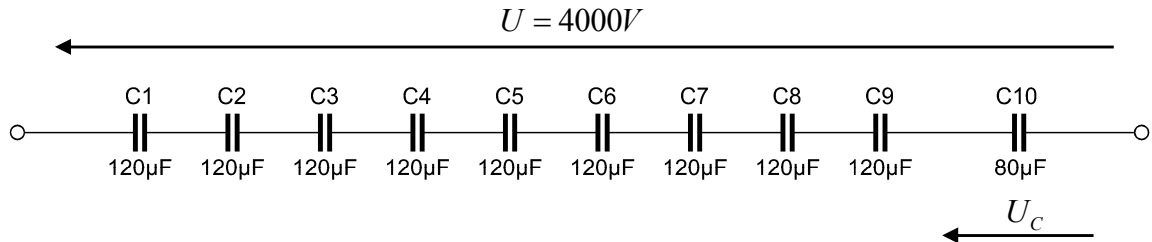


Abbildung 6: Auswirkung von Kapazitätstoleranzen

Gemäß kapazitivem Spannungsteiler liegt dann am Kondensator C10 eine Spannung von 571,4V statt der gewünschten 400V an, also deutlich über seiner Nennspannung.

$$U_C = 4000V \cdot \frac{\frac{120\mu F}{9}}{\frac{120\mu F}{9} + 80\mu F} = 571,4V \quad (2.6)$$

Um eine bessere Spannungsverteilung an den einzelnen Kondensatoren zu erzielen, werden sogenannte Symmetrierwiderstände zu jedem Kondensator parallel geschaltet.

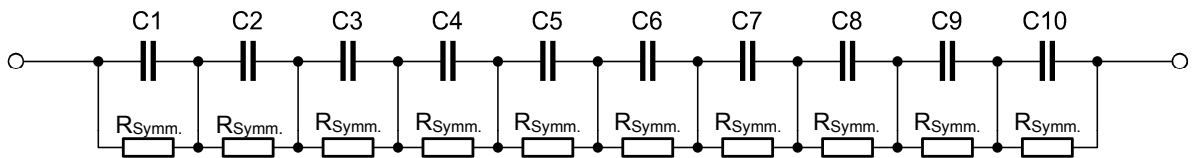


Abbildung 7: Symmetrierwiderstände

Für den Wert des Widerstandes kann die in den Applikationshinweisen oft angegebene Faustformel herangezogen werden, nämlich dass die Zeitkonstante der jeweiligen RC-Kombination 50s betragen soll.

$$\begin{aligned} R_{Symm.} \cdot C &\approx 50s \\ \rightarrow R_{Symm.} &\approx 500k\Omega \end{aligned} \quad (2.7)$$

2.2.4 Gateansteuerung

Optimierungen hinsichtlich Schaltgeschwindigkeiten können bei IGBTs und besonders bei MOSFETs maßgeblich durch die Beschaltung und Ansteuerung des Gateanschlusses beeinflusst werden. Der Strom, welcher die Gatekapazität auf- und entladet, ist Hauptkriterium hierfür.

$$I = \frac{dQ}{dt} \quad (2.8)$$

Dieser Strom kann sowohl durch die Größe des Gatewiderstandes R_G als auch durch die Höhe der Gatespannung U_{GS} bzw. U_{GE} bestimmt werden. Die Schwellspannung, ab welcher der Leistungshalbleiter durchschaltet, liegt bei den angeführten Leistungshalbleitern bei etwa 5V. Um dadurch die Ausschaltgeschwindigkeit zu minimieren, wird deshalb ein negatives Gatepotential zum Entladen der Gatekapazität und somit für das Ausschalten des Halbleiters gewählt. Ein gängiger +/-12V DC/DC-Konverter wird daher so beschalten, dass dessen bipolare Ausgangsspannung asymmetrisch wird und +19/-5V beträgt. Abbildung 8 zeigt den für diese Anforderungen gewünschten Verlauf der Gatespannung.

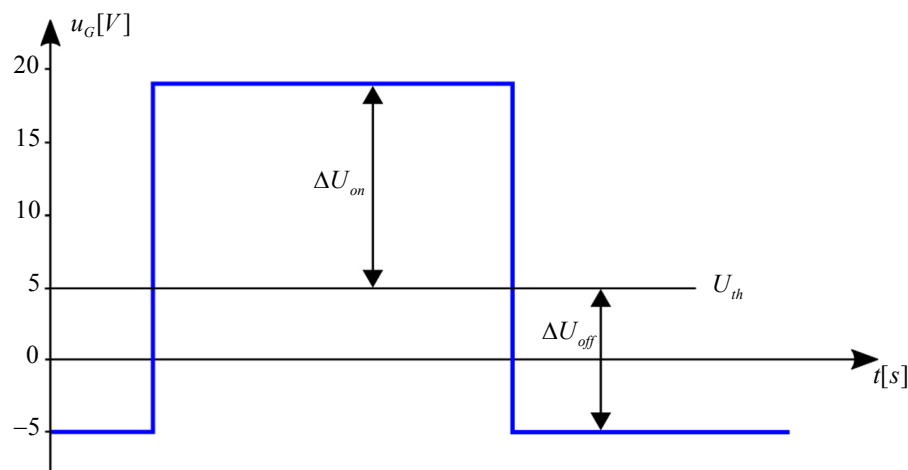


Abbildung 8: Verlauf Gatespannung

Außerdem ist bei der Auslegung der Gateansteuerung darauf zu achten, dass der Leistungsteil gegenüber der Ansterelektronik aus Sicherheitsgründen elektrisch isoliert (d.h. galvanisch getrennt) aufgebaut wird. Moderne Gatetreiberbausteine

erreichen sehr hohe Isolationsspannungen durch halbleiterbasierte Isolationsbarrieren und übertragen die Signalinformationen durch HF-Signale.

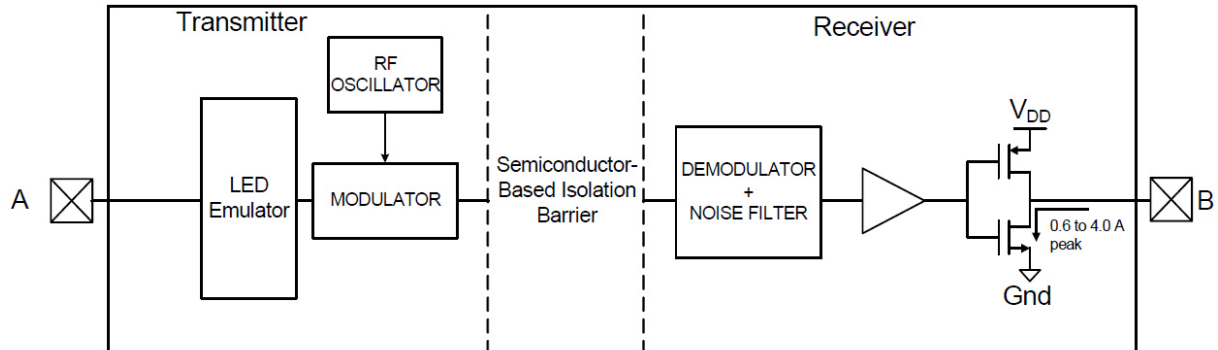


Abbildung 9: Blockschaltbild eines modernen Gatetreibers

Im Gegensatz zu herkömmlichen optisch gekoppelten Treibern, bieten diese Ansteuerbausteine signifikante Verbesserungen im Bereich von Common-Mode-Immunität, Pulsweitenverzerrung, Signallaufzeit und Zuverlässigkeit hinsichtlich Alterung und Lebensdauer.

2.2.5 Testspule

Erste Tests des Hochspannungs-Pulsgerätes werden sicherheitshalber nicht an der Motorwicklung selbst durchgeführt, sondern an einer Prüfinduktivität, welche, um Sättigungserscheinungen zu vermeiden, als Luftspule ausgeführt wurde. Die Höhe des Induktivitätswertes wird nun abgeschätzt. Da der Strom durch den MOSFET wegen seines viel höheren Leitwiderstandes wesentlich geringer als jener der durch den IGBT ist, wird die Prüfspule hinsichtlich des Drainstroms des MOSFETs ausgelegt. Laut MOSFET-Datenblatt beträgt der maximale kontinuierliche Drainstrom 2A, der maximale Spitzenstrom 8A. Nach Tabelle 1 (bzw. Datenblatt) beträgt die für 4000V hochgerechnete Risetime t_r 134ns und die Falltime t_f 820ns. Der Leistungsschalter soll für mind. etwa $2\mu\text{s}$ voll durchgeschaltet sein, damit man sinnvolle Messungen durchführen kann. Die für die Auslegung der Spule relevante Einschaltdauer $t_{on,\text{äq}}$ eines äquivalenten Rechteckimpulses beträgt daher rund $2,5\mu\text{s}$. Um bei den ersten Versuchen das Limit des Transistors nicht auszuschöpfen, soll in dieser Zeit ein Spitzenstrom von 4A (statt 8A) erreicht werden. Höhere Ströme können problemlos durch längeres Einschalten erreicht werden.

Die daraus resultierende Induktivität der Testspule beträgt:

$$\begin{aligned}
 i_L(t) &= \frac{1}{L} \int u(t) \cdot dt \\
 I_{D,\max} &= \frac{1}{L} \int_{t_1}^{t_1+t_{on}} U \cdot dt \\
 4A &= \frac{1}{L} \int_{t_1}^{t_1+2,5\mu s} 4000V \cdot dt \\
 L &= 2,5mH
 \end{aligned} \tag{2.9}$$

2.3 SPICE-Modelle

Vor dem Aufbau der Hardware werden einige Komponenten bzw. Baugruppen des Hochspannungsimpulsgenerators simuliert, um einerseits die einzelnen Vorgänge besser zu verstehen und andererseits die bereits dimensionierten Größen zu kontrollieren und ggf. anzupassen. Als Simulationssoftware wurde die frei erhältliche Software LTspice der Fa. Linear Technologies verwendet. Die meisten Hersteller von Bauelementen bieten zwar meist nur Modelle für die bekanntere, aber auch kostenpflichtige Software Pspice an, mit einigen Modifikationen können diese Modelle jedoch auch in LTspice verwendet werden.

2.3.1 Ideale Hochspannungskaskade

Aufbau und Funktionsweise der Hochspannungskaskade wurden bereits im Abschnitt 2.2.2 erläutert. Nachfolgend wird diese 10-stufige Kaskade simuliert und der Verlauf ihrer Ausgangsspannung analysiert. Die Spannungsquelle V2 liefert dazu eine 50Hz-Sinusspannung mit einem Spitzenwert von 200V.

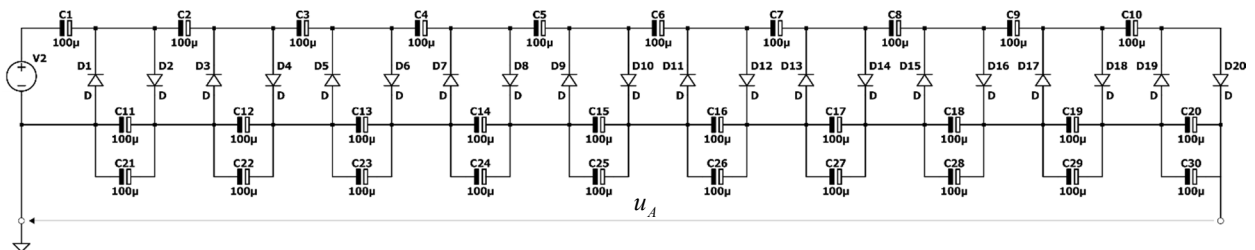


Abbildung 10: Modell einer 10-stufigen Spannungskaskade

Die Siebkondensatoren (C11-C30), welche ausgangsseitig in Richtung Zwischenkreisspannung wirken, wurden mit einer Kapazität von $200\mu\text{F}$ gewählt ($2 \times 100\mu\text{F}$ parallel). Um den Ersatzserienwiderstand zu verringern und um Kosten zu sparen, wurden so insgesamt 30 gleiche Kondensatoren vorgesehen (20 Sieb- und 10 Pumpkondensatoren). Für die erste Analyse der Kaskade werden alle Bauteile als ideal angenommen.

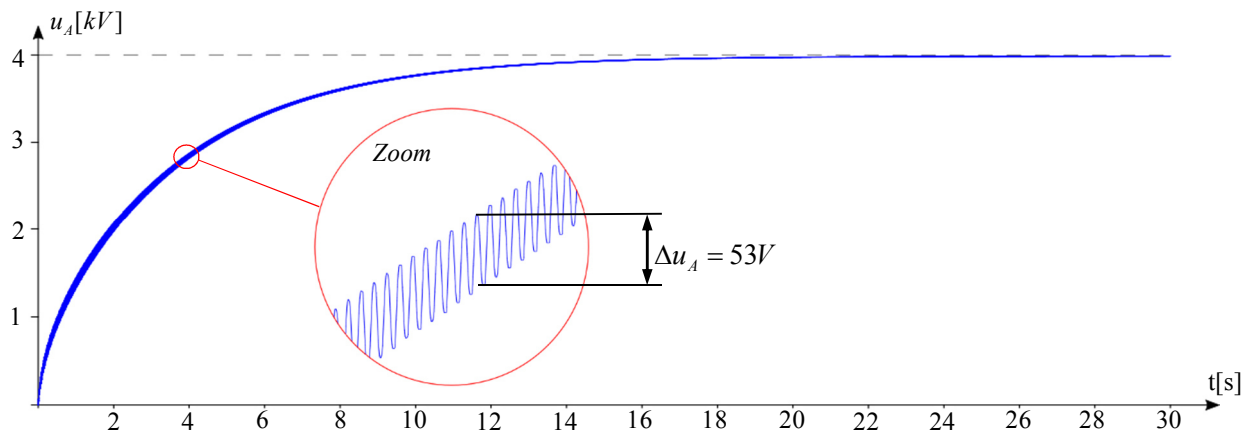


Abbildung 11: Spannungsverlauf der leerlaufenden Kaskade

Abbildung 11 zeigt die Ausgangsspannung der Kaskade. Wie bereits erörtert, ist die Hochlaufzeit aufgrund der geringen Frequenz der Eingangsspannung und der hohen Anzahl an Kaskadenstufen relativ lange. Ersichtlich ist auch, dass der erwartete Endwert von 4000V auch im unbelasteten idealen Fall infolge der Diodenflussspannungen nicht ganz erreicht wird. Folgende Messwerte sollen einen Vergleich zwischen den verschiedenen Belastungen der Kaskade ermöglichen.

Zeit t [s]	mittlere Spannung u_a [V]	Spannungsrippel Δu_a [V]
2	2021	100
6	3325	34
10	3766	11
30	3987	0,03

Tabelle 2: Spannungswerte der idealen Kaskade

2.3.2 Belastete Hochspannungskaskade

Die Tatsache, dass die Kondensatoren verlustbehaftet sind und zusätzlich bereits durch die Symmetrierwiderstände belastet werden, lässt vermuten, dass die Ausgangsspannung der Hochspannungskaskade geringer als im unbelasteten Fall sein wird und diesen Endwert auch langsamer erreichen wird. Der Einfluss dieser beiden Belastungen wird nun näher betrachtet.

2.3.2.1 Der äquivalente Serienwiderstand

Natürlich sind die eingesetzten Elektrolyt-Kondensatoren in der Realität nicht völlig verlustfrei. Abbildung 12 zeigt das Ersatzschaltbild eines Kondensators.

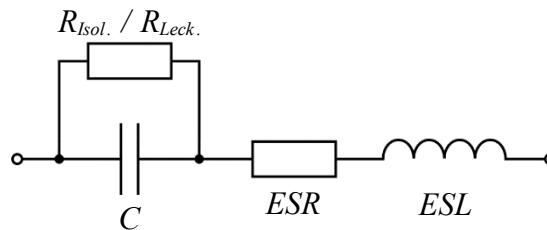


Abbildung 12: ESB eines Kondensators

- C...Kapazität des Kondensators
- $R_{\text{Isol.}}$...Isolationswiderstand des Dielektrikums bzw.
- $R_{\text{Leck.}}$...Widerstand, der den Reststrom des Elektrolytkondensators repräsentiert
- *ESR* (engl. Equivalent Series Resistance)... äquivalenter Serienwiderstand des Elektrolytkondensators, primär hervorgerufen durch den ohmschen Widerstand des Elektrolyt sowie der Kondensatorfolien.
- *ESL* (engl. Equivalent Series Inductivity L)...äquivalente Serieninduktivität, (Sie fasst die parasitären Induktivitäten des Bauelementes (Kondensatorwickel) zusammen.)

Für die weiteren Betrachtungen wird jedoch nur der Serienwiderstand ESR berücksichtigt. In den Datenblättern von Kondensatoren ist allerdings meist der Verlustwinkel bei einer bestimmten Frequenz angegeben. Aus der Darstellung der zuständigen Impedanzen als Zeigerdiagramm in der komplexen Ebene wird der

Zusammenhang zwischen Verlustwinkel und ESR ersichtlich und kann daher leicht berechnet werden.

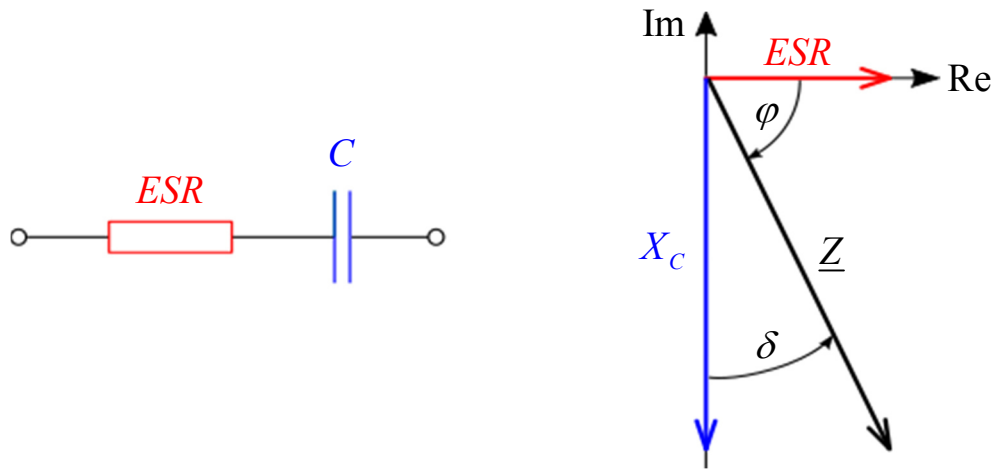


Abbildung 13: Zeigerdiagramm der Impedanzen

$$\tan \delta = \frac{ESR}{X_c}$$

$$X_c = \frac{1}{\omega C} \quad (2.10)$$

$$ESR = \frac{\tan \delta}{\omega C} = \frac{\tan \delta}{2\pi f \cdot C} = \frac{0,24}{2\pi \cdot 120\text{Hz} \cdot 100 \cdot 10^{-6}\text{F}} = 3,18\Omega$$

Anzumerken ist hier, dass der Serienwiderstand ESR im Normalfall frequenzabhängig ist. Da diesbezüglich jedoch keine Daten im Datenblatt angegeben sind, wird er im konkreten Fall als konstant angenommen. LTspice bietet die Möglichkeit, die Ersatzgrößen als Eigenschaften des Kondensators zu berücksichtigen, und daher müssen diese nicht explizit in der Schaltung des Modells implementiert werden.

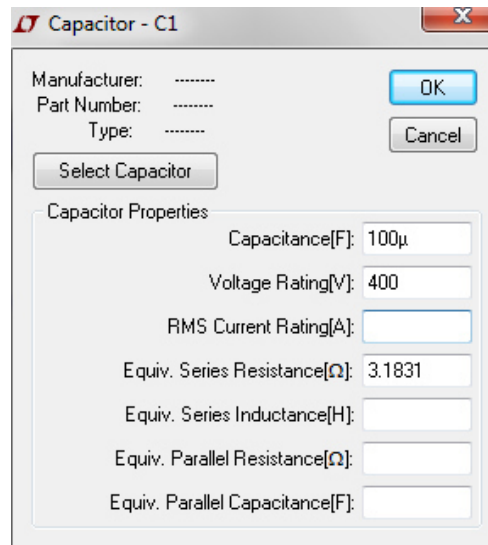


Abbildung 14: Berücksichtigung des ESR in LTspice

Die nachfolgende Abbildung zeigt die durch die Serien- und Symmetrierwiderstände belastete Hochspannungskaskade. Als Symmetrierwiderstände wurden 2x10Stk. 220kΩ Widerstände gewählt (also 440kΩ pro Kondensatorstufe), da diese gängig verfügbar sind. Grundsätzlich lässt sich sagen, dass die Spannungssymmetrierung umso besser funktioniert, je geringer die Widerstände sind. Niedrigere Widerstände bedeuten jedoch auch höhere Verlustleistungen. 181mW pro Widerstand (d.h. 3,64W insgesamt) bei einer Zwischenkreisspannung von 4000V stellen kein Problem für die Widerstände dar, und die Belastung der Kaskade hält sich in vertretbaren Grenzen. Allerdings wird mit dieser Dimensionierung die RC-Zeitkonstante von 50s aus den Applikationsschriften nicht ganz erreicht, sondern nur ein Wert von $200\mu\text{F} \times 440\text{k}\Omega = 88\text{s}$. Es hat sich allerdings in der Praxis gezeigt, dass auch damit eine sehr gute Symmetrierung der Teilspannungen erzielt wird.

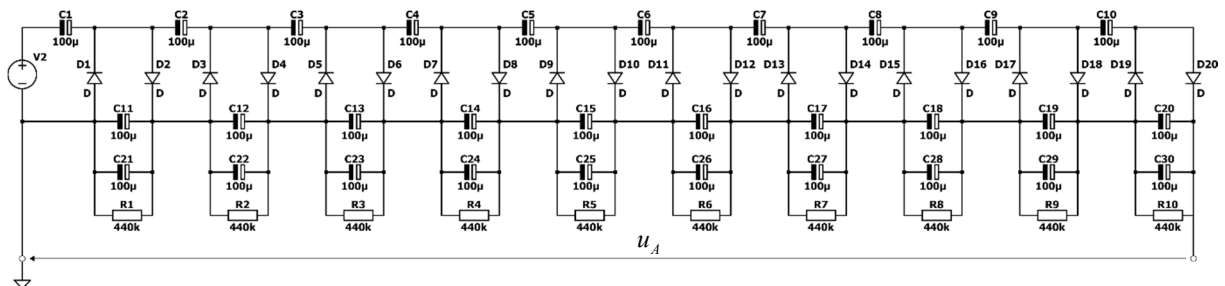


Abbildung 15: Simulationsmodell der belasteten Kaskade (mit ESR und R_{Symm})

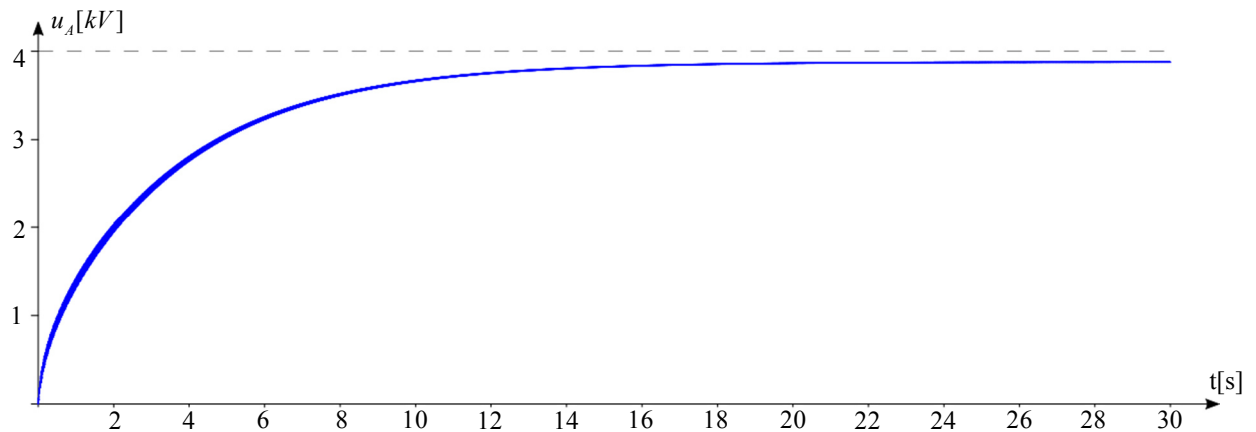


Abbildung 16: Spannungsverlauf der belasteten Kaskade (mit ESR und R_{Symm})

Wie erwartet, beeinflussen bereits diese Belastungen die Kaskade hinsichtlich Hochlaufgeschwindigkeit und Höhe der Ausgangsspannung negativ. Im Vergleich zur idealen und leerlaufenden Kaskade ist der Pegel des annähernd stationären Endwertes der Ausgangsspannung bereits um ca. 110V vermindert. Insbesondere am überlagerten erhöhten Spannungsrippel des einlaufenden Grenzwertes ist schön zu erkennen, dass sich die Kondensatoren zwischen den Nachladezyklen über die Widerstände entladen.

Zeit t [s]	mittlere Spannung u_a [V]	Spannungsrippel Δu_a [V]
2	1989	100
6	3245	36
10	3664	15
30	3877	4,7

Tabelle 3: Spannungswerte der belasteten Kaskade (ESR und R_{Symm})

2.4 Schaltvorgang

Als Nächstes soll der Schaltvorgang des MOSFETS betrachtet werden. Das vom Hersteller (Fa. Ixys) zur Verfügung gestellte SPICE-Modell `IXTL2N450.lib` wird in diesen Modellentwurf implementiert. Der Quellcode des Modells mit den zugehörigen Parametern befindet sich im Anhang dieser Arbeit.

2.4.1 Schaltvorgang mit idealer Versorgungsspannung

Folgende Simulation konzentriert sich rein auf das Schaltverhalten des Leistungstransistors. Sowohl die DC-Gleichspannungsversorgung als auch die Gateansteuerung werden als ideale Quellen angenommen und auch so im Simulationsentwurf realisiert.

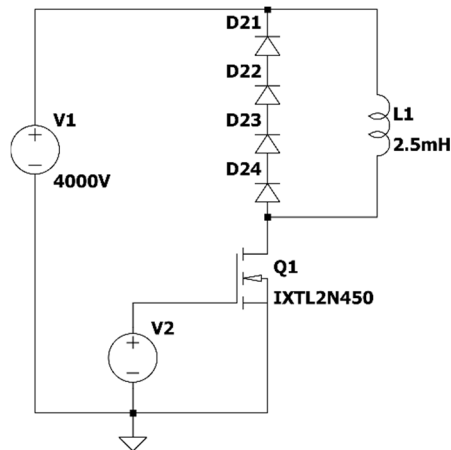


Abbildung 17: Modell MOSFET (ideale Versorgungsungen)

Die in Abbildung 17 dargestellte ideale Spannungsquelle V1 repräsentiert hier die Zwischenkreisspannung und wurde auf 4000V eingestellt. Die Spannungsquelle V2 simuliert die Ansteuerung des Gates und wurde so eingestellt, dass sie den Anforderungen aus Abschnitt 2.2.4 genügt (d.h. $U_{G,off} = -5V$ und $U_{G,on} = 19V$), dass der Impuls bei $0,4\mu s$ startet und dessen Impulsbreite $2\mu s$ beträgt.

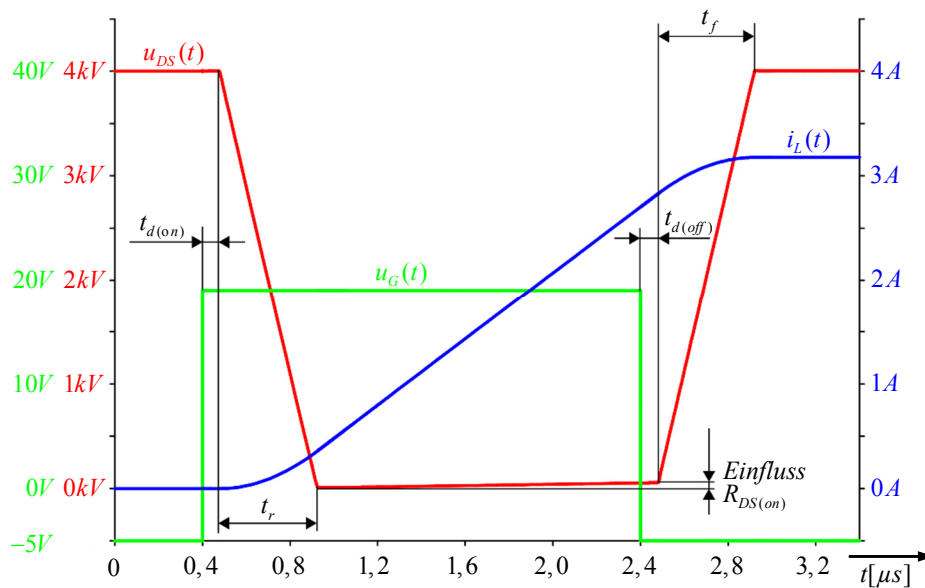


Abbildung 18: Schaltvorgang mit MOSFET-Modell (ideale Versorgung)

Aus den in Abbildung 18 dargestellten Simulationsergebnissen ist ersichtlich, dass die wesentlichen Kenngrößen des Schaltvorganges mit denen aus dem im Datenblatt angegebenen Werten nicht exakt übereinstimmen. Die nachfolgende Tabelle stellt die beiden Ergebnisse einander gegenüber. Angemerkt sei an dieser Stelle, dass die Werte aus dem Datenblatt hochgerechnet wurden, da sie unter den Bedingungen $U_{GS}=10V$, $U_{DS}=1kV$, $I_D=1A$ und $R_{G,ext}=0\Omega$ im Datenblatt angegeben sind. Es wurde angenommen, dass ein linearer Zusammenhang bei den Ein- und Ausschaltzeiten besteht (d.h.: Der Transistor braucht die 4-fache Zeit, um die 4-fache Spannung zu schalten $\Rightarrow du/dt = \text{konst.}$) und dass die Verzögerungszeiten beim Ein- und Ausschalten unabhängig von den zuvor angegebenen Bedingungen sind.

Kenngrößen	Ermittelte Werte aus der Simulation	Werte aus dem Datenblatt (hochgerechnet)
Einschaltverzögerung $t_{d(on)}$	75 ns	40 ns
Einschaltdauer t_r	451 ns	136 ns
Ausschaltverzögerung $t_{d(off)}$	81 ns	123 ns
Ausschaltdauer t_f	741 ns	820 ns
Ausgangswiderstand $R_{DS(on)}$	20 Ω	$\leq 20 \Omega$

Tabelle 4: Kenngrößen beim Schaltvorgang (ideale Versorgung)

Der Leitwiderstand im eingeschalteten Zustand $R_{DS(on)}$ ist im Modell linear bezüglich des Drainstroms I_D . Zum Zeitpunkt des Ausschaltens beträgt die Drain-Source-Spannung $U_{DS} = 56,58V$ bei einem Drainstrom von $I_D = 2,82A$. Daraus ergibt sich folgender Leitwiderstand:

$$R_{DS} = \frac{U_{DS}}{I_D} \tag{2.11}$$
$$R_{DS(on)} = \frac{56,58V}{2,82A} = 20,06\Omega$$

Dieser entspricht ziemlich genau dem im Datenblatt angegebenen Wert.

Da die Gleichspannungsversorgung als ideale Spannungsquelle in der Simulation implementiert wurde, erreicht die Gleichspannung nach dem Schaltvorgang denselben Wert wie vor dem Einschalten.

2.4.2 Schaltvorgang mit Kaskade als Versorgung

Ein Problem bei der Simulation des Schaltvorganges mit realer Spannungsversorgung, d.h. aktiver Hochspannungskaskade zur Speisung der Zwischenkreis-Kondensatoren, besteht darin, dass die Zeit bis zum Erreichen der vollen stationären Zwischenkreisspannung wesentlich länger dauert als die einzelnen Schaltvorgänge des MOSFETs (Faktor $10^7!$). Stellt man die zeitliche Auflösung (Rechenschritt) im Simulator so fein, dass eine genaue Analyse während des Schaltens erreicht wird, so ist die gleichzeitige Bestimmung des Einschwingvorganges der Kaskade praktisch unmöglich (Rechenzeit und Datenmenge).

Aus diesem Grund wird zur Berücksichtigung des Verhaltens der Zwischenkreisspannung beim Schalten des Leistungstransistors für die Hochspannungskaskade eine Ersatzspannungsquelle entworfen, welche die wesentlichen Ersatzparameter der Kaskade modelliert. Dieses Modell (siehe Abbildung 19) besteht aus den folgenden Parametern:

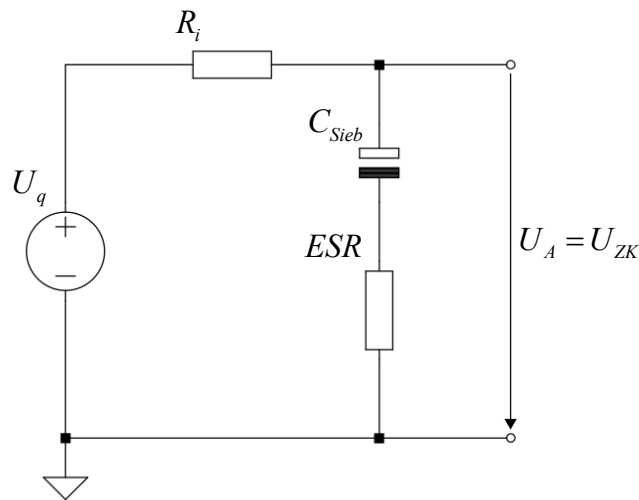


Abbildung 19: Kaskade als Ersatzspannungsquelle

 U_q ...ideale Spannungsquelle:

Diese entspricht der maximal möglichen Ausgangsspannung der unbelasteten Hochspannungskaskade und beträgt typ. 4000V.

 C_{Sieb} ...Siebkondensator:

Der Kondensator C_{Sieb} soll die ausgangsseitig wirksamen Siebkondensatoren (C11 bis C21 aus Abbildung 15) der Kaskade repräsentieren. Da alle Kondensatoren gleich groß sind, beträgt die Gesamtkapazität C_{Sieb} $20\mu F$.

$$C_{Sieb} = \frac{C}{10} + \frac{C}{10} \quad (2.12)$$

$$C_{Sieb} = \frac{100\mu F}{5} = 20\mu F$$

ESR...äquivalenter Serienwiderstand der Kondensatoren:

Dieser wurde bereits in Gleichung (2.10) für jeden Kondensator berechnet und ergibt insgesamt $15,92\Omega$.

 R_i ...Innenwiderstand der Hochspannungskaskade:

Der Widerstand R_i aus dem Ersatzschaltbild soll den Innenwiderstand der Hochspannungskaskade widerspiegeln. Er wird so dimensioniert, dass dessen Spannungsabfall jenem Wert entspricht, um welchen sich die Ausgangsspannung der

Kaskade reduziert, wenn sie durch den Schaltvorgang belastet wird. Da es aus den angesprochenen simulationstechnischen Gründen nicht möglich ist die Kaskade mit dem Leistungstransistor zu belasten (sonst wäre die Einführung der Ersatzspannungsquelle auch unnötig), wird ein äquivalenter Lastwiderstand berechnet. Er soll jener ohmschen Belastung entsprechen, welche vom Schaltvorgang auf die Kaskade im zeitlichen Mittel ausgeübt wird.

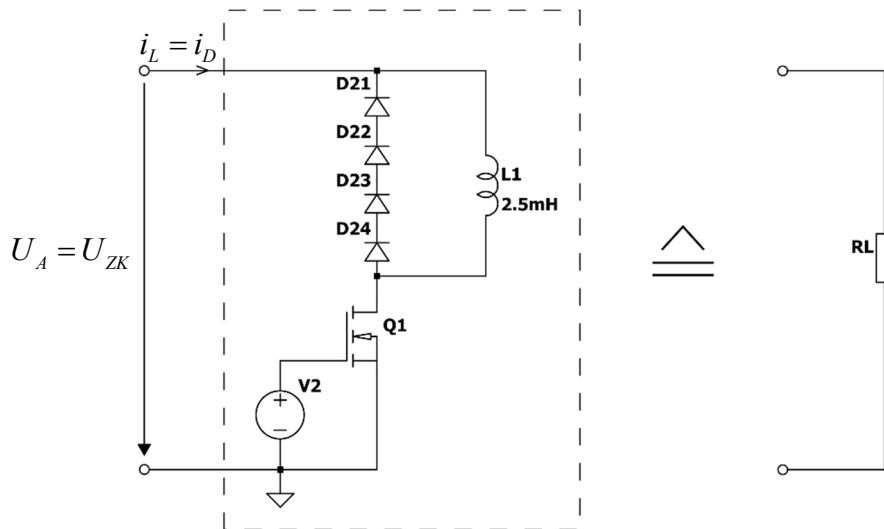


Abbildung 20: Äquivalente ohmsche Belastung durch den geschalteten Betrieb

$$\begin{aligned}
 P_L &= \bar{p}_L = \frac{1}{T} \int_{t_0}^{t_0+T} u_{ZK} \cdot i_L dt \\
 P_L &= U_{ZK} \cdot \frac{1}{T} \int_{t_0}^{t_1} \hat{i}_L dt \\
 P_L &= \frac{U_{ZK} \hat{i}_L}{2} \cdot \frac{t_1}{T} = \frac{4000V \cdot 4A}{2} \cdot \frac{2,5\mu s}{2ms} = 10W
 \end{aligned} \tag{2.13}$$

Daraus ergibt sich folgender äquivalenter Lastwiderstand:

$$\begin{aligned}
 P_V &= \frac{U_{ZK}^2}{R_L} \\
 \rightarrow R_L &= 1,6M\Omega
 \end{aligned} \tag{2.14}$$

Im nächsten Schritt wird das Simulationsmodell der Hochspannungskaskade mit dem so bestimmten Widerstand belastet und die Änderung der Ausgangsspannung u_A gegenüber jener der Kaskade aus Abschnitt 2.3.2, welche nur durch den Einfluss der ESR und Symmetrierwiderstände belastet wurde, wird ermittelt.

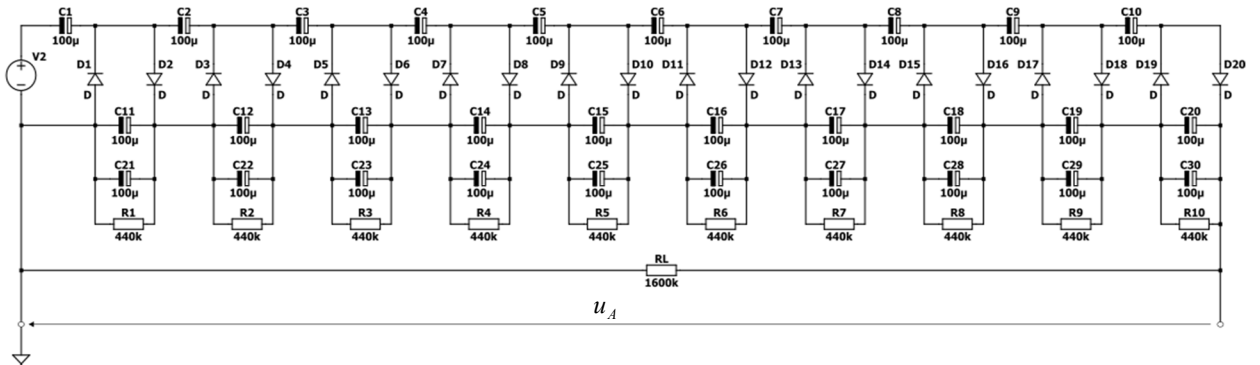


Abbildung 21: Modell der belasteten Kaskade (mit ESR, $R_{Symm.}$ und R_L)

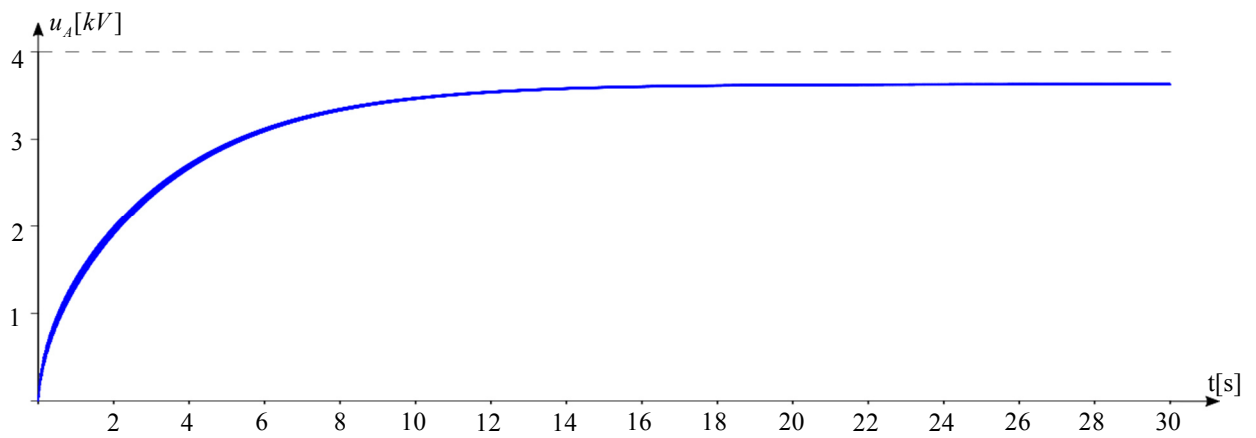


Abbildung 22: Spannungsverlauf der belasteten Kaskade (mit ESR, $R_{Symm.}$ und R_L)

Zusammengefasst zeigt Tabelle 5 die Auswirkung auf die Ausgangsspannung der Kaskade durch die schrittweise hinzugefügten Belastungen.

Zeit t [s]	Ideale unbelastete Kaskade		Belastung durch ESR und $R_{Symm.}$		Zusätzliche Belastung durch R_L	
	mittlere Spannung U_A [V]	Spannungsrippel ΔU_A [V]	mittlere Spannung U_A [V]	Spannungsrippel ΔU_A [V]	mittlere Spannung U_A [V]	Spannungsrippel ΔU_A [V]
2	2021	100	1989	100	1950	100
6	3325	34	3245	36	3107	42
10	3766	11	3664	15	3468	24
30	3987	0,03	3877	4,7	3629	16,6

Tabelle 5: Vergleich von U_A bei unterschiedlichen Belastungen

Da am Lastwiderstand $R_L = 1,6M\Omega$ eine Spannung von 3629V mittels Simulation bestimmt wurde, errechnet sich folgender Innenwiderstand R_i aus Abbildung 19:

$$R_i = \frac{4000V - 3629V}{(3629V / 1,6M\Omega)} = 163,6k\Omega \quad (2.15)$$

Somit sind alle Werte der Ersatzspannungsquelle definiert und sie kann als Zwischenkreisspannungsmodell für die Simulation des Schaltvorganges verwendet werden.

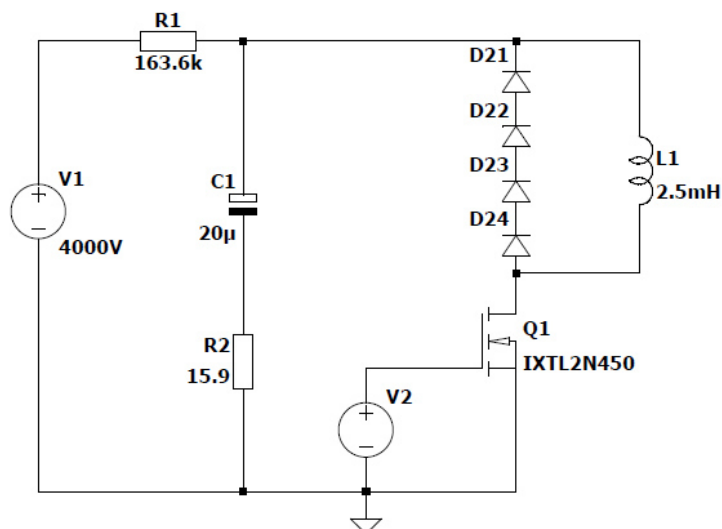


Abbildung 23: Modell MOSFET mit Ersatzspannungsquelle als U_{ZK}

Für die Spannungsquelle V2 der Gateansteuerung wurden im Simulationsmodell folgende Kenngrößen verwendet:

- Signalform: Rechteckspannung
- Spannungsamplitude: $U_{G,off} = -5V$ bzw. $U_{G,on} = 19V$
- Rise- bzw. Falltime: $t_r = t_f = 10ps$
- Einschaltdauer: $t_{on} = 2\mu s$
- Startverzögerung: $t_{delay} = 1s$
- Repetitionsfrequenz: $f_R = 500Hz$

Der Schaltvorgang hinsichtlich Verzögerungszeiten, Schaltgeschwindigkeiten und Spulenstrom i_L entspricht beinahe exakt dem des Modells mit idealer Zwischenkreisspannung aus Abbildung 18.

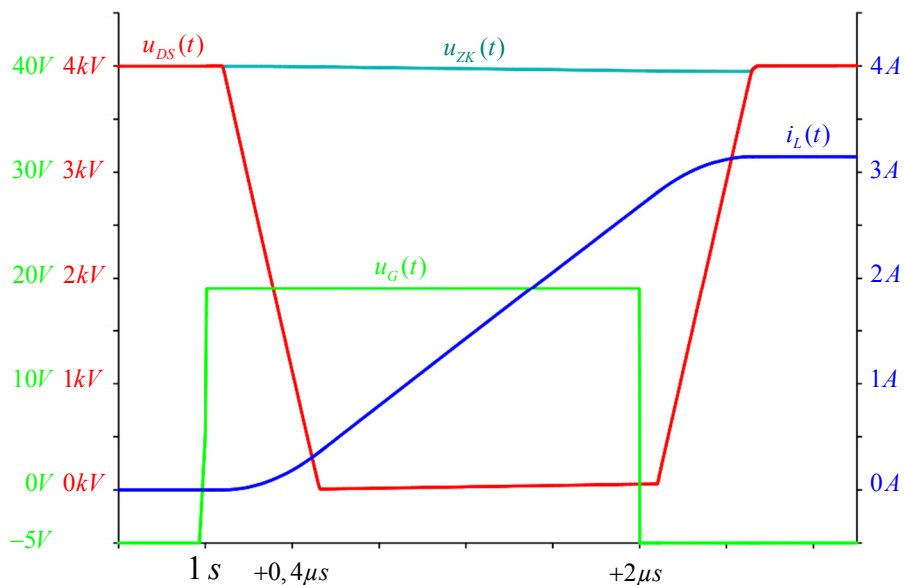


Abbildung 24: Schaltvorgang MOSFET mit Ersatzspannungsquelle als U_{ZK}

Durch den an das reale System angepassten Innenwiderstand R_i der Ersatzspannungsquelle bricht jedoch die Zwischenkreisspannung aufgrund der Belastung ein (siehe Abbildung 25). Dem Spannungseinbruch kann beim real aufgebauten System aber in gewissen Grenzen durch Erhöhen der Speisespannung (Regeltrafo) entgegengewirkt werden.

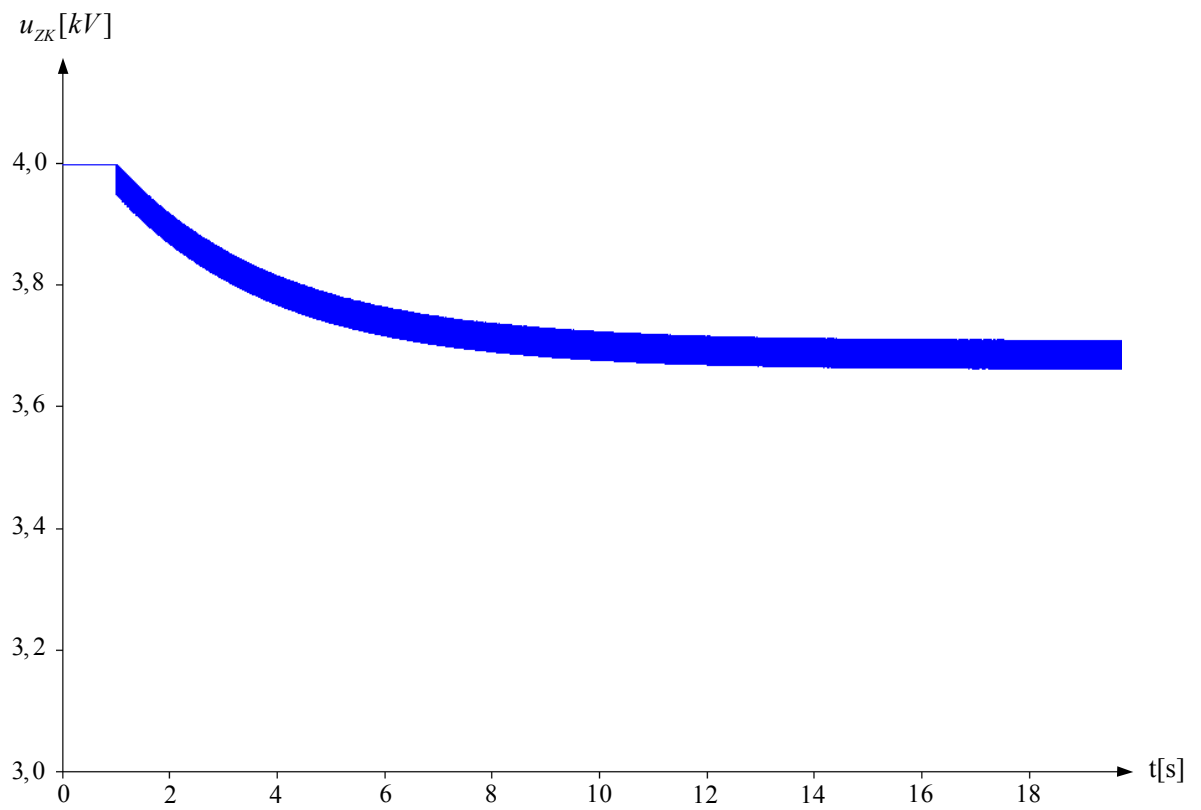


Abbildung 25: Zwischenkreisspannung bei Belastung

3 Aufbau

Grundsätzlich wird der Hochspannungs-Testimpulsgenerator in drei Hauptbaugruppen unterteilt. Deren Komponenten werden folgendermaßen hierarchisch gegliedert:

- **Leistungselektronik**
 - Spannungsversorgung
 - Hochspannungskaskade
 - Hochspannungsanzeige
 - Leistungstransistor mit Freilaufdioden
- **Gateansteuerung**
 - Versorgungsspannung
 - Treiberbaustein
- **Peripherie**
 - Spannungseinspeisung (über Regeltrafo und Ringkerntrafo)
 - optional eigene Versorgung für die Steuerspannung
 - externer Lüfter
 - Signalgenerator für Gateansteuerung
 - Testspule bzw. Motorwicklung

Die Baugruppen Leistungselektronik und Gateansteuerung werden auf einer einzigen Leiterplatte realisiert, um die Kommutierungspfade zwischen MOSFET und SiC-Dioden bzw. die Induktivität im Gate-Kreis so klein wie möglich zu halten. Eine konventionelle doppelseitige Epoxyd-Leiterplatte ist zur Realisierung vollkommen ausreichend. Die Leiterplatte wurde so entworfen, dass eine Eigenfertigung an der TU möglich ist. Deshalb werden die Durchkontaktierungen zwischen den beiden Layern (bottom und top) nicht an den Pads für die Bauteilmontage, sondern als separate Drahtbrücken platziert.

Sowohl Schaltplan als auch Leiterplatten-Layout wurden mit der Software Eagle v.6.3.0 von Firma CadSoft Computer GmbH gezeichnet.

3.1 Leistungselektronik

3.1.1 Schaltplan

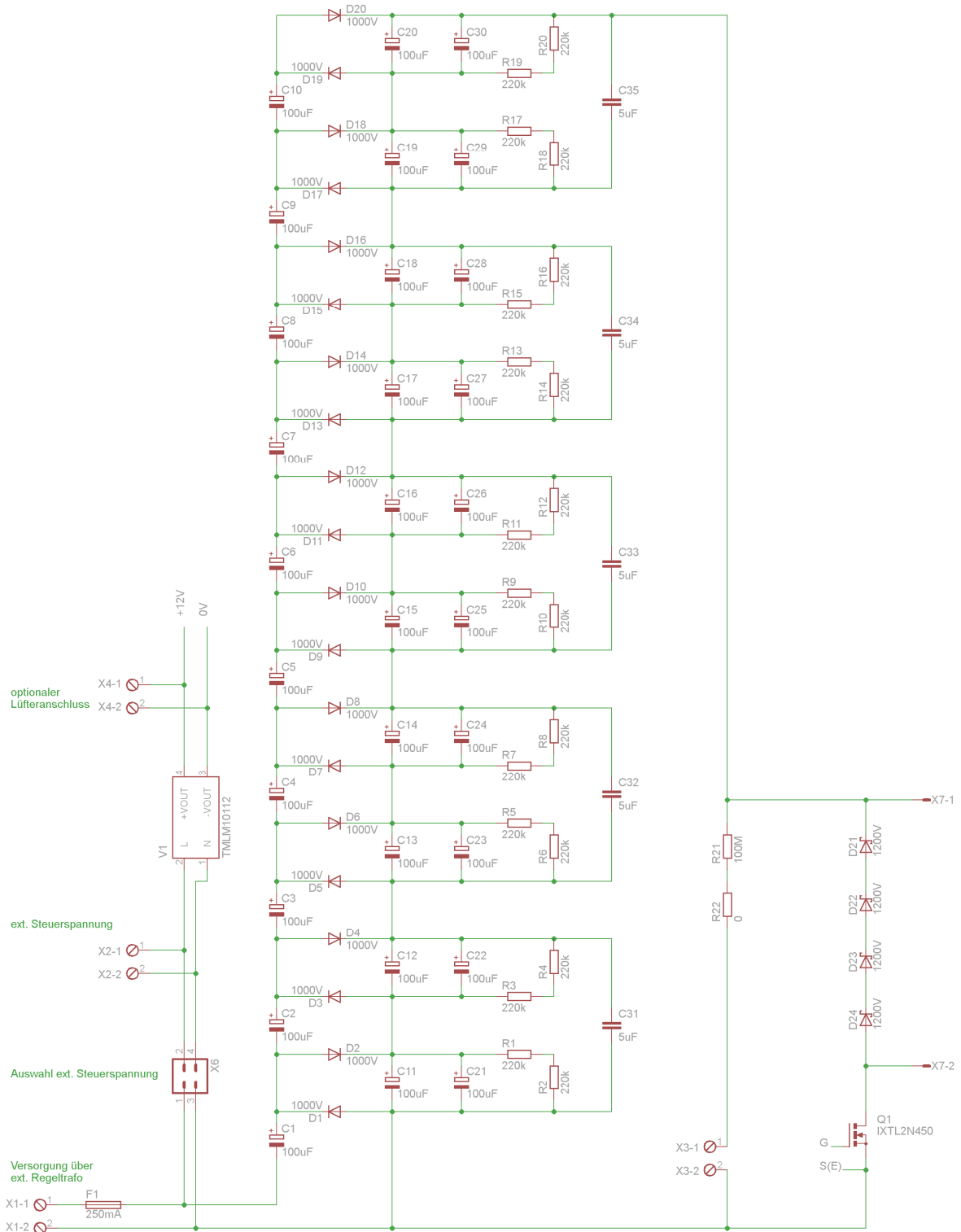


Abbildung 26: Schaltplan Leistungselektronik

3.1.2 Spannungsversorgung

Die Hochspannungskaskade, welche die Zwischenkreisspannung für den Leistungstransistor liefert, wird über die Klemmen X1 versorgt und ist mittels Glasrohrsicherung gegen Überstrom und Kurzschluss gesichert. Die Spannungsversorgung für die Gateansteuerung kann durch Verbinden der Lötbrücke X6 durch die Eingangsspannung von X1 erfolgen oder optional durch eine eigene Versorgung über die Klemmen X2. Grundsätzlich ist die Versorgung über X1 dann möglich, wenn die effektive Eingangsspannung im Bereich zwischen 90 und 141V liegt. Die untere Grenze definiert das Schaltnetzteil V1 und der obere Grenzwert ist durch die maximale Ausgangsspannung der Hochspannungskaskade gegeben (siehe Abschnitt 2.2.2). Das Schaltnetzteil V1 dient einerseits zur Versorgung der Gateansteuerung und wird andererseits auch deshalb auf eine Ausgangsspannung von 12V DC ausgelegt, um handelsübliche Axiallüfter für die Kühlung des Leistungstransistors und besonders der Freilaufdioden zu betreiben.

3.1.3 Hochspannungskaskade

Wie bereits in Abschnitt 2.2.2 definiert, wird eine 10-stufige Kaskade realisiert, um eine maximale Zwischenkreisspannung von 4000V zu generieren. Durch diese Wahl können sowohl für die Pumpkondensatoren C1-C10 als auch für die Zwischenkreiskondensatoren C11-C30 handelsübliche 400V Aluminium-Elektrolytkondensatoren verwendet werden. Um die Spannungsverteilung an den einzelnen Kondensatoren zu gewährleisten, werden wie erwähnt Symmetrierwiderstände den Kondensatoren parallel geschaltet. Da Widerstände mit einer Toleranz von 1% für den gewählten Wert von 440kΩ nur schwer erhältlich sind, werden, auch aus Gründen der Spannungsfestigkeit, jeweils zwei Widerstände mit je 220kΩ in Serie vorgesehen. Zu beachten ist, dass theoretisch im ungünstigsten Fall (alle Widerstände an 9 Kaskadenstufen haben Minimalwert und beide Widerstände an der verbleibenden Stufe Maximalwert) eine Spannung von ca. 407V an einer Kaskadenstufe auftreten könnte.

$$\begin{aligned} \frac{U_{\text{Stufe,max}}}{R_{\text{Symm.,max}}} &= \frac{U_{\text{ZK}}}{9 \cdot R_{\text{Symm.,min}} + R_{\text{Symm.,max}}} \\ U_{\text{Stufe,max}} &= \frac{444,4\text{k}\Omega \cdot 4000\text{V}}{9 \cdot 435,6\text{k}\Omega + 444,4\text{k}\Omega} = 407,26\text{V} \end{aligned} \quad (3.1)$$

Die Metallfilmkondensatoren C31-C35 werden zusätzlich vorgesehen, um den effektiven ESR im HF-Bereich zu reduzieren. Der äquivalente Serienwiderstand bei den verwendeten $5\mu\text{F}$ Kondensatoren mit einer Spannungsfestigkeit bis 1200V beträgt nur $10\text{m}\Omega$.

Die Anforderungen an die Dioden D1-D20 sind wegen der geringen Frequenz und des geringen Stromes nicht sehr hoch. Deshalb werden hier Standarddioden vom Typ 1N4007 mit einer maximalen Sperrspannung von 1000V und einem max. Vorwärtsstrom von 1A verwendet.

3.1.4 Hochspannungsanzeige

Die bei diesem Gerät auftretenden Spannungen sind lebensgefährlich! Da diese hohe Spannung auch noch lange nach dem Ausschalten der Versorgungsspannung anliegt, ist es nötig, dies dem Bediener deutlich zu visualisieren. Dazu werden ein Drehspulmessinstrument mit einem Messbereich von $0\text{-}50\mu\text{A}$ und ein hochspannungsfester $100\text{M}\Omega$ Vorwiderstand verwendet, um die Zwischenkreisspannung im Bereich von 0 bis 5000V ohne Hilfsenergie, d.h. auch bei ausgeschalteter Netzspannung, darzustellen. Die Klemmen X3 stehen für den Anschluss des Messgerätes zur Verfügung.



Abbildung 27: Drehspulmessinstrument

Die Skala des Messinstruments wird dementsprechend umgeschrieben ($1\mu\text{A}$ entspricht 100V). Der Innenwiderstand des Messinstruments von $3\text{k}\Omega$ ist, weil der $100\text{M}\Omega$ Vorwiderstand eine Toleranz von 1% ($=1000\text{k}\Omega$) aufweist, zu vernachlässigen. Ein Ausgleich des Fehlers des Messinstruments könnte entweder durch Anpassung der Skalierung am Drehspulmessinstrument oder durch ein Abgleichen der Widerstände vorgenommen werden. Liegt der Widerstandswert von R21 unter

99,7M Ω , so kann anstelle des 0 Ω Widerstandes R22 ein Abgleichwiderstand in Serie geschaltet werden. Ist der Widerstand größer, muss dem Innenwiderstand des Messinstruments ein entsprechender Widerstand parallel geschaltet werden.

3.1.5 Leistungstransistor mit Freilaufdioden

Da die gesamte Auslegung des Hochspannungs-Testimpulsgenerators auf die Wahl der Leistungstransistortypen aufbaut, wurde diese Entscheidung bereits am Beginn der Arbeit getroffen. Es wurde der MOSFET IXTL2N450 der Fa. Ixys, bzw. alternativ der IGBT IXEL40N400 derselben Firma, gewählt. Beide Transistoren besitzen ein identes Gehäuse (ISOPLUS i5-PakTM, Abbildung 28) und können dadurch ohne Änderung der Printplatte getauscht werden. Die rückseitige Kühlfläche ist hierbei elektrisch isoliert ausgeführt.

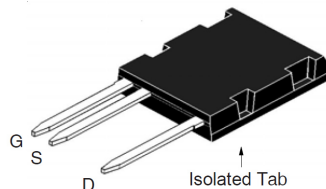


Abbildung 28: Transistorgehäuse

Sämtliche Leistungsdaten sind aus den am Ende der Arbeit in Anhang B angefügten Datenblättern zu entnehmen.

Die Anforderungen an die Freilaufdiode sind eine Sperrspannung größer 4000V, ein Spitzen-Vorwärtsstrom von bis zu etwa 40A und vor allem schnelle Schaltzeiten. Um die große Sperrspannung bei den gegebenen Anforderungen zu erreichen, wurden 4 Schottkydioden C4D05120A der Fa. Cree gewählt, welche in Serie geschaltet werden (D21-D24 im Schaltplan aus Abbildung 26). Vorsicht ist im Betrieb geboten, da der Kühlkörperanschluss mit der Kathode verbunden ist und somit Spannungen bis 3000V am Gehäuse anliegen. Separate Maßnahmen zur Spannungssymmetrierung haben sich als nicht notwendig erwiesen. Eine Messung der Spannungsaufteilung (etwa mit einem Oszilloskop) muss allerdings unterbleiben, da die Kapazität des Tastkopfes diese unzulässig beeinflussen würde.



Abbildung 29: Nicht isolierter Kühlkörperanschluss der Schottkydioden (Vorsicht!)

3.2 Gateansteuerung

Wie schon erwähnt, ist die Gateansteuerung (d.h. Amplitude und Innenwiderstand) maßgeblich für die Schaltgeschwindigkeiten (du/dt -Werte), die mit dem Leistungstransistor erreicht werden können. Vereinfacht gesagt müssen die internen Kapazitäten des Transistors so schnell als möglich umgeladen werden.

3.2.1 Schaltplan

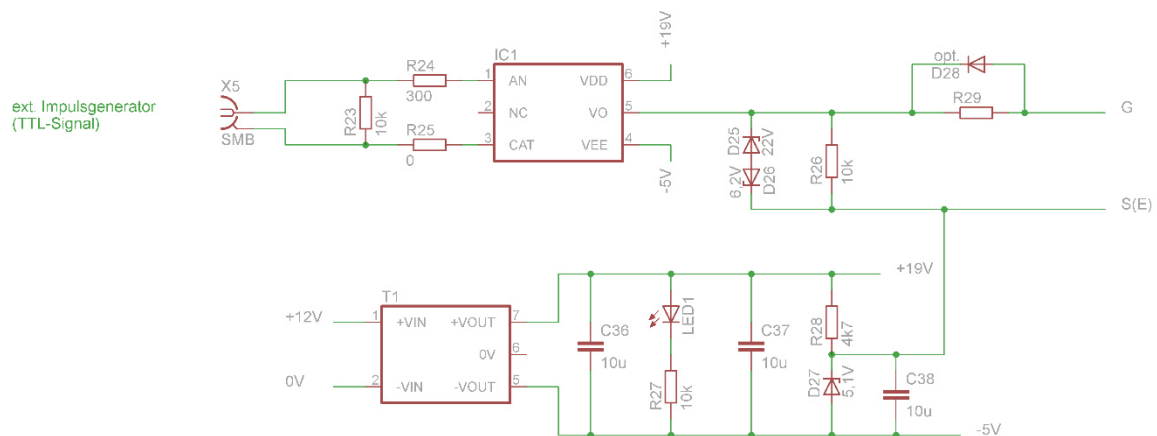


Abbildung 30: Schaltplan Gateansteuerung

3.2.2 Gatetreiber

Die zentrale Funktion bei der Ansteuerung des MOSFET- bzw. IGBT-Gates übernimmt der Treiberbaustein IC1. Der ausgewählte Treiber Si8261BCD-C-IS der Fa. Silicon Labs ist ein Ersatz für die bisher normalerweise üblichen Optokoppler, der nicht nur eine galvanische Trennung zwischen Leistungsteil und Ansteuerung gewährleistet, sondern auch eine 4A Treiberstufe integriert hat. Eine halbleiterbasierte Isolationsbarriere ermöglicht eine garantierte Isolationsspannung von 5kV zwischen dem Ansteuersignal und der Gate-Stufe. Im Gegensatz zu Optokopplern wird das

Steuersignal bei diesen Treiberbausteinen nicht optisch, sondern über HF-Signale übertragen.

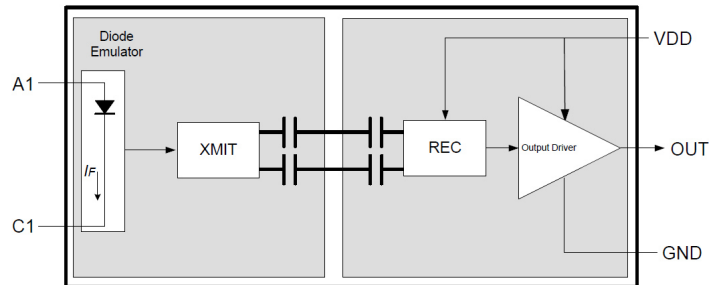


Abbildung 31: Funktions-Blockschaltbild des Gatetreibers

Angesteuert wird der Treiber von einem externen Signalgenerator, eingespeist über die SMB Buchse X5 mittels 5V TTL-Signal. Der Treiber schaltet dann, je nach Eingangssignal, die positive Versorgungsspannung VDD bzw. GND am Gateausgang VO durch. Beim Abschalten wird ein negatives Potential gegenüber GND vom Treiberausgang (Pin 4) an das Gate des Leistungstransistors gelegt, um dessen Ausschaltgeschwindigkeit zu erhöhen. Die Versorgungsspannung des Gatetreibers (zwischen Pin 6 und Pin 4) darf 30V nicht überschreiten.

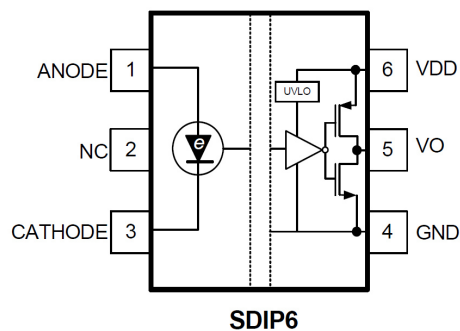


Abbildung 32: Pinbelegung und schematischer Aufbau des Treiberbausteins

Der im Treiber implementierte UVLO-Mechanismus (under voltage lockout) garantiert sichere Ausgangszustände auch bei Unterspannung der Versorgung. Dies ist vor allem während der Hochlaufphase wichtig. Tabelle 6 zeigt die Gate-Ausgangszustände, abhängig vom Eingang und von der Ausgangsversorgungsspannung. Der UVLO-Spannungslevel liegt beim ausgewählten Treiber bei 12V.

Eingang	Versorgung VDD	Gateausgang VO
OFF	> UVLO	LOW
OFF	< UVLO	LOW
ON	> UVLO	HIGH
ON	< UVLO	LOW

Tabelle 6: Wahrheitstabelle des Treibers

Damit ist es möglich, den Gatetreiber über die variable Eingangsspannung von X1 zu versorgen. Ein unerwünschtes Fehlverhalten des Gate-Ausganges durch einen nicht definierten Signalpegel des externen Impulsgenerators ist dadurch jedoch nicht auszuschließen.

3.2.3 Gate-Versorgungsspannung

Die Versorgung des Gatetreibers erfolgt potentialfrei über den DC/DC-Konverter T1 von Murata (MEJ2D1212SC), welcher vom on-board Schaltnetzteil V1 (12VDC) versorgt wird. Seine an sich bipolare Ausgangsspannung (+/-12VDC) wird nur als Summenspannung (24V) benutzt, welche über das Z-Dioden-Netzwerk D27/R28 in die zur MOSFET-Ansteuerung verwendeten Spannungen +19V/-5V aufgesplittet wird.

3.3 Testspule

Die Testspule soll, wie in Abschnitt 2.2.5 dimensioniert, eine Induktivität von ca. 2,5mH besitzen. Da die Isolation handelsüblicher Drähte nur für Spannungen bis 1000V ausgelegt ist, werden vier gleich große Spulen mit jeweils $L_i = L/4 = 0,625\text{mH}$ in Serie geschaltet. Die induktive Kopplung für die hintereinander geschalteten Teilspulen kann durch die räumliche Separation für die Auslegung praktisch vernachlässigt werden. Als Trägermaterial für die Teilspulen wird ein Kunststoffrohr mit einem Außendurchmesser von 60mm und einer Länge von 80mm verwendet. Die Induktivität von kurzen zylindrischen Luftspulen wird mit der Näherungsformel

$$L = \frac{N^2 \cdot \mu_0 \cdot A}{l + \frac{d}{2,2}} \quad (3.2)$$

N....Anzahl der Windungen [1]

μ_0 ...magnetische Feldkonstante $\mu_0 = 4\pi \cdot 10^{-7} \frac{Vs}{Am}$

A....Spulenfläche [m²]

l.....Spulenlänge [m]

d....Spulendurchmesser

bestimmt. Der Faktor $d/2,2$ ist ein Korrekturterm für kurze Spulen, deren Länge noch mindestens das 0,6-Fache des Radius beträgt. Bei gegebenem Spulenkern, 120 Windungen und einem mittleren Spulendurchmesser von 70mm kann somit für die Teilspule L_i folgende Induktivität abgeschätzt werden:

$$L_i = \frac{120^2 \cdot 4\pi \cdot 10^{-7} \cdot 0,07^2 \pi}{0,08 + \frac{0,07}{2,2}} = 0,623mH \quad (3.3)$$

Als Wicklungsdraht wird ein 1,5mm² YE-Installationsdraht verwendet. Die fertig aufgebaute Testspule mit ihren vier Teilinduktivitäten ist in Abbildung 33 dargestellt.

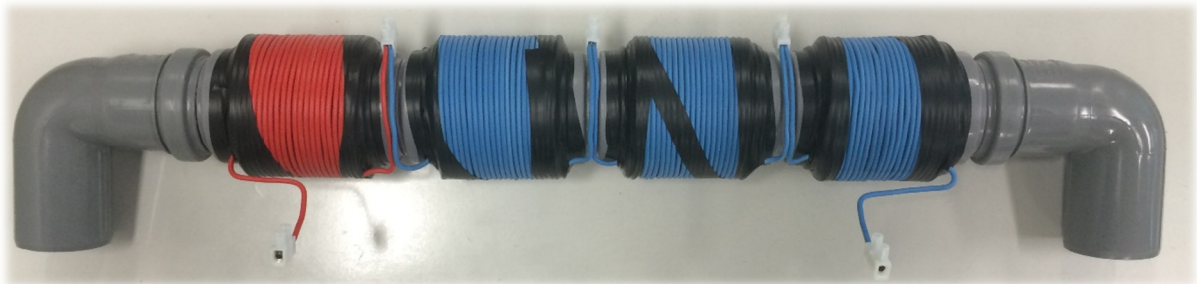


Abbildung 33: Testspule

3.3.1 Analyse der Testspule

Mit dem PC-gesteuerten Netzwerkanalysator Bode 100 von Fa. Omicron Lab wurde das Impedanzspektrum zuerst von den Teilspulen und dann von der gesamten Testspule analysiert. Der Frequenzbereich erstreckt sich von 100Hz bis 40MHz, die Impedanz- Diagramme sind doppellogarithmisch skaliert.

Frequenzanalyse von Teilspule 1:

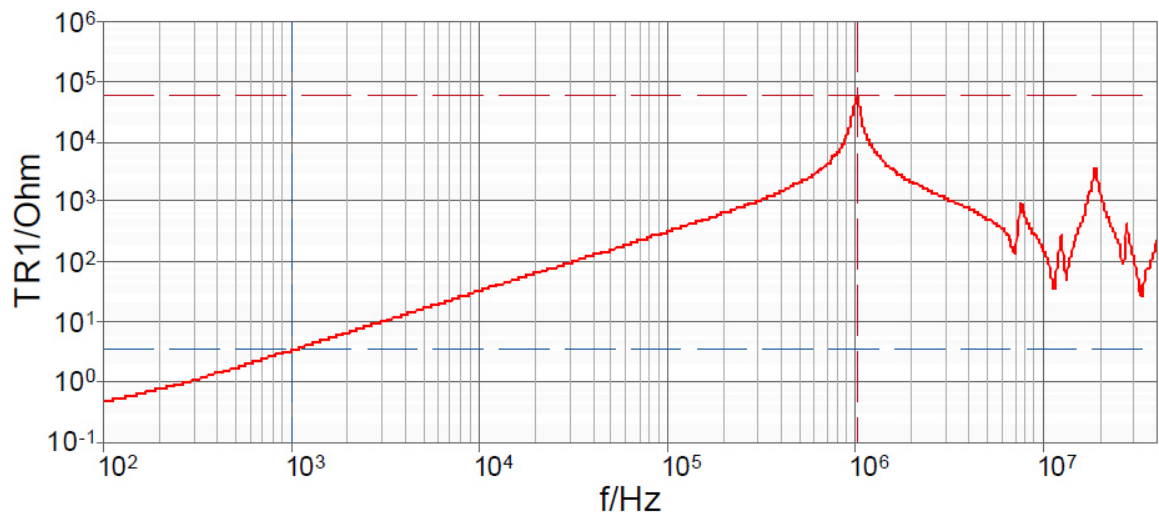


Abbildung 34: Impedanzspektrum Teilspule 1

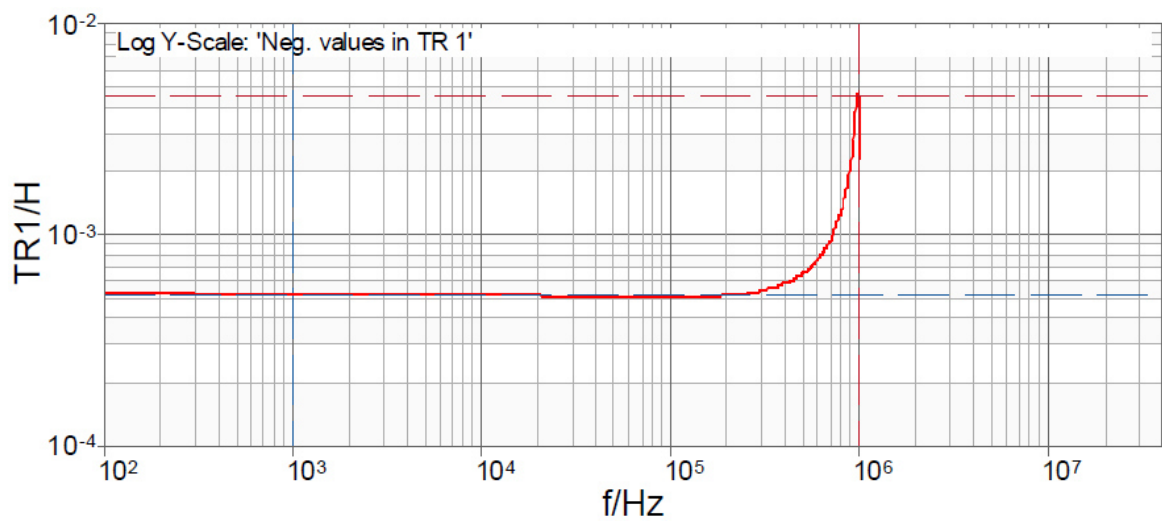


Abbildung 35: Frequenzgang der Serieninduktivität L_s (Teilspule 1)

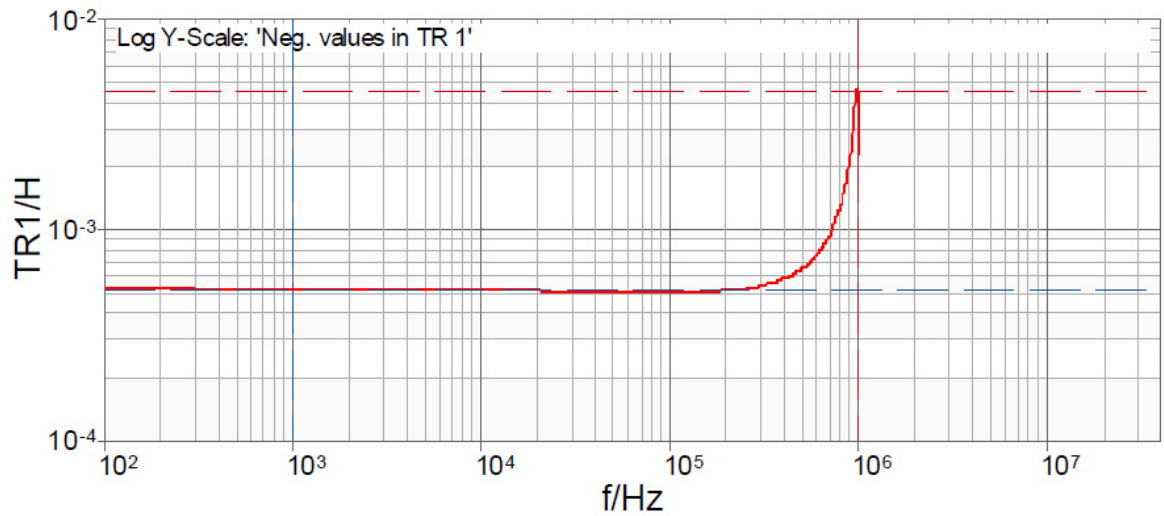


Abbildung 36: Frequenzgang des Serienwiderstandes R_s (Teilspule 1)

Aus den drei Frequenzanalysen ist eine Grenzfrequenz bei etwa 1MHz zu entnehmen. Die gemessene Serieninduktivität L_s und der Serienwiderstand R_s sind bei 1kHz wie folgt:

- $L_s = 0,524mH$
- $R_s = 353m\Omega$

Frequenzanalyse der gesamten Testspule:

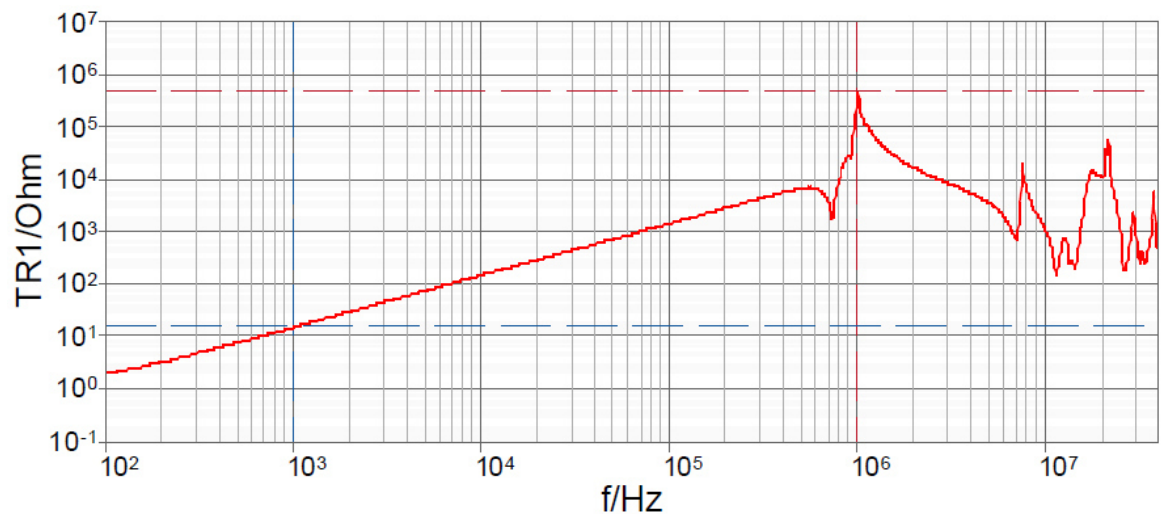


Abbildung 37: Impedanzspektrum der gesamten Testspule

Die Abweichungen der vier Teilspulen sind gering. Nachfolgende Tabelle stellt die Parameter der Teilspulen und der gesamten Testspule bei 1kHz einander gegenüber.

Spule	Impedanz [Ω]	Serieninduktivität L_S [mH]	Serienwiderstand R_S [Ω]
Teilspule 1	3,314	0,5244	0,353
Teilspule 2	3,309	0,5236	0,354
Teilspule 3	3,313	0,5244	0,345
Teilspule 4	3,305	0,5231	0,343
errechnete Summe der Spulen 1 bis 4	13,241	2,0955	1,395
gesamte Testspule (gemessen)	15,097	2,3930	1,342

Abbildung 38: Parameter der Spulen

Die Analyse hat ergeben, dass die Induktivität der Teilspule doch merklich geringer als der in Gleichung (3.3) kalkulierte Wert ist. Durch die Kopplung der vier Teilspulen liegt die Induktivität der gesamten Testspule aber doch nahe am gewünschten Wert von 2,5mH. Es ist anzumerken, dass die realisierte Luftspule bis zu Frequenzen von etwa 700kHz brauchbar ist, also einen Impedanzverlauf von $Z=\omega L$ aufweist. Eine erste Resonanzfrequenz tritt bei etwa 1MHz auf, weitere Resonanzen ab 5MHz.

3.4 Verwendete Bauteile

Die in der Tabelle angeführten Betriebsmittelkennzeichnungen (BMK) entsprechen denen vom Schaltplan aus Abschnitt 3.2.1. Die Bauteile D28, R22 und R29 werden erst bei der Inbetriebnahme definiert.

BMK	Wert	Bezeichnung	Herstellerbez.	Lieferant	Bestellnr.
C1-C30	100 μF (400 V)	Panasonic EE RADIAL Alu Kondensator, Elko radial 100μF, ±20% / 400 V dc	EEUEE2G101	RS-Components	699-7562
C31-C35	5 μF (1200 V)	Vishay MKP1848C PP Folienkondensator, 5μF ±5% 1200 VDC, PCB-Montage	MKP1848C55012JK2	RS-Components	825-1483
C36-C38	10 μF (35V)	Keramikvielschichtkondensator SMD1206	GMK316F106ZL-T	Farnell	1611967
D1-D20	1000 V	Diode 1N4007-E3/54, 1000V 1A, DO-204AL 2-Pin	1N4007-E3/54	RS-Components	628-9546

3 Aufbau

D21-D24	1200 V	Diode C4D05120A SiC-Schottky, 1200V 17A, TO-220 2-pin	C4D05120A	RS-Components	809-9049
D25	22 V	Vishay BZM55B22-TR 1 Zenerdiode, Einfach, 22V 2% 500 mW SMD 2-Pin MicroMELF	BZM55B22-TR	RS-Components	814-2907P
D26	6,2 V	Vishay BZM55B6V2-TR 1 Zenerdiode, Einfach, 6.2V 2% 0,5 W SMD 2-Pin MicroMELF	BZM55B6V2-TR	RS-Components	710-4187
D27	5,1 V	Zener-Diode, AEC-Q101, 5.1 V, 500 mW, MicroMELF, 2 %, 2 Pin(s), 175 °C	BZM55B5V1-TR	Farnell	1469415
D28		ev. bedrahtete Diode			
LED1	grün	Leuchtdiode SMD805	KP-2012SRC-PRV	Farnell	1318244
R1-R20	220 kΩ	TE Connectivity Axial Metallschichtwiderstand, Serie LR1F, 220kΩ ±1% 0,6W	LR1F220K	RS-Components	149-060
R21	100 MΩ	Vishay Axial Metallstreifen - Widerstand, Serie ROX, 100MΩ ±1% 4W	ROX100100MFKEL	RS-Components	849-2794
R22	??? Ω	ev. Abgleichwiderstand			
R23, R26, R27	10 kΩ	Chipwiderstand SMD805	MC01W0805110K	Farnell	9332391
R24	300 Ω	Chipwiderstand SMD805	MC01W08051300R	Farnell	9332987
R25	0 Ω	Drahtbrücke			
R28	4,7 kΩ	Chipwiderstand SMD805	MC01W080514K7	Farnell	9333266
R29	??? Ω	ev. bedrahteter Gatewiderstand			
X1-X4	2-polig	Printklemme 7,62mm Standard 2-polig	1731721	RS-Components	189-5966
X5	SMB gerade	SMB Leiterplattenstecker	R114426000W	RS-Components	295-5665
V1	12 V	Traco 1-Kanal Einbau Schaltnetzteil 10W, 12Vdc / 833mA, 52.4 x 27.2 x 23.5mm	TMLM 10112	RS-Components	511-5214
F1	max. 6,3 A	Sicherungshalter Passend für Feinsicherung 5 x 20 mm 6.3 A 250 V/AC ESKA 506.000 1 St.	506.000	Conrad	530127-62
P1	50 μA	Drehspul-Messwerk 50μA, B: 60mm, H: 47mm	PM-2/50UA	Reichelt	PM 2-50μA
IC1	5kV isol.; 4A	Gattertreiber isoliert Si8261BCD-C-IS, 4A SDIP 6-Pin, 5 → 30 V	Si8261BCD-C-IS	RS-Components	795-1514
T1	12V/12V	Murata DC/DC-Wandler, galv. getrennt 2W, Ausgang: ±12V	MEJ2D1212SC	RS-Components	829-4969
Q1	4500 V	MOSFET N-CH 4500V 2A I5PAK	IXTL2N450	Digikey	IXTL2N450-ND
Q1 (altern.)	4000 V	IGBT 4000V 90A 380W ISOPLUSI5	IXEL40N400	Digikey	IXEL40N400-ND

Tabelle 7: Eingesetzte Bauteile

3.5 PCB-Design

Die Leiterbahnen des doppelseitigen Prints werden so ausgelegt, dass aus Sicherheitsgründen die hohe Zwischenkreisspannung an der Unterseite liegt (bottom layer), während die Oberseite (top layer) größtenteils als Massefläche dient. Um die Kommutierungszelle so klein wie möglich zu halten, wird das Groundpotential in diesem Bereich als ausgefüllte Fläche ausgeführt. Der Isolationsabstand zweier Leiterbahnen wird mit $>1\text{mm/kV}$ berücksichtigt. In Abbildung 39 ist das PCB-Layout (printed circuit board) dargestellt. Rot sind die Leiterbahnen der Unterseite (bottom-layer) abgebildet und in Blau die der Oberseite (top-layer). Wie bereits erwähnt, werden die Durchkontaktierungen nicht über die Lötäugen an den Bauteilen gelegt, sondern händisch außerhalb platziert und gelötet. Damit ist eine Eigenfertigung der Leiterplatte (ohne galvanische Durchkontaktierungen) möglich. Die Leiterplatte hat eine Abmessung von $143\text{mm} \times 240\text{mm}$. Die sechs runden Kennzeichnungen am Rand dienen der späteren Montage des Prints. Alle Anschlussklemmen werden wegen ihrer Zugänglichkeit an den Rand gelegt.

Unten:

- X1: variable Spannungsversorgung, max. 141V AC (für 4000V DC)
- X2: externe Steuerspannung (nur wenn X6 gebrückt ist), $90 - 264\text{ V AC}$ oder $120 - 370\text{ V DC}$

Rechts:

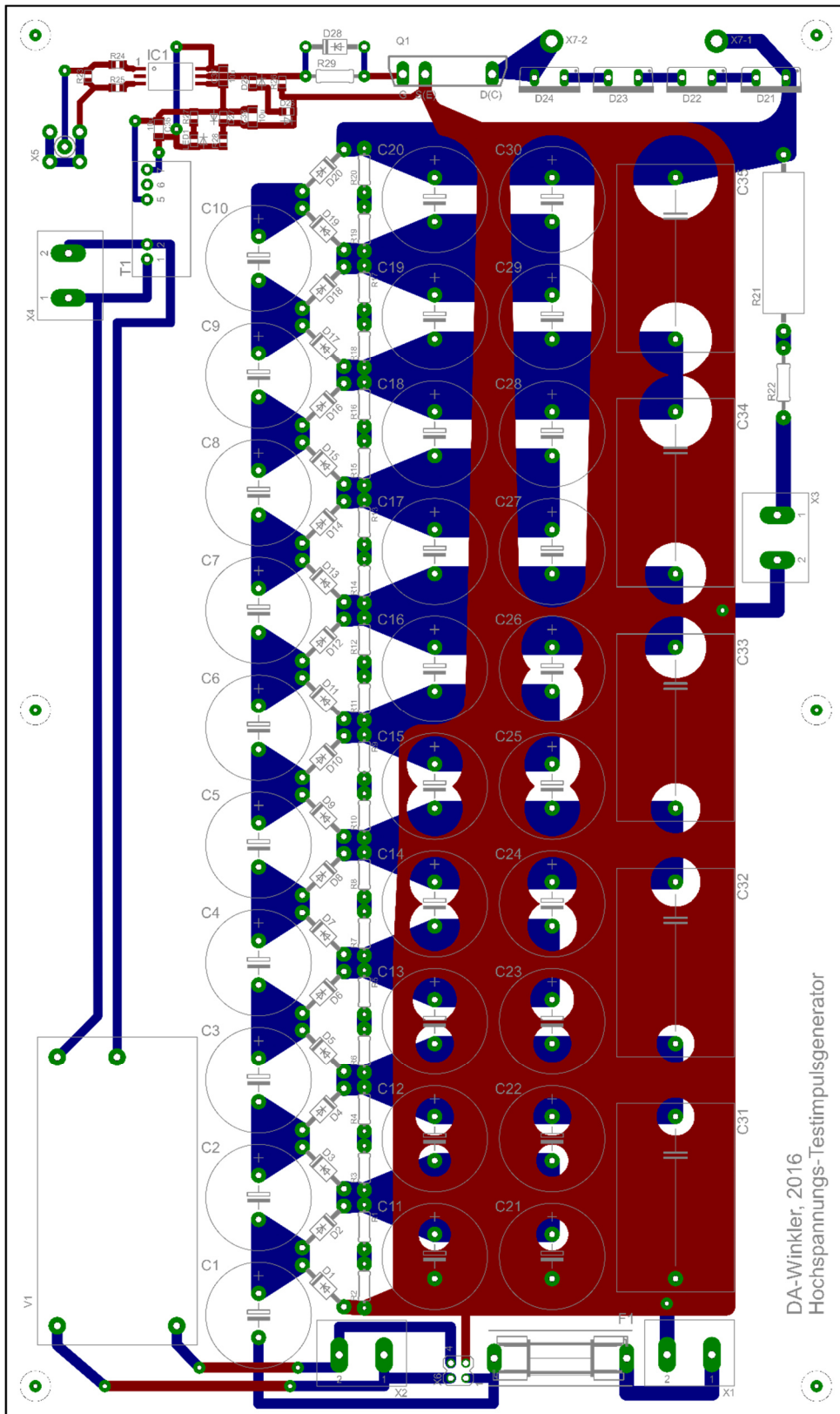
- X3: Drehspulmessinstrument P1 (bzw. Amperemeter)

Links:

- X4: optionaler Lüfteranschluss 12VDC
- X5: TTL-Signal des Impulsgenerators

Oben:

- X7: Testspule bzw. Motorwicklung



DA-Winkler, 2016
Hochspannungs-Testimpulsgenerator

Abbildung 39: PCB-Layout

3.6 Endmontage

Die ausgewählten Bauteile sind teilweise für Durchsteckmontage und teilweise als SMD-Bauteile ausgeführt. Trotzdem werden alle Bauteile per Hand gelötet. Die maximalen Löttemperaturen sind aus den Datenblättern der einzelnen Elemente zu entnehmen und einzuhalten. Zwecks Erhöhung der Standfestigkeit und zur besseren Isolation gegenüber der Auflagefläche wird der bestückte Print mit Abstandshaltern auf eine Plexiglasplatte montiert. Die dazu verwendeten Schrauben sind ebenfalls aus Kunststoff. Da das metallische Gehäuse der Elektrolytkondensatoren mit deren Kathode verbunden ist, liegen an den einzelnen Kondensator-Gehäusen gefährliche Spannungen an. Im Extremfall können in der letzten Stufe der Hochspannungskaskade Spannungen bis 3600V am Gehäuse anliegen. Für den Berührungsschutz werden die Oberflächen der Kondensatoren daher mit einem temperaturbeständigen und elektrisch sehr durchschlagfesten Polyimid-Klebeband geschützt. Ein gängiger Handelsname für solche Polyimid-Folien ist Kapton. Das soll jedoch nicht heißen, dass alle stromführenden Bauelemente berührungssicher ausgeführt sind. Die Schottky-Dioden zum Beispiel können wegen der nötigen Kühlung nicht isoliert werden. Daher ist für den regulären Betrieb des Gerätes ein geschlossenes Kunststoff-Isoliergehäuse zwingend erforderlich!

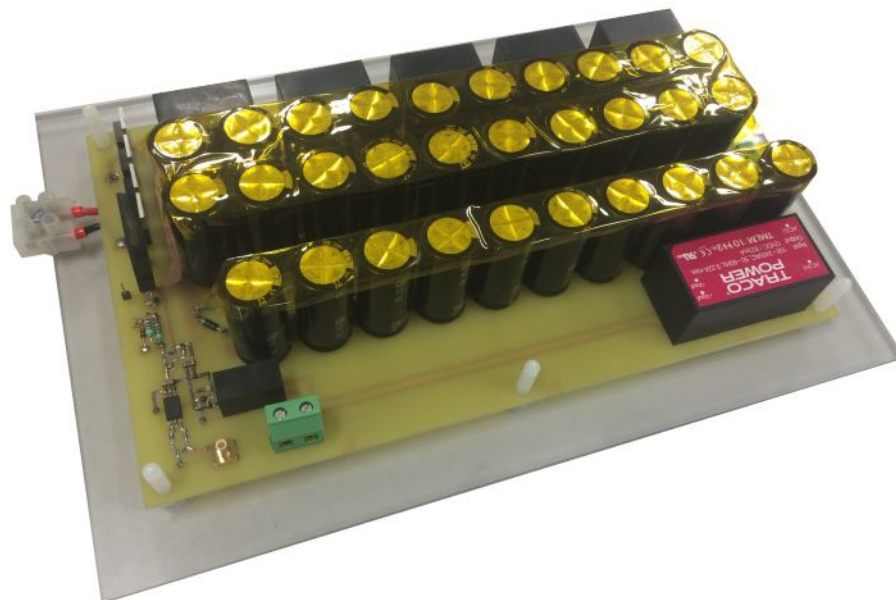


Abbildung 40: Fertig aufgebauter Hochspannungs-Testimpulsgenerator

4 Analyse / Test

Alle folgenden Tests und Messungen wurden im Labor am Institut für Energiesysteme und Elektrische Antriebe mit Beachtung aller sicherheitstechnischen Vorschriften und unter Aufsicht durchgeführt. An dieser Stelle sei noch einmal explizit darauf hingewiesen, dass lebensgefährliche Spannungen auftreten und das Gerät ausschließlich durch fach- und sachkundige Personen in Betrieb gesetzt werden darf! Alle anwesenden Personen sind vor der Inbetriebnahme darauf hinzuweisen und der Messplatz ist mit „Vorsicht Hochspannung“ zu beschildern!

4.1 Inbetriebnahme und Tests

Vor Inbetriebnahme des gesamten Hochspannungstestimpulsgenerators wurden die einzelnen Komponenten auf deren Funktion geprüft. Bis zur vollständigen Funktionskontrolle der Komponenten (besonders des Gatetreibers) wurde der Leistungstransistor am Print nicht bestückt.

Externer Signalgenerator

Der Signalgenerator verfügt über mehrere Ausgangssignalformen. Für unsere Zwecke wurden periodische Rechteckimpulse angewählt, bei denen die Impulsbreite und die Wiederholfrequenz eingestellt werden können. Als Ausgang wurde der 5V TTL-Pegel gewählt. Mittels Oszilloskop wurden die Impulsform, der Ausgangspegel und die einzustellenden Parameter dargestellt und kontrolliert. Zum Schutz des gebauten Hochspannungsimpulsgenerators wurden für die ersten Versuche die Periodendauer (Wiederholrate) auf den Maximalwert (200ms) und die Impulsbreite auf $1\mu\text{s}$ gestellt.



Abbildung 41: externer Signalgenerator

Regel-Trenntrafo

Der Regel-Trenntransformator hat einen Regelbereich von 0-250V AC. Wie in Abschnitt 2.2.2 beschrieben, transformiert die realisierte Hochspannungskaskade eine

Eingangsspannung von $U_{E,eff} = 141,4V$ auf 4000V Gleichspannung. Um die Eingangsspannung feiner justieren zu können, wurde deshalb zwischen Regel-Trenntrafo und Eingang der Kaskade ein zusätzlicher Ringkerntrafo (primär 230V, sekundär 2x55V) geschaltet, wobei dessen Sekundärwicklungen in Serie geschaltet wurden. Das damit erreichte Übersetzungsverhältnis \ddot{u} ergibt ca. 2,1. Es wurde in Kauf genommen, dass dadurch die maximal erreichbare Gleichspannung rechnerisch nur mehr 3382V beträgt.

$$U_{DC,max} = \frac{U_{prim,max}}{\ddot{u}} \cdot \sqrt{2} \cdot 2 \cdot n \quad (4.1)$$
$$U_{DC,max} = \frac{250}{(230 / 110)} \cdot \sqrt{2} \cdot 2 \cdot 10 = 3381,82V$$

Anzumerken ist an dieser Stelle, dass tatsächlich eine maximale Gleichspannung von 3600V gemessen wurde. Das liegt daran, dass die tatsächliche maximale Leerlauf-Ausgangsspannung des Regeltrafos über dem angegeben Wert von 250V liegt. Durch den Ringkern-Trenntrafo wird eine zusätzliche Potentialtrennung zwischen speisendem Netz und Generator-Ausgangsspannung erreicht, bzw. wäre der Betrieb damit auch mit einem Regeltrafo in Sparschaltung möglich.

Gatetreiberschaltung

Nach positiver Kontrolle der 12V DC Versorgungsspannung des Schaltnetztes, des symmetrischen +/-12V DC/DC-Wandlers und der unsymmetrischen (+19V/-5V) Versorgungsspannung des Treiberbausteins wurde mittels Koaxialkabel der externe Signalgenerator an den Eingang der Gateansteuerung angeschlossen und die Gesamtfunktion überprüft.

Hochspannungskaskade

Die Eingangsspannung wurde beim ersten Einschalten sehr langsam erhöht und längere Zeit auf einem etwas geringeren Spannungspotential gehalten, um ein Nachformieren der Alu-Elektrolyt-Kondensatoren zu ermöglichen. (Anmerkung: Durch längere spannungslose Lagerung ändert sich nämlich die Qualität des Oxids, welches bei der Herstellung des Elkos elektrochemisch aufformiert wurde. Diese Verschlechterung wirkt sich insofern aus, dass das Reststromverhalten nach neuerlicher Inbetriebnahme deutlich erhöht ist. Durch Anlegen einer Gleichspannung klingt dieser Leckstrom allmählich wieder auf dessen Datenblattwert ab, da dadurch die degenerierte Oxidschicht wieder aufgebaut wird.) Nach diesem Nachformier-

prozess wurde die Eingangsspannung über den Drehregler des Regeltrafos langsam erhöht, und die Spannungen an den einzelnen Kondensatoren mittels Multimeter permanent verglichen, um die Qualität der Symmetrierung zu beurteilen. Bei einer Gleich-Hochspannung von 3000V betrug die maximale Differenz der Spannungen zweier Kondensatoren lediglich 1,4V. Dieser Wert liegt weit innerhalb der im Abschnitt 3.1.3 projektierten Grenzen.

4.2 Messaufbau / analysierende Größen

Die für den Schaltvorgang relevanten Größen sind:

- Ausgangsspannung U_{DS} bzw. U_{CE} des Leistungstransistors
- Strom durch die Testspule I_L
- Gatespannung U_G
- Zwischenkreisspannung U_{ZK}

Den Messaufbau im Labor zeigt Abbildung 42.

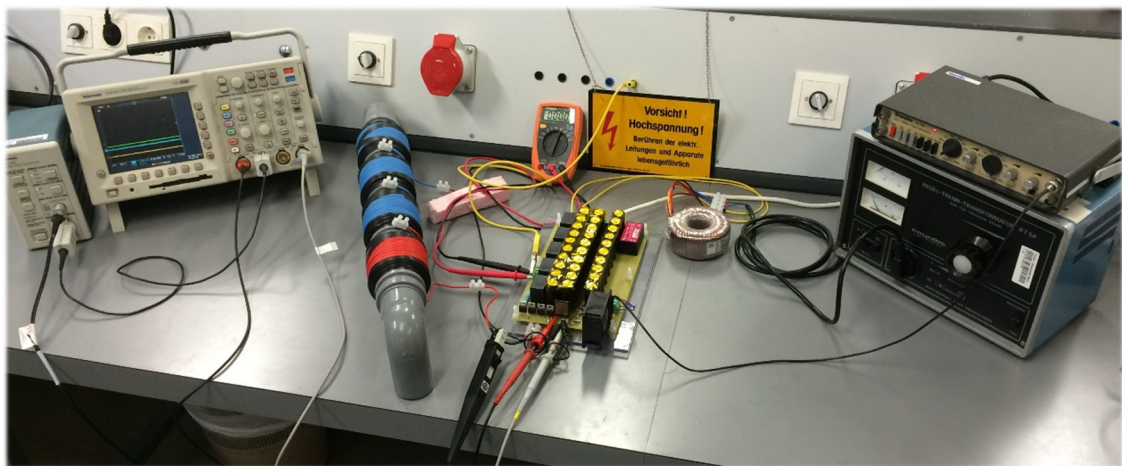


Abbildung 42: Messaufbau im Labor

4.2.1 Messmittel / externe Geräte

Wie schon erwähnt, erfolgen sowohl die Aufbereitung der Versorgungsspannung als auch die Ansteuerung des Gatetreibers durch externe Geräte. Der Vollständigkeit halber sind die verwendeten Geräte und deren Typenbezeichnungen in Tabelle 8 zusammengefasst.

Benennung	Marke	Type
Regel-Trenn-Transformator	Grundig	RT 5A
Ringkerntrafo	RS-Components	prim.: 230V/50-60Hz sek.: 2x55V/60VA
Impulsgenerator	Thandar	TG 105

Tabelle 8: Extern angeschlossene Geräte

Aus den im Labor zur Verfügung stehenden Messmitteln wurden die für die Anforderungen passendsten Messgeräte ausgewählt. Für die Messung der doch sehr hohen Zwischenkreisspannung musste jedoch ein passiver 4kV/200MHz-Tastkopf mit einem Tastverhältnis von 100:1 neu angeschafft werden. In Tabelle 9 sind alle verwendeten Messmittel angeführt.

Benennung	zu messende Größe(n)	Marke	Type
Oszilloskop	$U_{DS}/U_{CE}, U_G, I_L$	Tektronix	TDS3014
Tastkopfverstärker	I_L	Tektronix	TCPA300
AC/DC Stromzange	I_L	Tektronix	TCP305
AC Stromzange	I_L	Tektronix	P6022
passiver Tastkopf 10:1	U_G	Agilent Tech.	N2863A
passiver Tastkopf 100:1	U_{DS}/U_{CE}	Elditest	GE3421
Multimeter	U_{ZK}	Tenma	72-7765

Tabelle 9: Messmittel

4.3 Messergebnisse am MOSFET

Vor Beginn der Messungen werden alle nötigen Voreinstellungen an den Messmitteln vorgenommen. Dazu gehören der Abgleich der Tastköpfe, die Einstellungen am Tastkopfverstärker der Stromzange und die Grundeinstellungen am Oszilloskop. Die Voreinstellungen an den externen Geräten werden so gewählt, dass beim Einschalten keine unerwartet hohen Spannungen bzw. Ströme auftreten. Die Messung des Spulenstromes wurde sowohl mit aktiver als auch mit passiver Stromzange versucht. Es hat sich jedoch gezeigt, dass es auf Grund von Problemen beim Abbau des Magnetisierungsstromes bei der passiven Variante zu verfälschten Messwerten kommt

(siehe Abbildung 43). Die Kanalauswahl für die einzelnen Messgrößen ist am Oszilloskop bei allen Messungen ident:

- Channel 1 (gelb): U_{DS}
- Channel 2 (blau): I_L (mit aktiver Stromzange)
- Channel 3 (magenta): I_L (mit passiver Stromzange)
- Channel 4 (grün): U_G

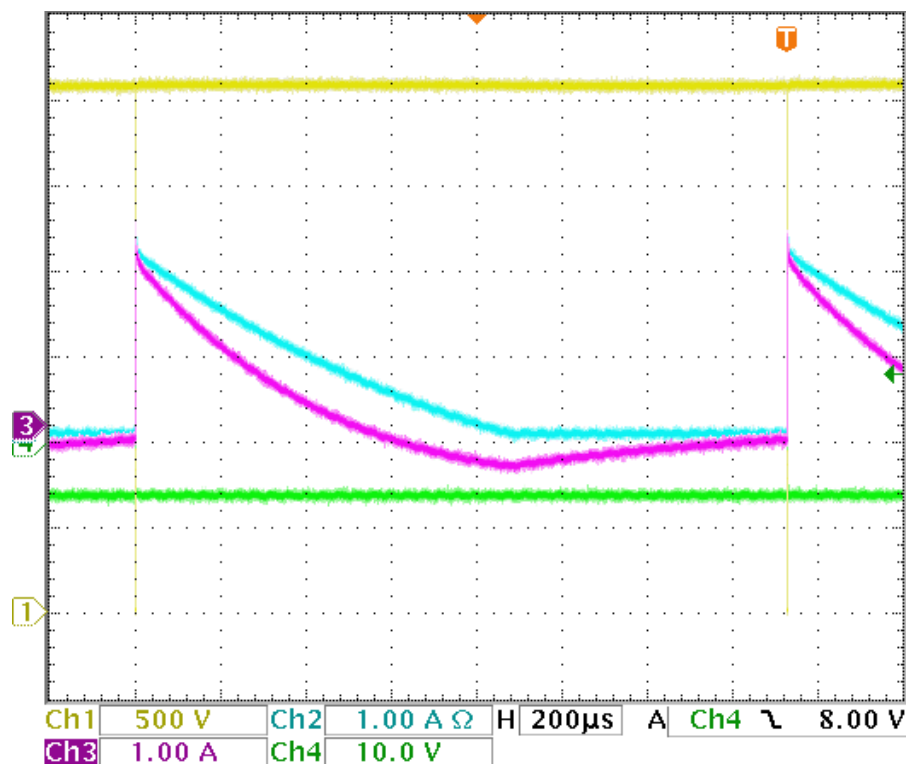


Abbildung 43: Messfehler bei passiver Stromzange infolge des Magnetisierungsstromes (magenta); kein derartiger Fehler bei Verwendung der aktiven Stromzange (blau)

Details des eigentlichen Pulses bzw. Schaltvorganges (steile Strom-Anstiegsflanke) sind aus diesem Bild aufgrund der Zeitauflösung praktisch nicht zu erkennen. Interessant hierbei ist lediglich das Abklingen des Spulenstromes nach dem Abschalten des MOSFETs. Der während des Durchschaltens aufgebaute Strom baut sich über die SiC-Freilaufdioden und Serienwiderstände (größtenteils die ohmschen Anteile R_{Cu} der Induktivität L) nach einer Exponentialfunktion wieder ab (Zeitkonstante etwa L/R_{Cu}). Es ist darauf zu achten, dass die Impulsfolge (Repetitionsrate) so gewählt wird, dass ihre Periodendauer größer als die Zeit bis zum vollständigen Abklingen des

Spulenstromes ist. Wird diese Bedingung verletzt, steigt der Strom bei jedem Impuls weiter an und nimmt letztlich Werte an, die über dem Transistor-Grenzstrom liegen und den MOSFET zerstören. Die max. Repetitionsfrequenz aus Abbildung 43 beträgt in diesem Fall etwa 1,1kHz (bei $I_{D,max} = 2,3A$).

4.3.1 Gesamter Schaltvorgang

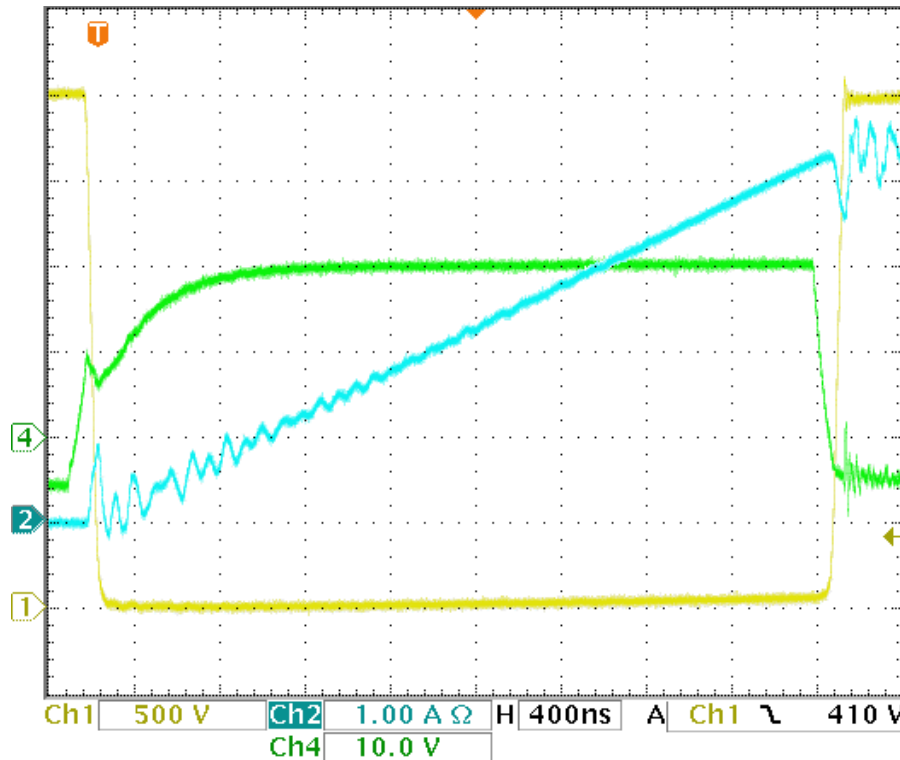


Abbildung 44: Schaltverlauf MOSFET (Ein- und Ausschaltvorgang)

Abbildung 44 zeigt den eigentlichen Ein- und Aus-Schaltvorgang des MOSFETs, welcher hier innerhalb etwa $3.5\mu s$ stattfindet (dargestellt für eine Zwischenkreisspannung von etwa 3000V). Zum Zeitpunkt t_0 (ganz links im Bild) wird über den externen Impulsgenerator und über den Gate-Treiberbaustein die Steuerspannung U_G ans Gate geschaltet. Über den Gatewiderstand werden die Kapazitäten C_{GS} und C_{DG} aufgeladen, bis die Schwellspannung U_T des Transistors erreicht wird (Stufe im grünen Signal). Erst jetzt beginnt der MOSFET zu leiten und der Strom I_D bzw. I_L steigt. Ab jetzt arbeitet der Transistor im Linearbetrieb, u_{GS} steigt weiter und die Drain-Source-Spannung u_{DS} (gelb) beginnt zu fallen. Dadurch steigt die Kapazität C_{DG} (in diesem Zusammenhang auch Miller-Kapazität genannt) an, da sie sehr stark von u_{DS} abhängig

ist. [6] Bis die Spannung u_{DS} ihren quasistationären Wert erreicht, bleibt die Gatespannung annähernd konstant (Miller-Plateau). Quasistationär deshalb, weil der Strom i_D aufgrund der Induktivität weiter ansteigt und wegen des Leitwiderstands $R_{DS(on)}$ auch u_{DS} leicht ansteigt. Sobald die Gatespannung wieder ausgeschaltet wird, schaltet der Transistor wieder ab. Der Ausschaltvorgang erfolgt ähnlich, jedoch in umgekehrter Reihenfolge. Die besprochenen parasitären Kapazitäten des MOSFETs sind in Abbildung 45 dargestellt.

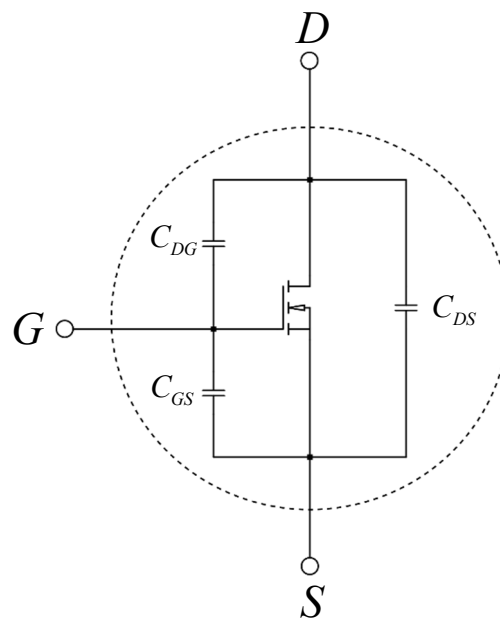


Abbildung 45: Parasitäre Kapazitäten des MOSFETs

4.3.2 Einschaltvorgang - Detail

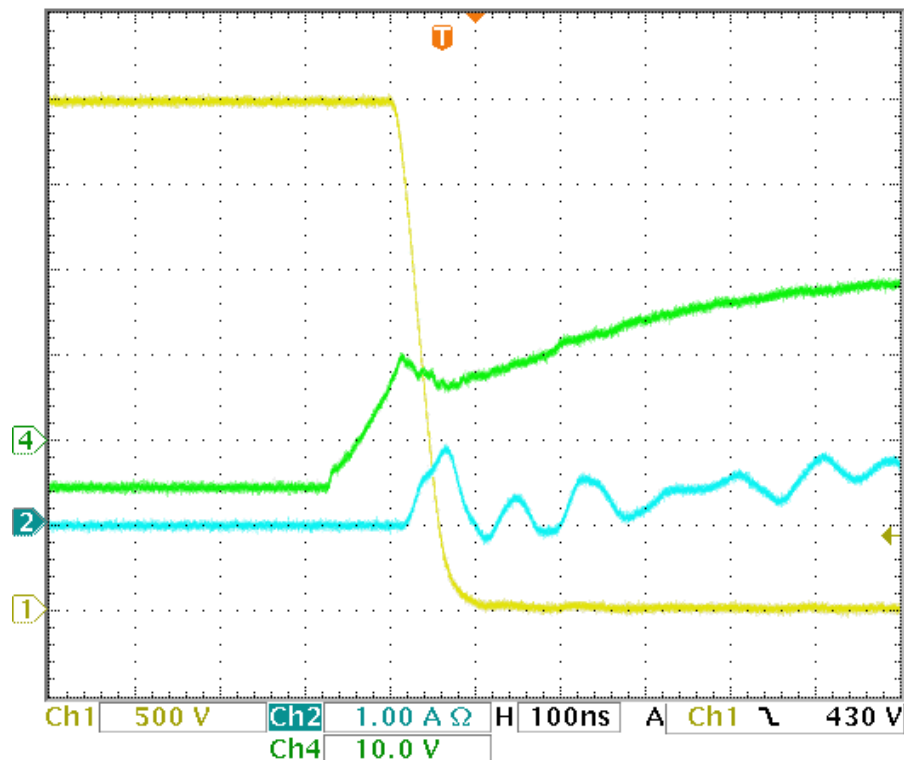


Abbildung 46: Einschaltvorgang MOSFET

Bei diesem Versuch hat der MOSFET eine Zwischenkreisspannung von 3000V in etwa 80ns durchgeschaltet. Ein Gatewiderstand R_G von 11Ω wurde hierbei verwendet. Die Abhängigkeit der Schaltgeschwindigkeit des Gatewiderstands wurde ebenfalls analysiert. Im Vergleich dazu hat der Transistor bei einem Gatewiderstand von 22Ω ca. 100ns zum Durchschalten benötigt. Es wurde also eine Spannungssteilheit von $37.5\text{kV}/\mu\text{s}$ bei 11Ω bzw. $30\text{kV}/\mu\text{s}$ bei 22Ω erzielt.

4.3.3 Ausschaltvorgang - Detail

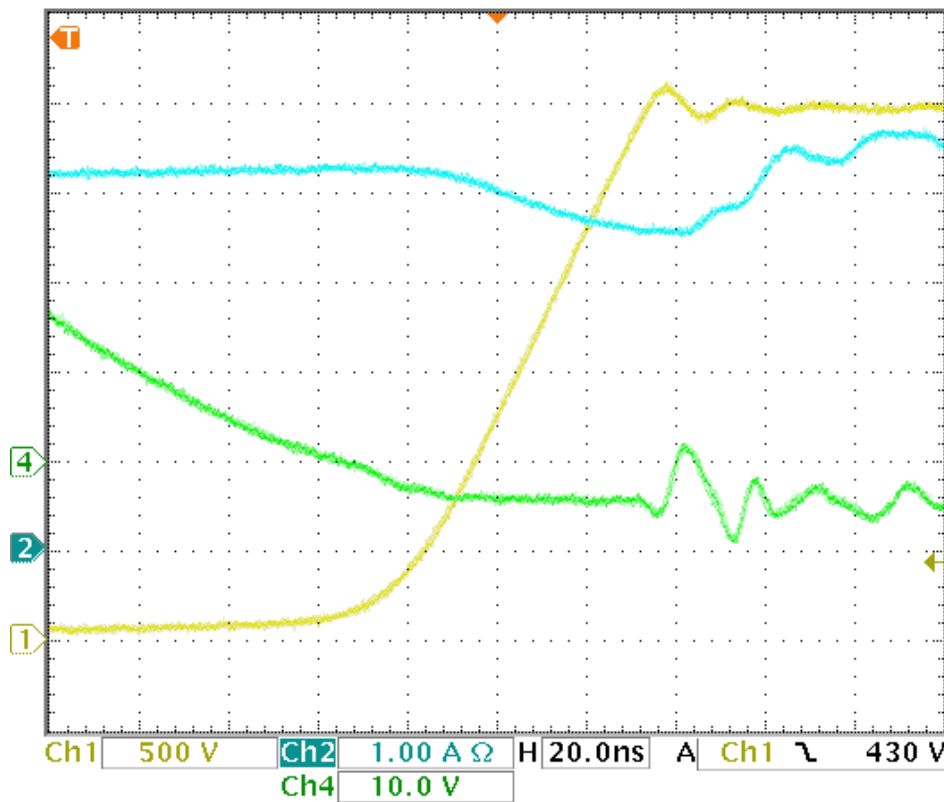


Abbildung 47: Ausschaltvorgang MOSFET

Es hat sich gezeigt, dass die Höhe des Drainstroms i_D im Abschaltzeitpunkt hauptverantwortlich für die Ausschalt-Geschwindigkeit des Transistors ist. Dies kann damit erklärt werden, dass im Gegensatz zum Einschalten, bei dem der MOSFET als pull-down-Transistor arbeitet (sein $R_{DS,on}$ entlädt die Transistorkapazitäten dabei aktiv), während das pull-up der Drain-Source-Spannung (also das Wiederaufladen der Transistorkapazitäten) nur durch den in der Induktivität fließenden Strom bewerkstelligt wird. Während die Ausschaltzeit bei 1,2A Drosselstrom noch bei 200ns lag, konnte sie durch eine längere Einschaltdauer und der daraus resultierenden Erhöhung des Drosselstroms auf ca. 4,3A auf 80ns reduziert werden. Es wurde also eine Spannungssteilheit beim Abschalten von 5kV/μs bzw. letztlich wieder 37.5kV/μs erreicht.

Zusammengefasst wurden folgende Kenngrößen gemessen:

- $U_{ZK} = 3000V$
- i_D bzw. $i_L = 4,3A$
- $R_{G,on}$ und $R_{G,off} = 11\Omega$
- $t_{delay,on} = 80ns$
- $t_r = 80ns$ ($37,5kV/\mu s$)
- $t_{delay,off} = 80ns$
- $t_f = 80ns$ ($37,5kV/\mu s$)

4.4 Messergebnisse am IGBT

4.4.1 Gesamter Schaltvorgang

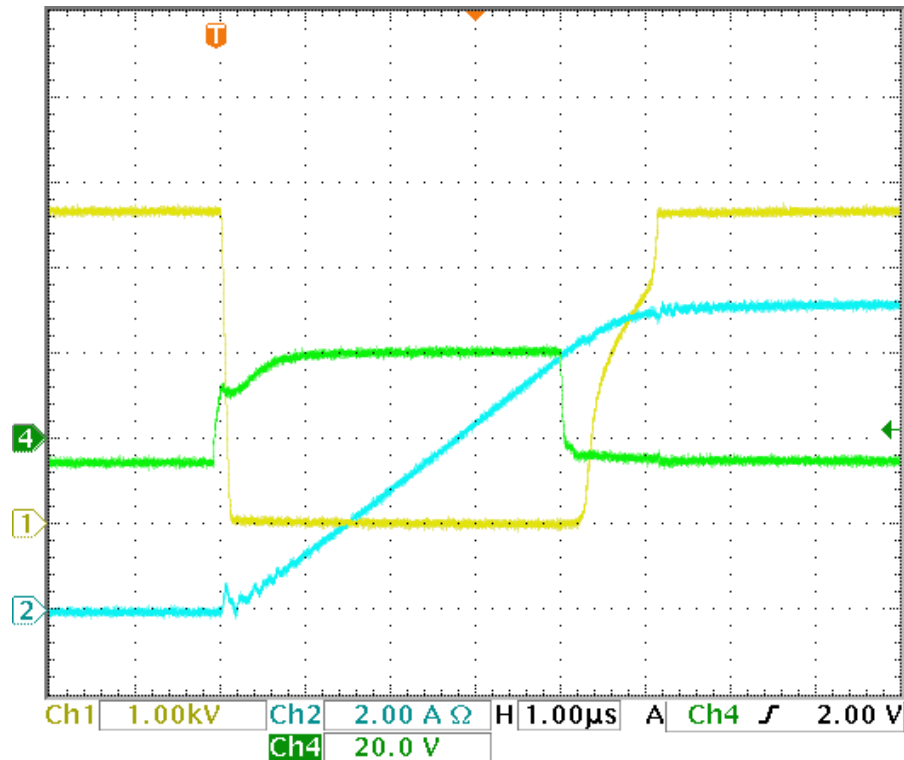


Abbildung 48: Schaltvorgang IGBT (Ein- und Ausschaltvorgang)

Wie erläutert, wurde der Hochspannungs-Pulsgenerator zusätzlich zur bisher beschriebenen Variante mit MOSFET-Schaltelement auch in einer zweiten Version mit IGBT-Schalter aufgebaut, weil mit IGBTs höhere Lastströme möglich sind. Der Schaltvorgang beim IGBT läuft prinzipiell ähnlich wie bei MOSFET ab. Der mögliche Strom ist beim IGBT aber deutlich größer als der des MOSFETs. Laut Datenblatt wäre unter Einhaltung der Sperrschichttemperatur sogar ein pulsförmiger Strom I_C von bis zu 400A möglich. Zum Schutz der Freilaufdioden wurde der Strom bei allen Versuchen jedoch nicht über 8A erhöht. Gemäß

$$I_{L,max} = \frac{1}{L} \int_{t_0}^{t_0+t_{on}} U_{ZK} \cdot dt \quad (4.2)$$

$$I_{L,max} = \frac{1}{2,393mH} \int_{t_0}^{t_0+4,5\mu s} 3700V \cdot dt = 6,96A$$

steigt der Strom in der Spule linear auf einen Wert von rund 7A an. Dies entspricht auch dem tatsächlich gemessenen Verlauf aus Abbildung 48.

4.4.2 Einschaltvorgang - Detail

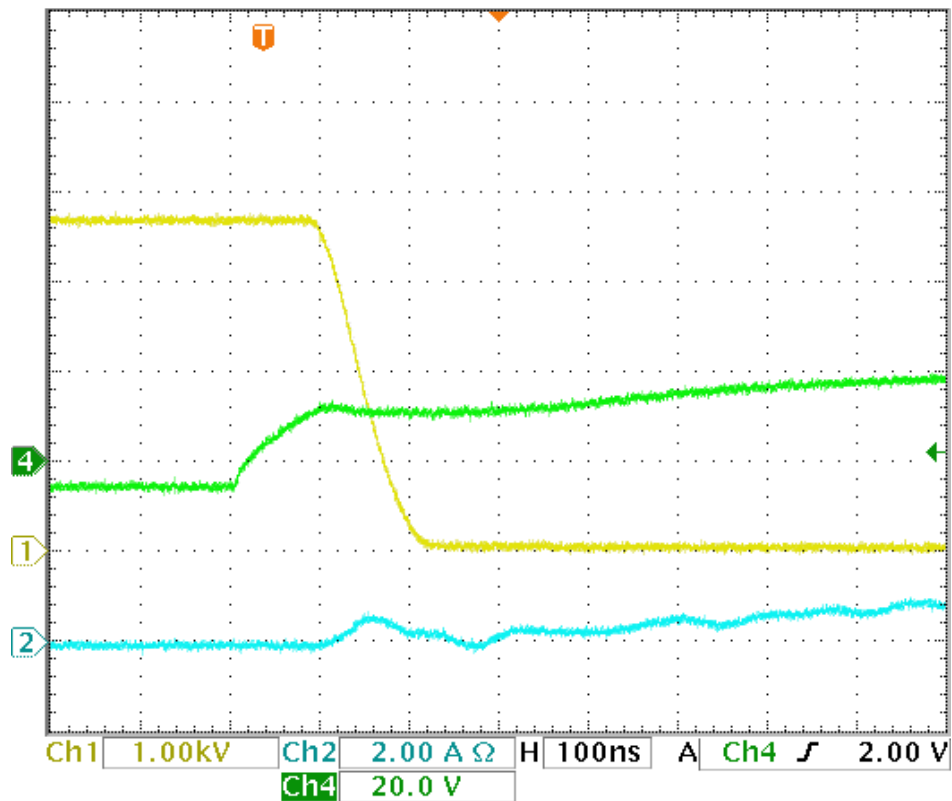


Abbildung 49: Einschaltvorgang IGBT

Auch beim IGBT kann durch Reduktion des Gatewiderstandes die Einschaltzeit verkürzt werden. Hat der IGBT bei $R_G = 22\Omega$ noch 200ns gebraucht, um voll durchzuschalten, konnte diese Zeit bei 11Ω auf etwa 100ns reduziert werden.

4.4.3 Ausschaltvorgang - Detail

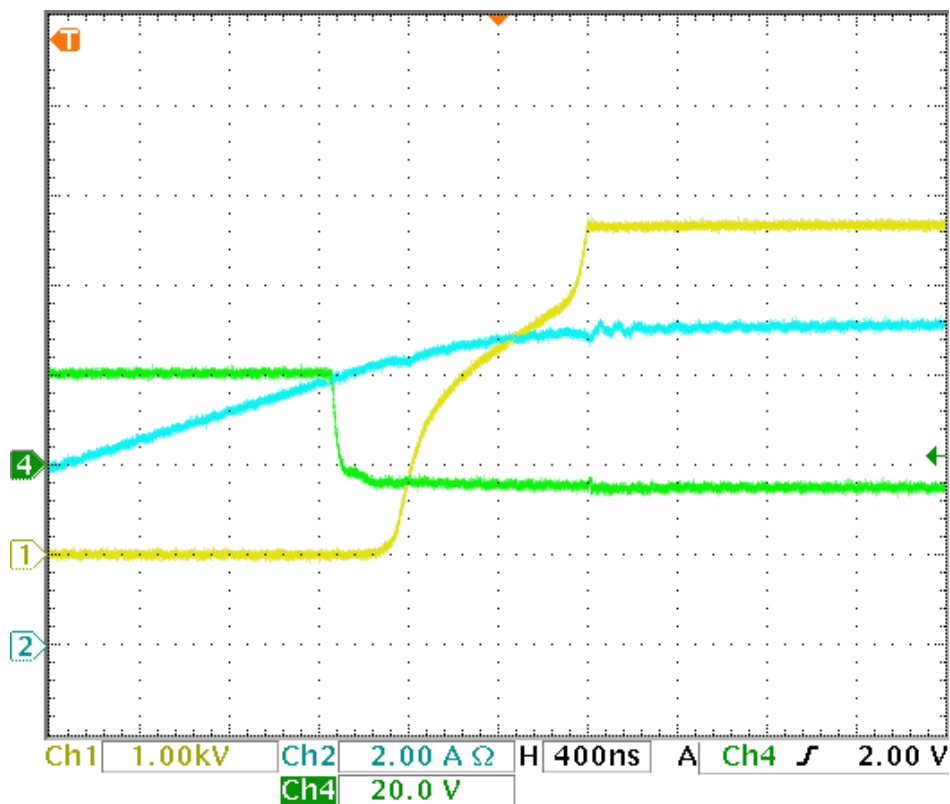


Abbildung 50: Ausschaltvorgang IGBT

Trotz Reduktion des externen Gatewiderstandes auf 0Ω konnte der für Hochspannungs-IGBTs typische Ausschaltverlauf zeitlich nicht verkürzt werden. Aus Abbildung 50 ist zu erkennen, dass der IGBT ca. 880ns benötigt, um die 3700V und 7A wieder auszuschalten. Weiters ist anzumerken, dass der Spannungsanstieg beim Ausschalten im Gegensatz zum MOSFET nicht mehr relativ „schön“ (d.h. linear), sondern S-förmig verläuft, was eine typische Charakteristik für Hochspannungs-IGBTs ist. Genaugenommen müsste damit zwischen einem mittleren („globalen“) du/dt - und einem lokalen du/dt -Wert, der am Anfang und Ende des Schaltvorganges deutlich höher als das mittlere du/dt ist, unterschieden werden.

Zusammengefasst wurden folgende Kenngrößen gemessen:

- $U_{ZK} = 3700V$
- I_C bzw. $I_L = 7A$
- $R_{G,on} = 11\Omega$ und $R_{G,off} = 0\Omega$ (Diode parallel zum R_G)
- $t_{delay,on} = 90ns$
- $t_r = 100ns$ ($37kV/\mu s$)
- $t_{delay,off} = 240ns$
- $t_f = 880ns$ ($4,2kV/\mu s$, Mittelwert)

5 Resümee

Der fertig aufgebaute Hochspannungs-Testimpulsgenerator funktioniert technisch einwandfrei. Zwar benötigt die Hochspannungskaskade aufgrund der geringen Eingangsfrequenz (Netzfrequenz) bzw. hohen Kapazität relativ lange, bis der Endwert der gewünschten Zwischenkreisspannung erreicht wird, aber durch den Einsatz des zusätzlichen Ringkern-Trenntrafos kann der Gleichspannungspegel mit dem 230V-Regeltrafo sehr genau und feinfühlig eingestellt werden. Die Spannungsverteilung an den Kaskadenstufen ist durch die verwendete Widerstands-Symmetrierung sehr gut gewährleistet. Die potentialfreie Gateansteuerung mit dem eingesetzten Treiberbaustein arbeitet zuverlässig, jedoch ist man auf einen externen Impuls- bzw. Signalgenerator angewiesen. Beim verwendeten externen Generator war es z.B. nicht möglich, schnell aufeinanderfolgende Doppelimpulse und eine frei wählbare Zeit zwischen den Doppelimpulsen einzustellen, um den Leistungstransistor auch bei bereits stromführender Spule einschalten zu können und gleichzeitig das beschriebene „Aufintegrieren“ zu vermeiden. Dazu wäre ein Signalgenerator notwendig, der für komplexere Pulsmuster programmierbar sein müsste. Noch besser wäre es allerdings, einen frei programmierbaren Impulsgenerator on-board zu implementieren, z.B. mittels eines entsprechenden FPGAs, was allerdings, insbesondere auch wegen des dafür notwendigen User-Interfaces, den zeitlichen Rahmen dieser Arbeit gesprengt hätte. Die Performance der Leistungstransistoren ist besser als erwartet. Sie schalten deutlich schneller als aus den Datenblatt-Angaben zu erwarten gewesen ist. Grundsätzlich wurde die gesamte Schaltung (besonders die Kaskade) auf den MOSFET und dessen Leistungsdaten ausgelegt. Zwar hat auch der IGBT sehr gut funktioniert, seine Leistungsfähigkeit konnte durch die gewählte Peripherie jedoch nicht ausgeschöpft werden. Dazu müssten vor allem die Freilaufdioden und deren Kühlung leistungsstärker dimensioniert werden. Auch die maximal mögliche Schaltspannung des MOSFETs von 4500V konnte aufgrund der dimensionierten Hochspannungs-Kaskade nicht voll getestet werden. Dazu müssten Kondensatoren mit höherer Nennspannung oder noch mehr Kaskadenstufen gewählt werden, was aber eine noch längere Hochlaufzeit bedeuten würde. Aus sicherheitstechnischen Gründen muss beim realen Einsatz des Gerätes ein Kunststoffgehäuse als Berührungsschutz vorgesehen werden. Selbst für die Verwendung durch fach- und sachkundige Personen im Laborbetrieb ist eine deutliche Kennzeichnung als Hochspannungsgerät obligat.

Das Ziel, hohe und schnelle Spannungsimpulse mit dem spannungsstärksten am Markt verfügbaren diskreten Leistungstransistor zu generieren, wurde voll erreicht. Die ständige Weiterentwicklung der Technologien und eingesetzten Materialien lassen Erweiterungen des Konzepts auf noch höhere Spannungen bzw. Schaltgeschwindigkeiten (z.B. durch Verwendung von Hochvolt-SiC-MOSFETs) in absehbarer Zeit möglich erscheinen.

6 Literaturverzeichnis

- [1] M. A. Vogelsberger, C. Zöller, T. M. Wolbank und H. Ertl, „Analysis of Ultra-fast Inverter Switching Transition (dv/dt) Impact based on SiC Semi-conductors to Pre-active Insulation Monitoring of High Power Traction Motors,“ in *PCIM Europe*, Nuremberg, 2015.
- [2] C. Zöller, H. Ertl, T. M. Wolbank und M. A. Vogelsberger, „Influence of Fast Inverter Switching based on SiC Semi-conductors on Online Insulation Monitoring of High Power Traction Machines,“ in *IEEE International Conference of Industrial Technology (ICIT)*, Seville, 2015.
- [3] M. A. Vogelsberger, C. Zöller, P. Nussbaumer, H. Votzi, H. Ertl und T. M. Wolbank, „Online insulation condition monitoring of ac machines using ultra-fast inverter switching transition based on new semi-conductor materials,“ in *PCIM Europe*, Nuremberg, 2014.
- [4] S. Goßner, „Grundlagen der Elektronik: Halbleiter, Bauelemente und Schaltungen,“ Aachen, Shaker, 2008, pp. 100-103.
- [5] F. Zach, *Leistungselektronik*, Wien: Springer, 2010.
- [6] J. Ertl, „Leistungselektronik und Stromrichtertechnik,“ Wien, 2013, pp. 67-70.

7 Abbildungsverzeichnis

Abbildung 1: Räumliche Darstellung des Isolationszustandes [1]	3
Abbildung 2: Schematisches Modell.....	5
Abbildung 3: Spannungsverdopplung mit Villardschaltung.....	6
Abbildung 4: Spannungsverlauf des Spannungsverdopplers (Villard).....	8
Abbildung 5: Spannungskaskade	8
Abbildung 6: Auswirkung von Kapazitätstoleranzen.....	10
Abbildung 7: Symmetrierwiderstände	10
Abbildung 8: Verlauf Gatespannung.....	11
Abbildung 9: Blockschaltbild eines modernen Gatetreibers	12
Abbildung 10: Modell einer 10-stufige Spannungskaskade.....	13
Abbildung 11: Spannungsverlauf der leerlaufenden Kaskade	14
Abbildung 12: ESB eines Kondensators.....	15
Abbildung 13: Zeigerdiagramm der Impedanzen.....	16
Abbildung 14: Berücksichtigung des ESR in LTspice.....	17
Abbildung 15: Simulationsmodell der belasteten Kaskade (mit ESR und $R_{\text{Symm.}}$)	17
Abbildung 16: Spannungsverlauf der belasteten Kaskade (mit ESR und $R_{\text{Symm.}}$).....	18
Abbildung 17: Modell MOSFET (ideale Versorgungen).....	19
Abbildung 18: Schaltvorgang mit MOSFET-Modell (ideale Versorgung).....	20
Abbildung 19: Kaskade als Ersatzspannungsquelle	22
Abbildung 20: Äquivalente ohmsche Belastung durch den geschalteten Betrieb	23
Abbildung 21: Modell der belasteten Kaskade (mit ESR, $R_{\text{Symm.}}$ und R_L)	24
Abbildung 22: Spannungsverlauf der belasteten Kaskade (mit ESR, $R_{\text{Symm.}}$ und R_L).....	24
Abbildung 23: Modell MOSFET mit Ersatzspannungsquelle als U_{ZK}	25
Abbildung 24: Schaltvorgang MOSFET mit Ersatzspannungsquelle als U_{ZK}	26
Abbildung 25: Zwischenkreisspannung bei Belastung	27
Abbildung 26: Schaltplan Leistungselektronik	29
Abbildung 27: Drehspulmessinstrument.....	31
Abbildung 28: Transistorgehäuse.....	32
Abbildung 29: Nicht isolierter Kühlkörperanschluss der Schottkydioden (Vorsicht!)..	33
Abbildung 30: Schaltplan Gateansteuerung	33
Abbildung 31: Funktions-Blockschaltbild des Gatetreibers.....	34
Abbildung 32: Pinbelegung und schematischer Aufbau des Treiberbausteins	34
Abbildung 33: Testspule	36
Abbildung 34: Impedanzspektrum Teilspule 1	37

Abbildung 35: Frequenzgang der Serieninduktivität L_S (Teilspule 1).....	37
Abbildung 36: Frequenzgang des Serienwiderstandes R_S (Teilspule 1)	38
Abbildung 37: Impedanzspektrum der gesamten Testspule.....	38
Abbildung 38: Parameter der Spulen	39
Abbildung 39: PCB-Layout	42
Abbildung 40: Fertig aufgebauter Hochspannungs-Testimpulsgenerator.....	43
Abbildung 41: externer Signalgenerator	44
Abbildung 42: Messaufbau im Labor	46
Abbildung 43: Messfehler bei passiver Stromzange.....	48
Abbildung 44: Schaltverlauf MOSFET (Ein- und Ausschaltvorgang).....	49
Abbildung 45: Parasitäre Kapazitäten des MOSFETs.....	50
Abbildung 46: Einschaltvorgang MOSFET	51
Abbildung 47: Ausschaltvorgang MOSFET	52
Abbildung 48: Schaltvorgang IGBT (Ein- und Ausschaltvorgang)	54
Abbildung 49: Einschaltvorgang IGBT.....	55
Abbildung 50: Ausschaltvorgang IGBT.....	56

8 Tabellenverzeichnis

Tabelle 1: Gegenüberstellung relevanter Bauelemente von Fa. Ixys	5
Tabelle 2: Spannungswerte der idealen Kaskade	14
Tabelle 3: Spannungswerte der belasteten Kaskade (ESR und $R_{\text{symm.}}$)	18
Tabelle 4: Kenngrößen beim Schaltvorgang (ideale Versorgung)	20
Tabelle 5: Vergleich von U_A bei unterschiedlichen Belastungen	25
Tabelle 6: Wahrheitstabelle des Treibers	35
Tabelle 7: Eingesetzte Bauteile	40
Tabelle 8: Extern angeschlossene Geräte	47
Tabelle 9: Messmittel	47

9 Anhang A

9.1 Quellcode SPICE-Modell MOSFET

```
.SUBCKT IXTL2N450 G D S
*****
* Note: Although models can be a useful tool in evaluating device  *
* performance, they cannot model exact device performance         *
* under all conditions, nor are they intended to replace          *
* bread boarding for final verification. Therefore IXYS does      *
* not assume any liability parsing from their use. IXYS reserves  *
* the right to change models without prior notice. The Pspice model *
* does not constitute product data sheet. Designer should refer to *
* the data sheet to guaranteed the limit and specification.      *
*****
** model generated on March 06, 2013
* Node 1 -> Drain
* Node 2 -> Gate
* Node 3 -> Source

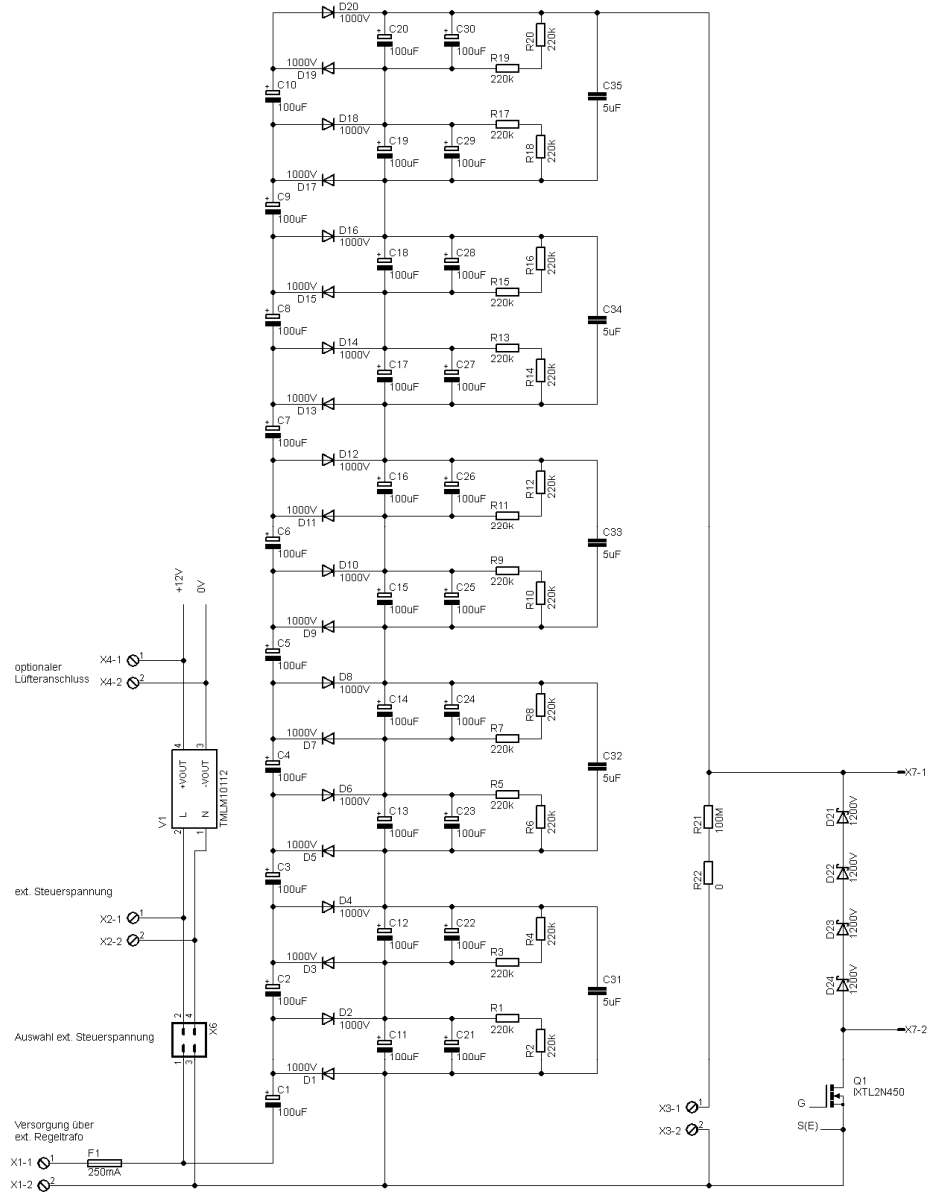
LS S 11 1n
RG G VG 3
LG VG 70 1n
M_Q1 D 70 11 11 MM111
.MODEL MM111 NMOS
+ LEVEL=3
+ L=2.0000E-6
+ W=4.5000
+ KP=1.0463E-6
+ RS=10.000E-3
+ RD=19.887
+ VTO=5.8145
+ RDS=900.00E6
+ TOX=2.0000E-6
+ CGSO=1.2157E-9
+ CGDO=14.589E-12
+ CBD=0.6738E-9
+ MJ=1.2168
+ PB=1.2445
+ RG=17.896
+ RB=1.0000E-3
+ GAMMA=0
+ KAPPA=0

L_sd subd D 1n
D_1 S subd BD1
.MODEL BD1 D
+ IS=66.914E-7
+ N=5
+ RS=94.672E-3
+ CJO=0.9666E-9
+ M=.75072
+ VJ=.3905
+ ISR=10.010E-21
+ BV=4.4998E3
+ IBV=28.569E-3
+ TT=1.5929E-6

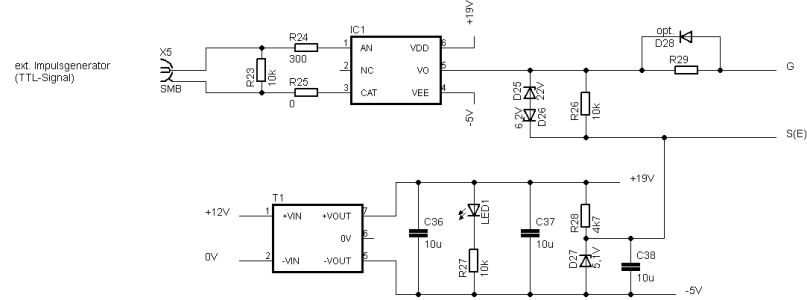
.ENDS
```

9.2 Schaltplan

Leistungselektronik



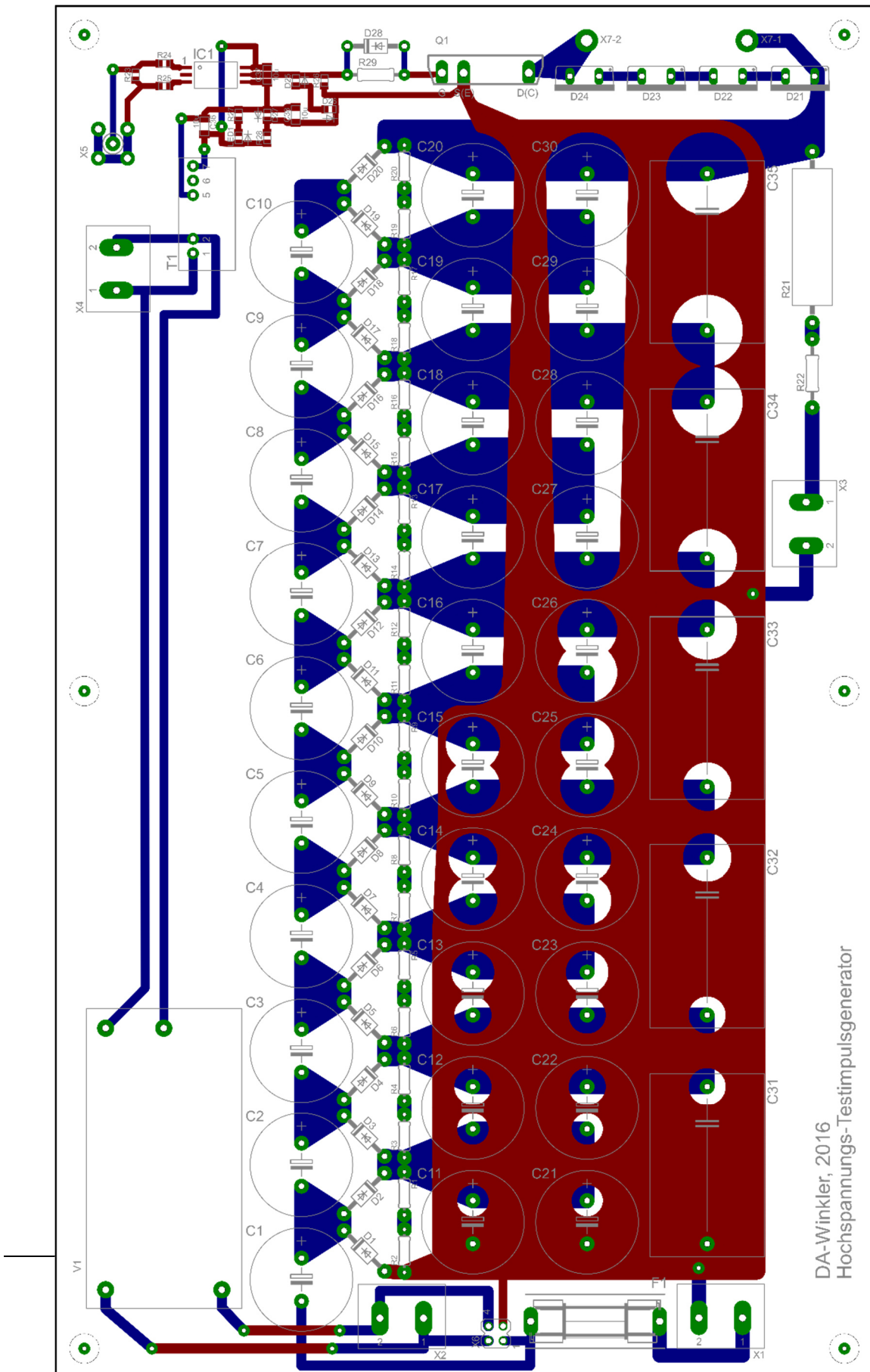
Gate-ansteuerung



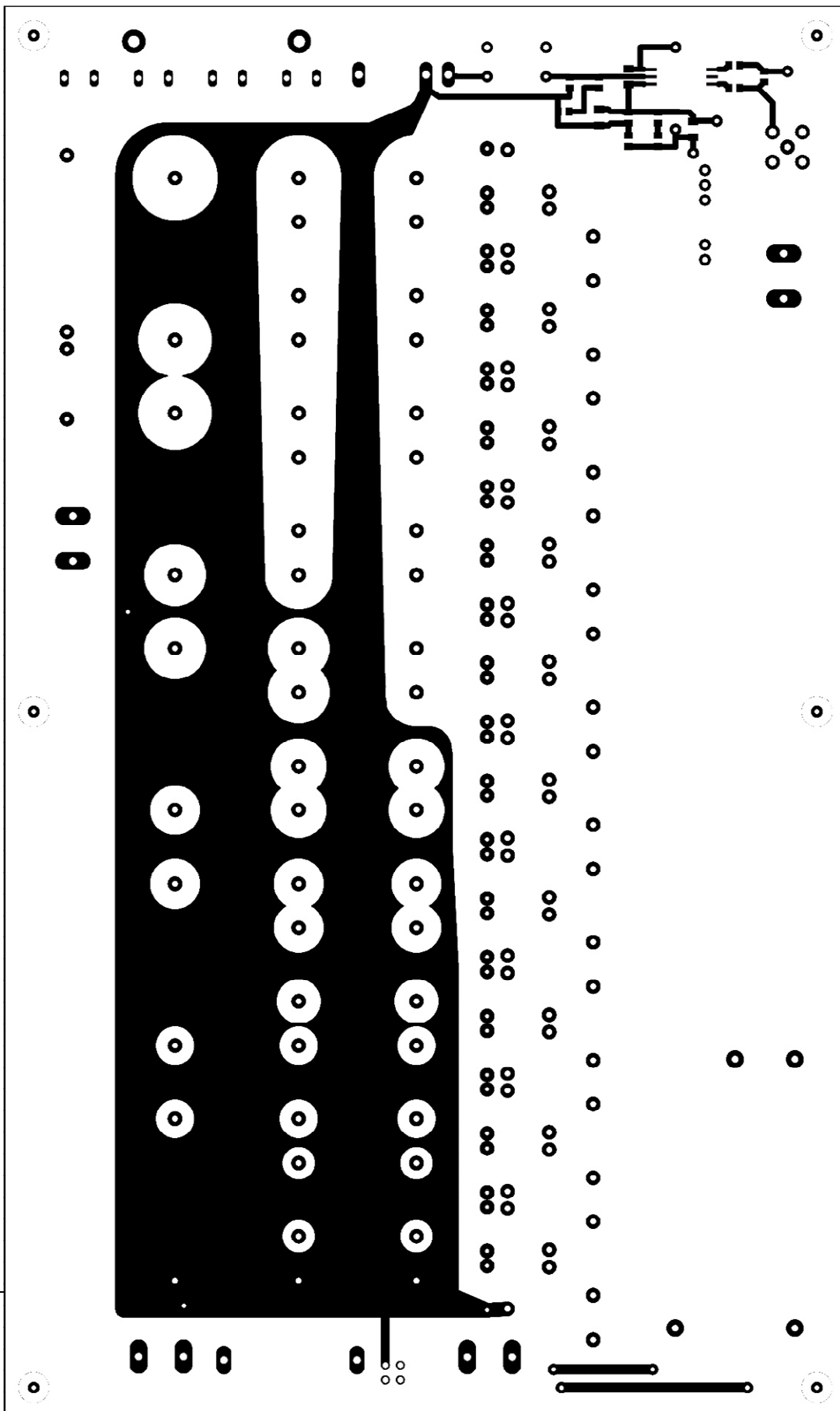
9.3 PCB-Layer (Maßstab 1:1)

Für einen eventuellen Nachbau der Platine sind im Folgenden die Printfiles von Top- und Bottom-Layer im Maßstab 1:1 dargestellt. Der Top-Layer ist hier spiegelverkehrt eingefügt, da es für die Belichtung des Prints besser ist, wenn die bedruckte Seite an der Printoberfläche aufliegt. Nach dem Ausdrucken ist die Größe zu kontrollieren. Die Platinengröße sollte 143 x 240mm betragen. Außerdem ist der Bestückungsplan dargestellt. Es sei an dieser Stelle noch einmal darauf hingewiesen, dass hier lebensgefährliche Hochspannungen auftreten!

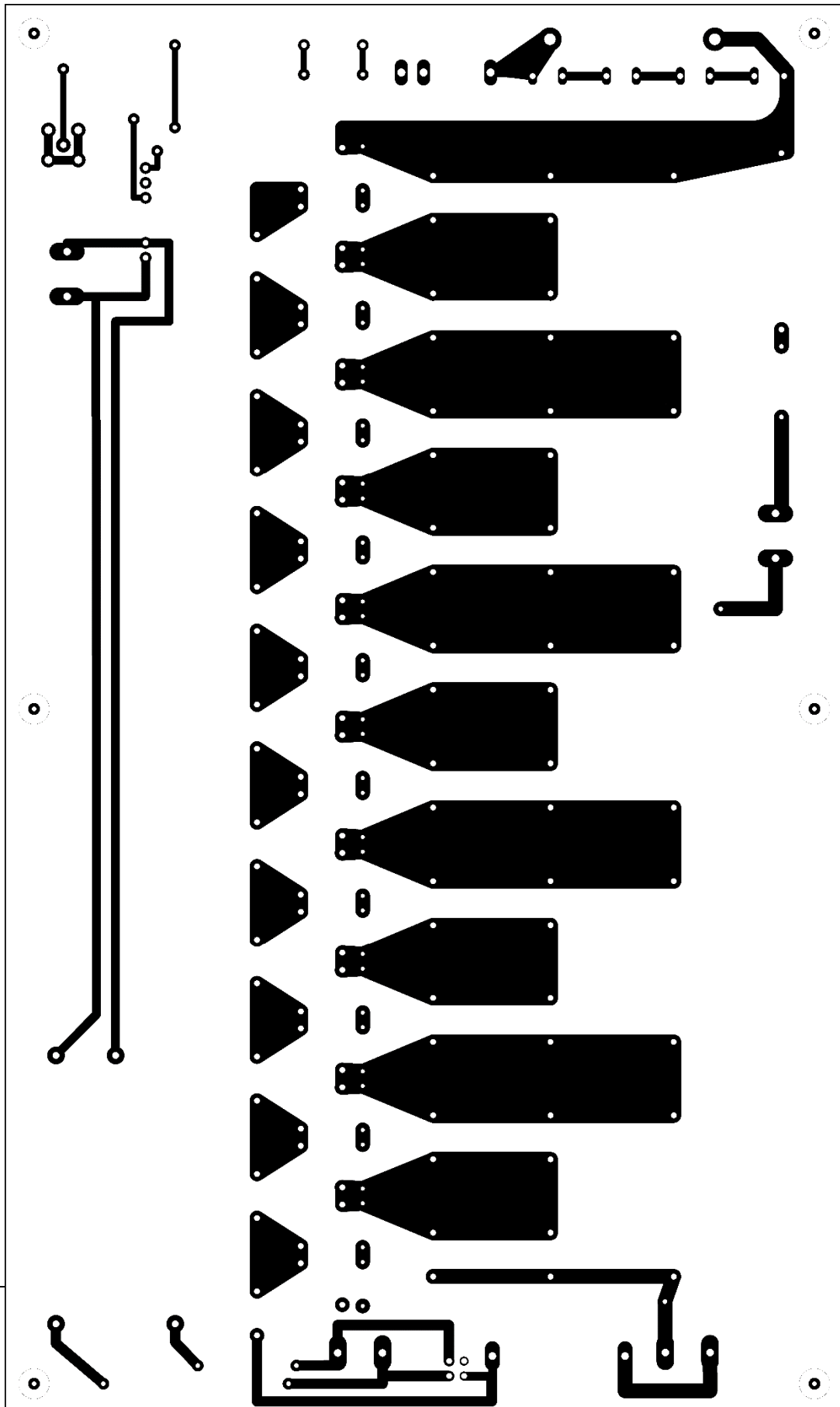
9.3.1 Bestückungsplan (M 1:1)



9.3.2 PCB Top-Layer (M 1:1 für Eigenprint)



9.3.3 PCB Bottom-Layer (M1:1 für Eigenprint)



10 Anhang B

Am Ende dieser Arbeit sind noch ein paar Auszüge aus den Datenblättern relevanter Bauteile angefügt. Eventuell vorhandene Seitennummerierungen entsprechen den originalen Beschriftungen aus den Datenblättern.

High Voltage Power MOSFET

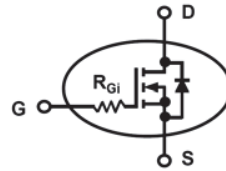
IXTL2N450

$$V_{DSS} = 4500V$$

$$I_{D25} = 2A$$

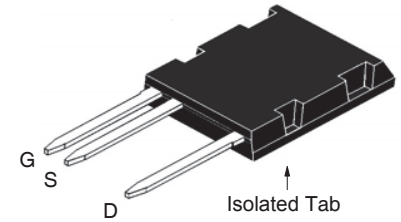
$$R_{DS(on)} \leq 20\Omega$$

(Electrically Isolated Tab)



N-Channel Enhancement Mode

ISOPLUS i5-Pak™



G = Gate
D = Drain

S = Source

Symbol	Test Conditions	Maximum Ratings	
V_{DSS}	$T_J = 25^\circ C$ to $150^\circ C$	4500	V
V_{DGR}	$T_J = 25^\circ C$ to $150^\circ C$, $R_{GS} = 1M\Omega$	4500	V
V_{GSS}	Continuous	± 20	V
V_{GSM}	Transient	± 30	V
I_{D25}	$T_C = 25^\circ C$	2	A
I_{DM}	$T_C = 25^\circ C$, Pulse Width Limited by T_{JM}	8	A
P_D	$T_C = 25^\circ C$	220	W
T_J		- 55 ... +150	$^\circ C$
T_{JM}		150	$^\circ C$
T_{stg}		- 55 ... +150	$^\circ C$
T_L	Maximum Lead Temperature for Soldering	300	$^\circ C$
T_{SOLD}	Plastic Body for 10s	260	$^\circ C$
F_C	Mounting Force	20..120 / 4.5..27	N/lb.
V_{ISOL}	50/60Hz, 1 Minute	4000	V~
Weight		8	g

Features

- Silicon Chip on Direct-Copper Bond (DCB) Substrate
- Isolated Mounting Surface
- 4000V~ RMS Electrical Isolation
- Molding Epoxies meet UL 94 V-0 Flammability Classification

Advantages

- Easy to Mount
- Space Savings
- High Power Density

Applications

- High Voltage Power Supplies
- Capacitor Discharge Applications
- Pulse Circuits
- Laser and X-Ray Generation Systems

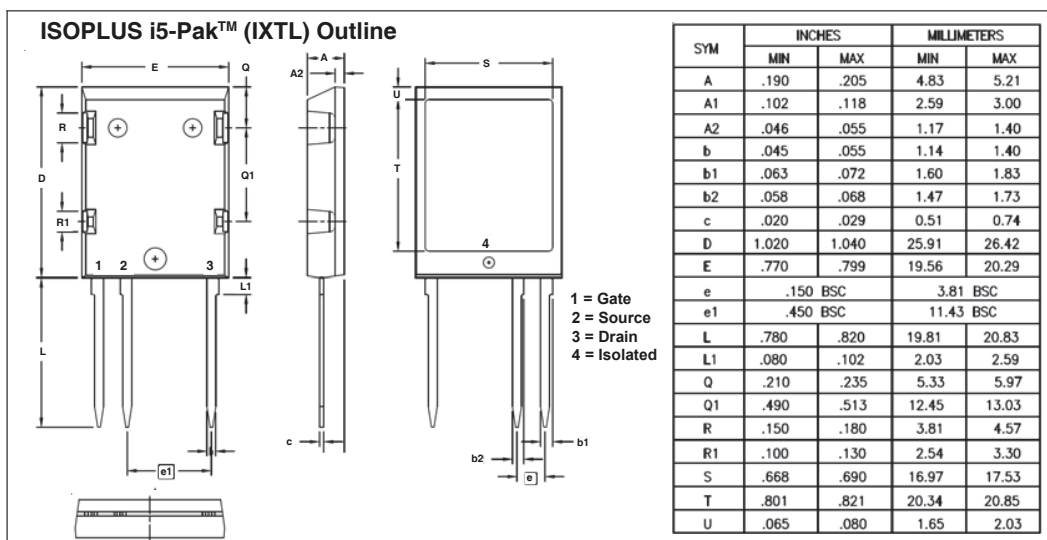
Symbol	Test Conditions ($T_J = 25^\circ C$, Unless Otherwise Specified)	Characteristic Values		
		Min.	Typ.	Max.
$V_{GS(th)}$	$V_{DS} = V_{GS}$, $I_D = 250\mu A$	3.5		6.0 V
I_{GSS}	$V_{GS} = \pm 20V$, $V_{DS} = 0V$			± 200 nA
I_{DSS}	$V_{DS} = 3.6kV$, $V_{GS} = 0V$			10 μA
	$V_{DS} = 4.5kV$			50 μA
	$V_{DS} = 3.6kV$ Note 2, $T_J = 125^\circ C$		250	μA
$R_{DS(on)}$	$V_{GS} = 10V$, $I_D = 0.5 \cdot I_{D25}$, Note 1			20 Ω

Symbol	Test Conditions ($T_J = 25^\circ\text{C}$, Unless Otherwise Specified)	Characteristic Values		
		Min.	Typ.	Max.
g_{fs}	$V_{DS} = 60\text{V}$, $I_D = 0.5 \cdot I_{D25}$, Note 1	2.1	3.5	S
C_{iss}	$V_{GS} = 0\text{V}$, $V_{DS} = 25\text{V}$, $f = 1\text{MHz}$		6860	pF
C_{oss}			267	pF
C_{rss}			105	pF
R_{Gi}	Integrated Gate Input Resistance		4.0	Ω
$t_{d(on)}$	Resistive Switching Times $V_{GS} = 10\text{V}$, $V_{DS} = 1\text{kV}$, $I_D = 1\text{A}$ $R_G = 0\Omega$ (External)		40	ns
t_r			34	ns
$t_{d(off)}$			123	ns
t_f			205	ns
$Q_{g(on)}$	$V_{GS} = 10\text{V}$, $V_{DS} = 1\text{kV}$, $I_D = 0.5 \cdot I_{D25}$		180	nC
Q_{gs}			34	nC
Q_{gd}			83	nC
R_{thJC}				0.56 $^\circ\text{C/W}$
R_{thCS}		0.15		$^\circ\text{C/W}$

Source-Drain Diode

Symbol	Test Conditions ($T_J = 25^\circ\text{C}$, Unless Otherwise Specified)	Characteristic Values		
		Min.	Typ.	Max.
I_S	$V_{GS} = 0\text{V}$			2 A
I_{SM}	Repetitive, Pulse Width Limited by T_{JM}			8 A
V_{SD}	$I_F = I_S$, $V_{GS} = 0\text{V}$, Note 1			3 V
t_{rr}	$I_F = 2\text{A}$, $-di/dt = 100\text{A}/\mu\text{s}$, $V_R = 100\text{V}$	1.75		μs

- Notes: 1. Pulse test, $t \leq 300\mu\text{s}$, duty cycle, $d \leq 2\%$.
2. Part must be heatsunk for high-temp I_{dss} measurement.



IXYS Reserves the Right to Change Limits, Test Conditions, and Dimensions.

IXYS MOSFETs and IGBTs are covered by one or more of the following U.S. patents:

4,835,592	4,931,844	5,049,961	5,237,481	6,162,665	6,404,065 B1	6,683,344	6,727,585	7,005,734 B2	7,157,338B2
4,860,072	5,017,508	5,063,307	5,381,025	6,259,123 B1	6,534,343	6,710,405 B2	6,759,692	7,063,975 B2	
4,881,106	5,034,796	5,187,117	5,486,715	6,306,728 B1	6,583,505	6,710,463	6,771,478 B2	7,071,537	

Fig. 1. Output Characteristics @ $T_J = 25^\circ\text{C}$

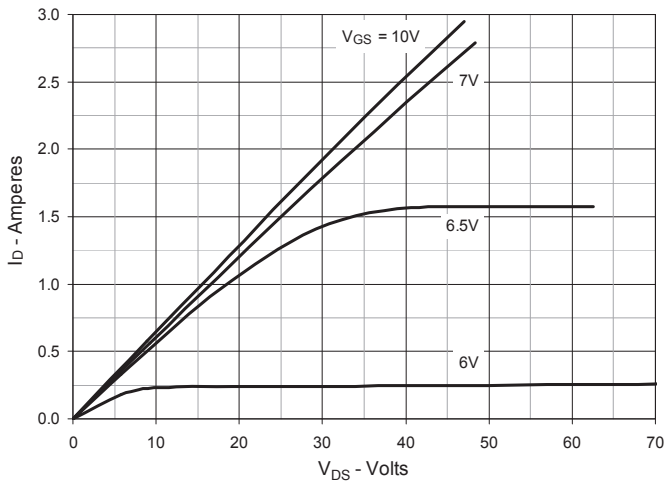


Fig. 2. Output Characteristics @ $T_J = 125^\circ\text{C}$

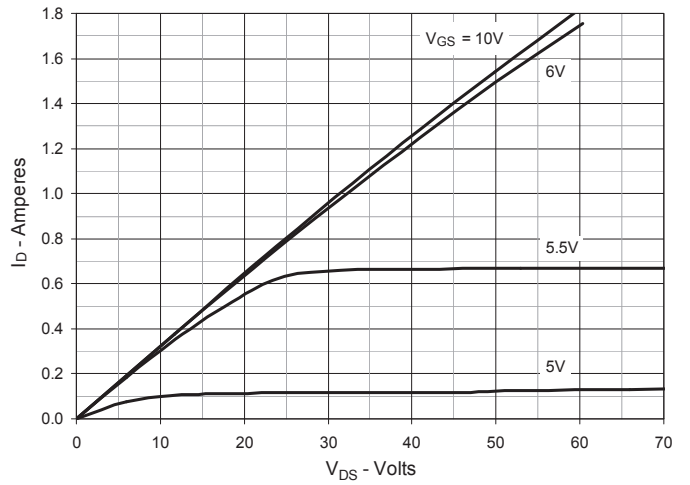


Fig. 3. $R_{DS(on)}$ Normalized to $I_D = 1\text{A}$ Value vs. Junction Temperature

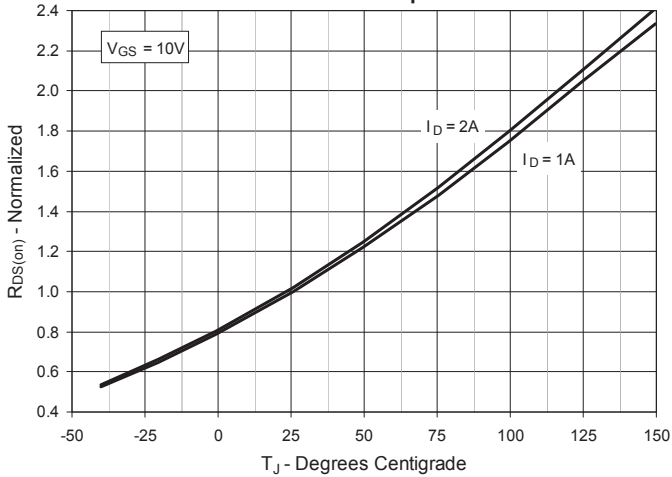


Fig. 4. $R_{DS(on)}$ Normalized to $I_D = 1\text{A}$ Value vs. Drain Current

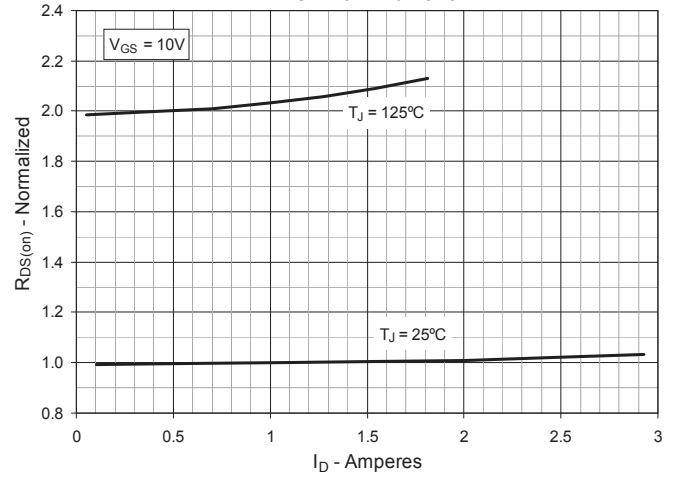


Fig. 5. Maximum Drain Current vs. Case Temperature

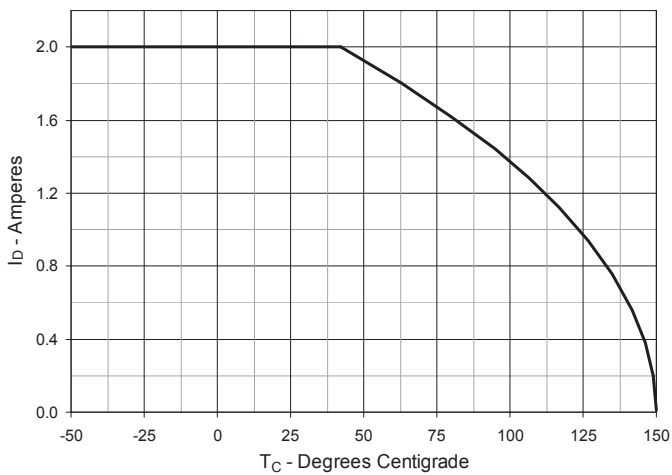


Fig. 6. Input Admittance

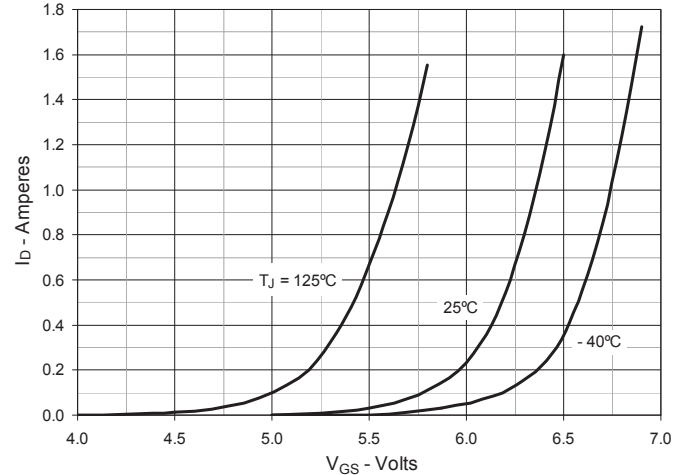


Fig. 7. Transconductance

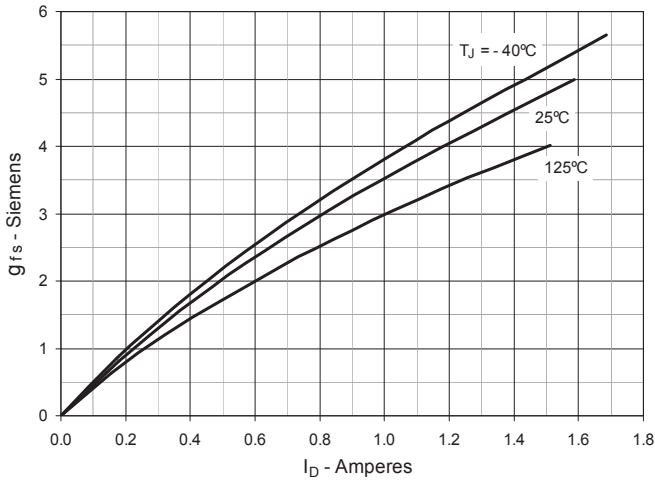


Fig. 8. Forward Voltage Drop of Intrinsic Diode

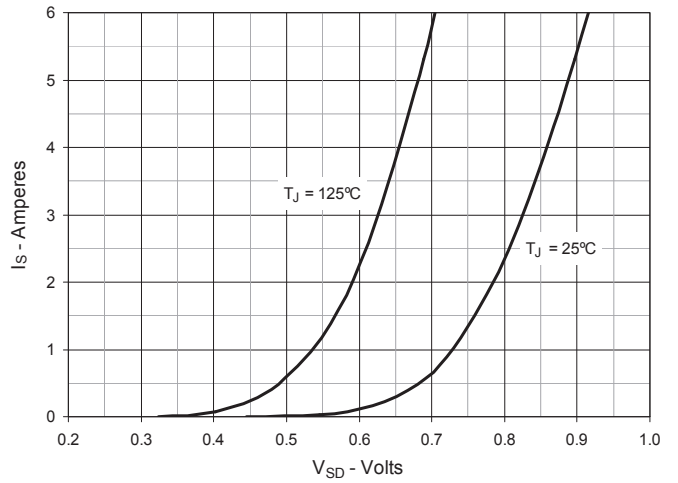


Fig. 9. Gate Charge

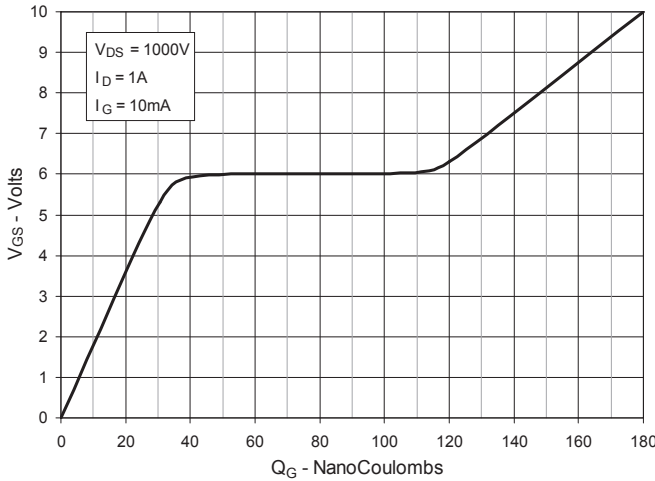


Fig. 10. Capacitance

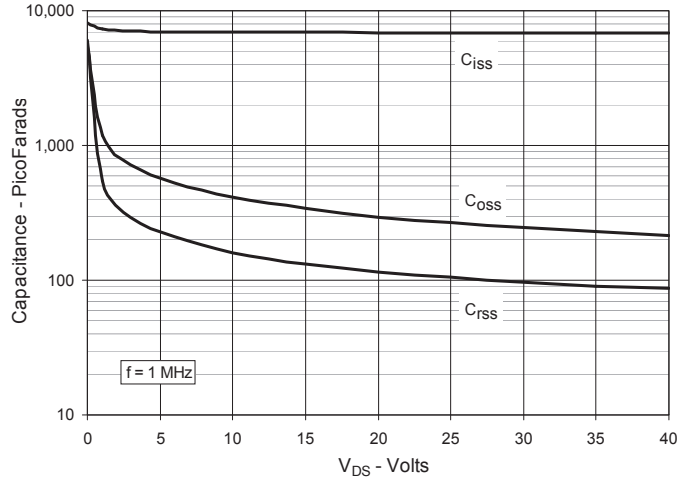


Fig. 11. Forward-Bias Safe Operating Area

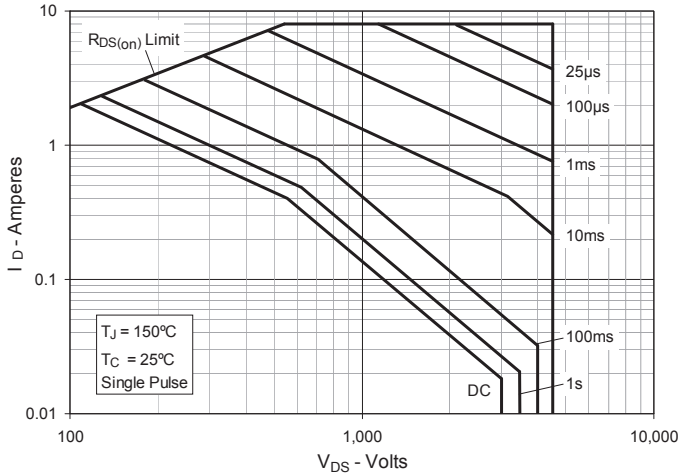


Fig. 12. Resistive Switching Times vs. External Gate Resistance

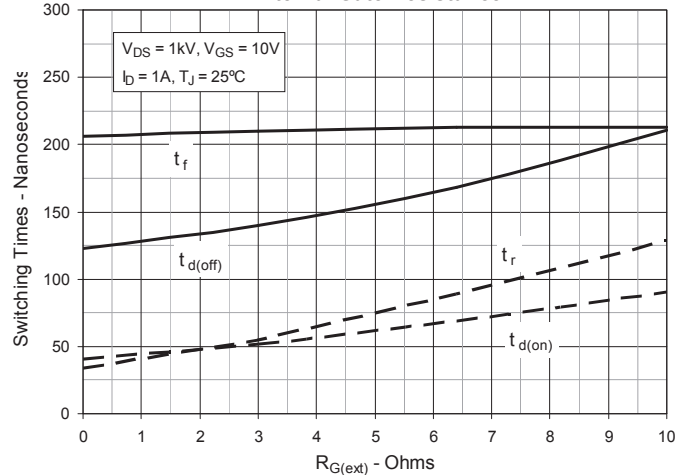
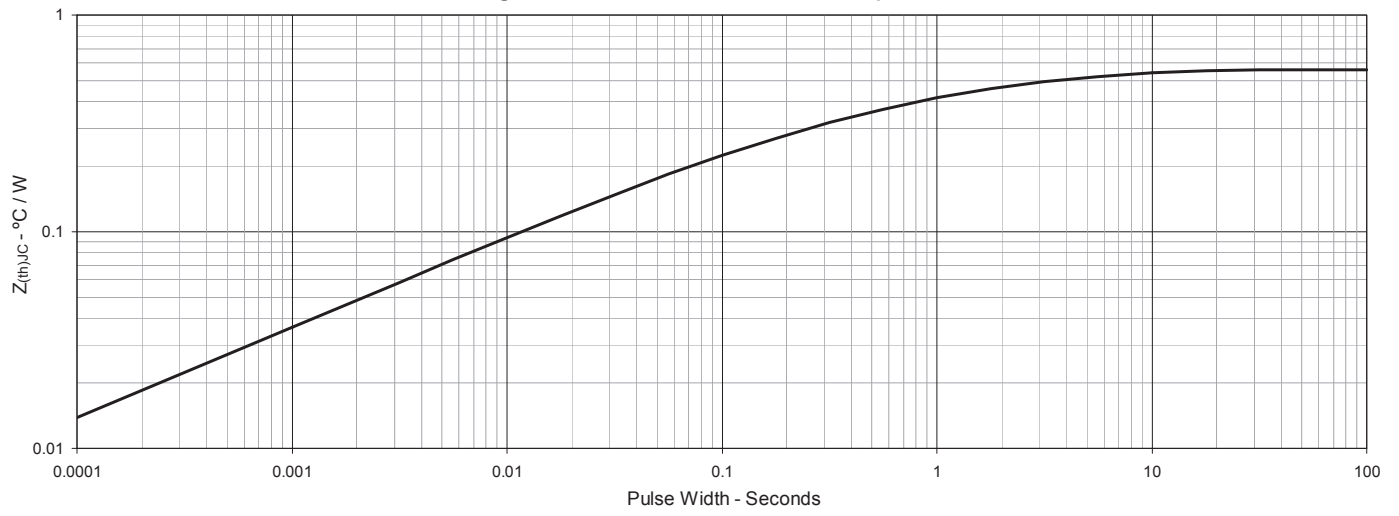


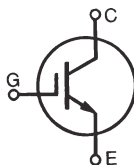
Fig. 13. Maximum Transient Thermal Impedance



Very High Voltage IGBT

IXEL40N400

(Electrically Isolated Tab)



$$V_{CES} = 4000V$$

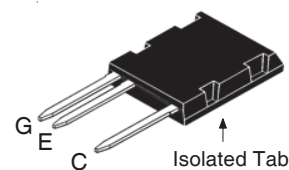
$$I_{C110} = 40A$$

$$V_{CE(sat)} \leq 3.2V$$

$$t_{fi(typ)} = 425ns$$

Symbol	Test Conditions	Maximum Ratings	
V_{CES}	$T_J = 25^\circ C$ to $150^\circ C$	4000	V
V_{GES}	Continuous	± 20	V
V_{GEM}	Transient	± 30	V
I_{C25}	$T_C = 25^\circ C$	90	A
I_{C110}	$T_C = 110^\circ C$	40	A
I_{CM}	Pulse Width Limited by T_{JM} , 1ms, $V_{GE} = 25V$	400	A
P_C	$T_C = 25^\circ C$	380	W
T_J		- 40 ... +150	$^\circ C$
T_{JM}		150	$^\circ C$
T_{stg}		- 40 ... +150	$^\circ C$
T_L	Maximum Lead Temperature for Soldering	300	$^\circ C$
T_{SOLD}	1.6 mm (0.062 in.) from Case for 10s	260	$^\circ C$
V_{ISOL}	$I_{ISOL} < 1mA$, 50/60 Hz, $t = 1$ minute	4000	V~
F_C	Mounting Force	30..170 / 7..36	Nm/lb-in.
Weight		8	g

ISOPLUS i5-Pak™



G = Gate C = Collector
E = Emitter

Features

- Silicon Chip on Direct-Copper Bond (DCB) Substrate
- Isolated Mounting Surface
- 4000V~ Electrical Isolation
- UL Recognized Package
- High Peak Current Capability
- Low Saturation Voltage
- Molding Epoxies Meet UL 94 V-0 Flammability Classification

Advantages

- High Power Density
- Easy to Mount

Applications

- Capacitor Discharge
- Pulsar Circuits

Symbol	Test Conditions ($T_J = 25^\circ C$, Unless Otherwise Specified)	Characteristic Values		
		Min.	Typ.	Max.
$V_{GE(th)}$	$I_C = 10mA$, $V_{CE} = V_{GE}$	5.5		7.0 V
I_{CES}	$V_{CE} = V_{CES}$, $V_{GE} = 0V$ Note 2, $T_J = 125^\circ C$		1.5	100 μA mA
I_{GES}	$V_{CE} = 0V$, $V_{GE} = \pm 20V$			± 500 nA
$V_{CE(sat)}$	$I_C = I_{C110}$, $V_{GE} = 15V$, Note 1 $T_J = 125^\circ C$		2.4 3.0	3.2 V V

Symbol	Test Conditions ($T_J = 25^\circ\text{C}$, Unless Otherwise Specified)	Characteristic Values		
		Min.	Typ.	Max.
g_{fs}	$I_C = I_{C110}, V_{CE} = 10\text{V}$, Note 1	14	24	S
I_{SC}	$I_C = I_{C110}, V_{CC} = 3400\text{V}, V_{CM} < 4000\text{V}$ $V_{GE} = 15\text{V}, t_{SC} \leq 10\mu\text{s}$		200	A
C_{ies}		$V_{CE} = 25\text{V}, V_{GE} = 0\text{V}, f = 1\text{MHz}$		6040
C_{oes}			278	pF
C_{res}			120	pF
R_{Gint}			5.2	Ω
$Q_{g(on)}$	$I_C = I_{C110}, V_{GE} = 15\text{V}, V_{CE} = 1000\text{V}$		275	nC
Q_{ge}			63	nC
Q_{gc}			134	nC
$t_{d(on)}$	Inductive load, $T_J = 25^\circ\text{C}$		160	ns
t_{ri}			100	ns
E_{on}	$I_C = I_{C110}, V_{GE} = 15\text{V}$		55	mJ
$t_{d(off)}$	$V_{CE} = 2800\text{V}, R_G = 33\Omega$		630	ns
t_{fi}			425	ns
E_{off}	Note 3		165	mJ
$t_{d(on)}$	Inductive load, $T_J = 125^\circ\text{C}$		155	ns
t_{ri}			105	ns
E_{on}	$I_C = I_{C110}, V_{GE} = 15\text{V}$		85	mJ
$t_{d(off)}$	$V_{CE} = 2800\text{V}, R_G = 33\Omega$		715	ns
t_{fi}			455	ns
E_{off}	Note 3		205	mJ
R_{thJC}				0.26 $^\circ\text{C/W}$
R_{thCK}	(Pressure Mount)		0.15	$^\circ\text{C/W}$

ISOPLUS i5-Pak™ HV Outline

SYM	INCHES		MILLIMETER	
	MIN	MAX	MIN	MAX
A	0.190	0.205	4.83	5.21
A1	0.102	0.118	2.59	3.00
A2	0.046	0.055	1.17	1.40
b	0.045	0.055	1.14	1.40
b1	0.063	0.072	1.60	1.83
b2	0.058	0.068	1.47	1.73
c	0.020	0.029	0.51	0.74
D	1.020	1.040	25.91	26.42
E	0.770	0.799	19.56	20.29
e	0.150 BSC		3.81 BSC	
e1	0.450 BSC		11.43 BSC	
L	0.780	0.820	19.81	20.83
L1	0.080	0.102	2.03	2.59
Q	0.210	0.235	5.33	5.97
Q1	0.490	0.513	12.45	13.03
R	0.150	0.180	3.81	4.57
R1	0.100	0.130	2.54	3.30
S	0.668	0.690	16.97	17.53
T	0.801	0.821	20.34	20.85
U	0.065	0.080	1.65	2.03

Notes:

1. Pulse test, $t \leq 300\mu\text{s}$, duty cycle, $d \leq 2\%$.
2. Part must be heatsunk for high-temp I_{CES} measurement.
3. Switching times & energy losses may increase for higher V_{CE} (Clamp), T_J or R_G .

IXYS Reserves the Right to Change Limits, Test Conditions, and Dimensions.

IXYS MOSFETs and IGBTs are covered by one or more of the following U.S. patents:	4,835,592	4,931,844	5,049,961	5,237,481	6,162,665	6,404,065 B1	6,683,344	6,727,585	7,005,734 B2	7,157,338B2
	4,860,072	5,017,508	5,063,307	5,381,025	6,259,123 B1	6,534,343	6,710,405 B2	6,759,692	7,063,975 B2	
	4,881,106	5,034,796	5,187,117	5,486,715	6,306,728 B1	6,583,505	6,710,463	6,771,478 B2	7,071,537	

Fig. 1. Output Characteristics @ $T_J = 25^\circ\text{C}$

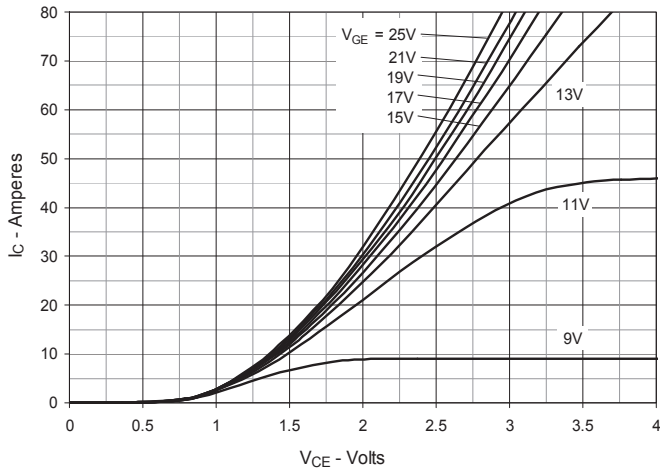


Fig. 2. Extended Output Characteristics @ $T_J = 25^\circ\text{C}$

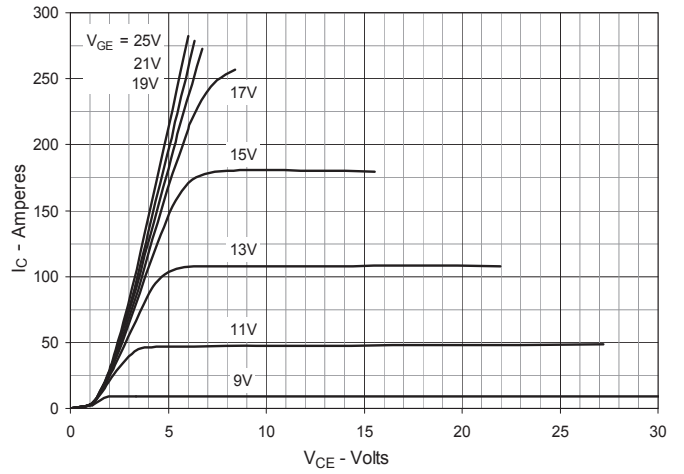


Fig. 3. Output Characteristics @ $T_J = 125^\circ\text{C}$

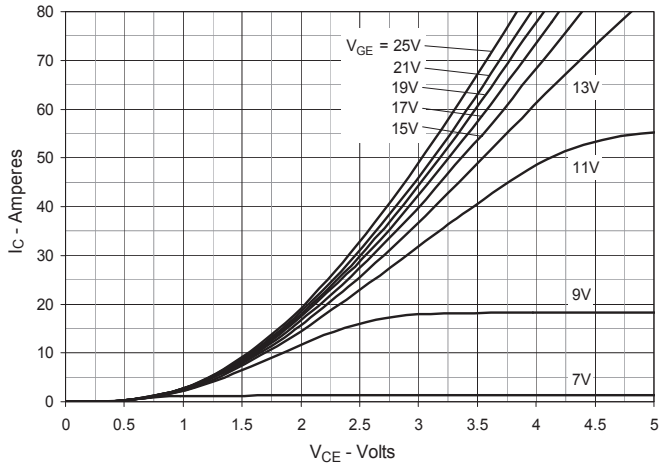


Fig. 4. Dependence of $V_{CE(sat)}$ on Junction Temperature

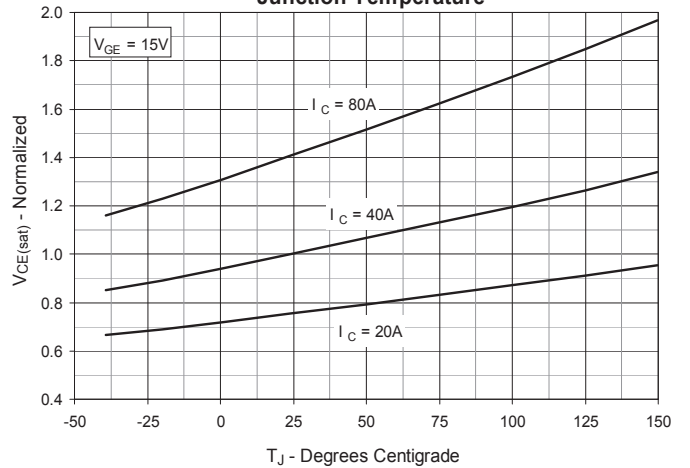


Fig. 5. Collector-to-Emitter Voltage vs. Gate-to-Emitter Voltage

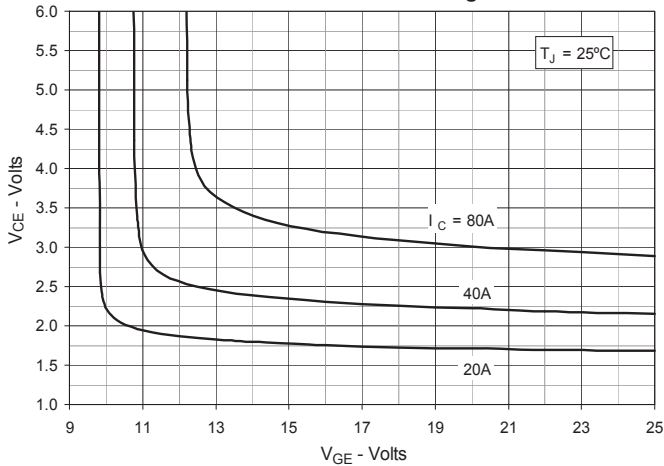


Fig. 6. Input Admittance

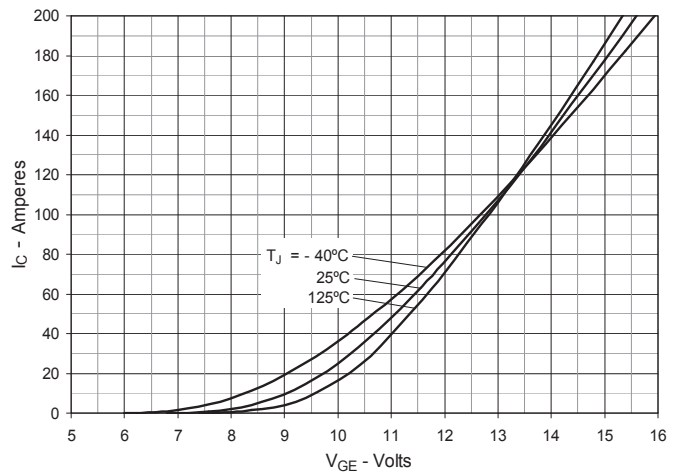


Fig. 7. Transconductance

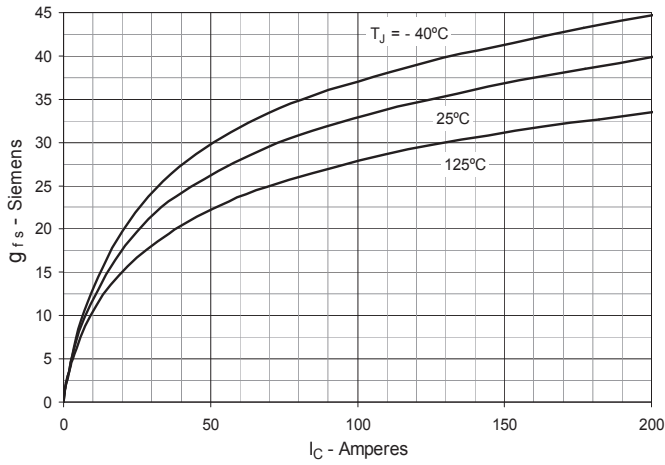


Fig. 8. Gate Charge

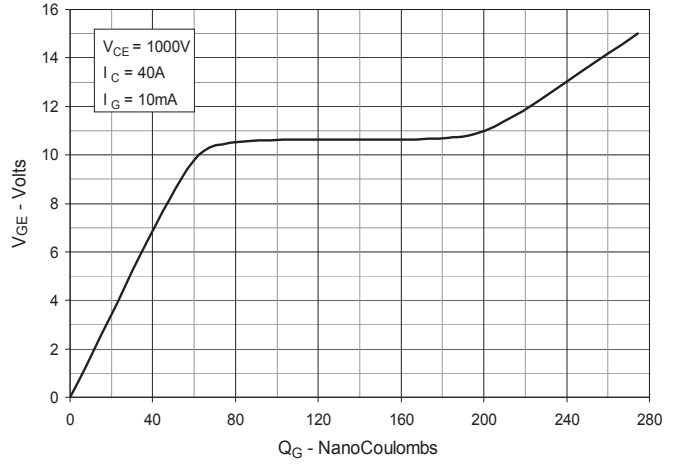


Fig. 9. Capacitance

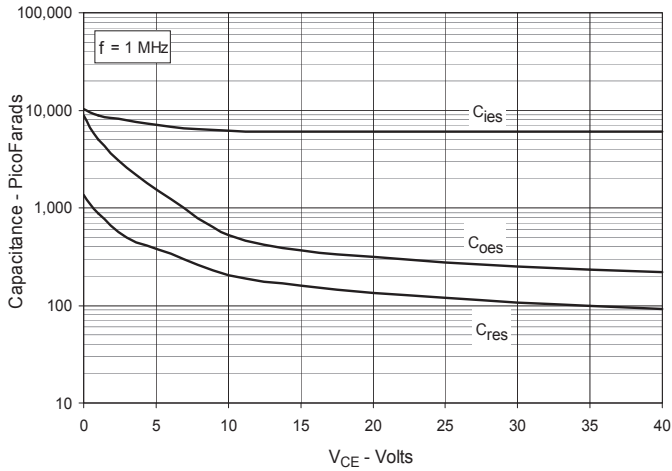


Fig. 10. Reverse-Bias Safe Operating Area

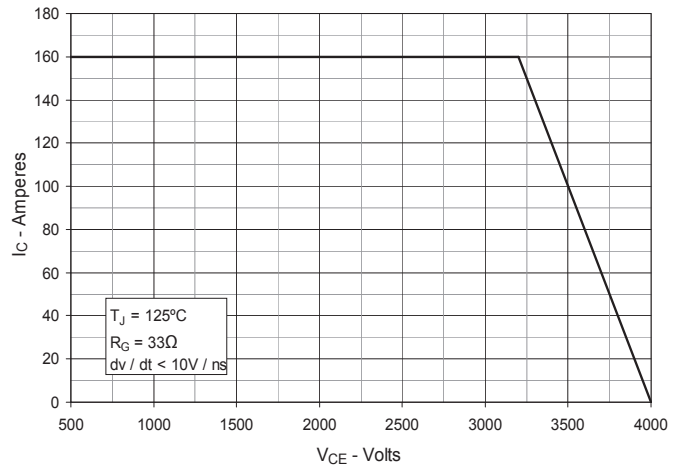


Fig. 11. Maximum Transient Thermal Impedance

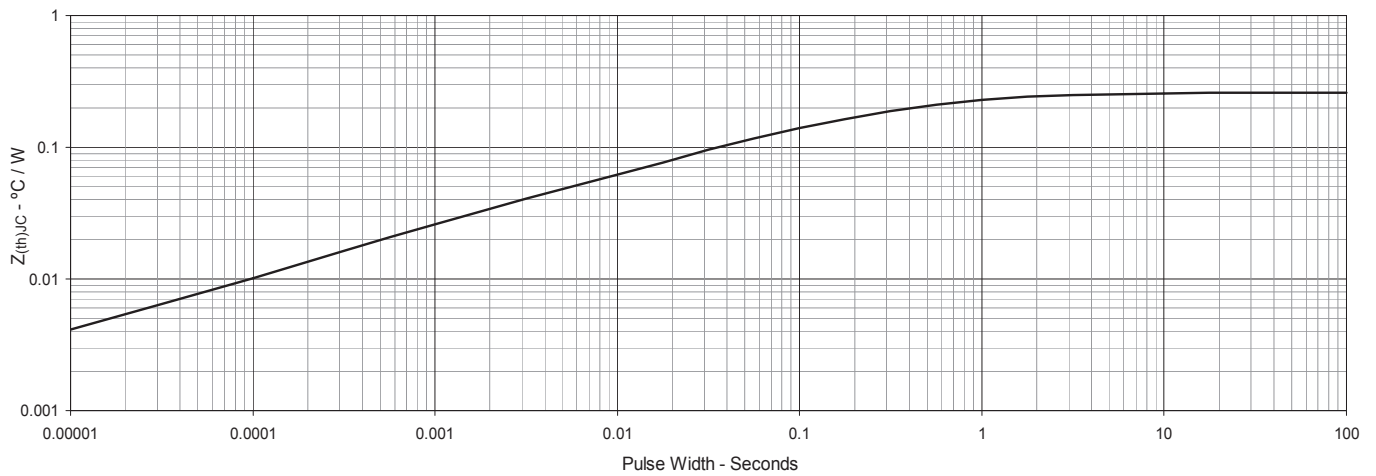


Fig. 12. Typ. Swicthing Characteristics vs. Collector Current

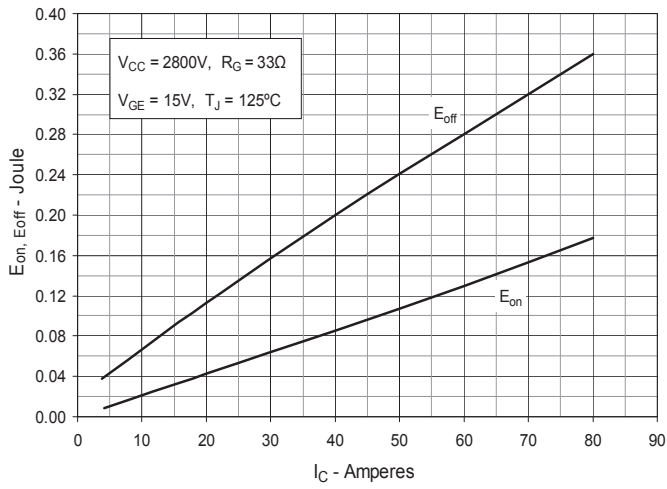
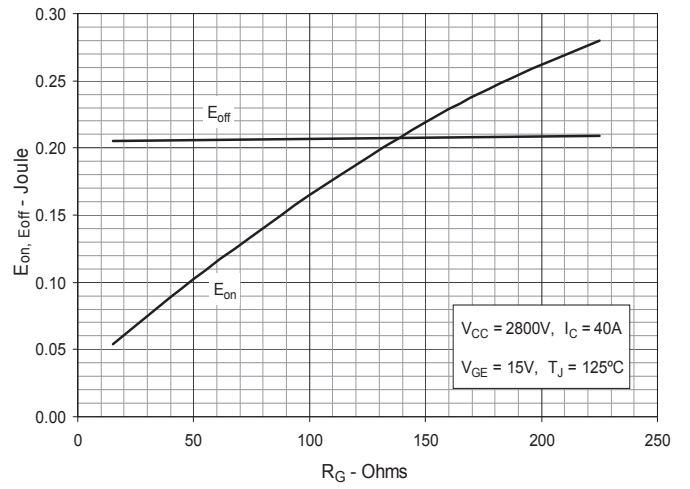


Fig. 13. Typ. Swicthing Characteristics vs. Gate Resistor





5 kV LED EMULATOR INPUT, 4.0 A ISOLATED GATE DRIVERS

Features

- Pin-compatible, drop-in upgrades for popular high speed opto-coupled gate drivers
- Low power diode emulator simplifies design-in process
- 0.6 and 4.0 Amp peak output drive current
- Rail-to-rail output voltage
- Performance and reliability advantages vs. opto-drivers
 - Resistant to temperature and age
 - 10x lower FIT rate for longer service life
 - 14x tighter part-to-part matching
 - Higher common-mode transient immunity: >50 kV/ μ s typical
- Robust protection features
 - Multiple UVLO ordering options (5, 8, and 12 V) with hysteresis
- 60 ns propagation delay, independent of input drive current
- Wide V_{DD} range: 6.5 to 30 V
- Up to 5000 V_{RMS} isolation
- 10 kV surge withstand capability
- AEC-Q100 qualified
- Wide operating temperature range
 - -40 to +125 °C
- RoHS-compliant packages
 - SOIC-8 (Narrow body)
 - DIP8 (Gull-wing)
 - SDIP6 (Stretched SO-6)
 - LGA8

Applications

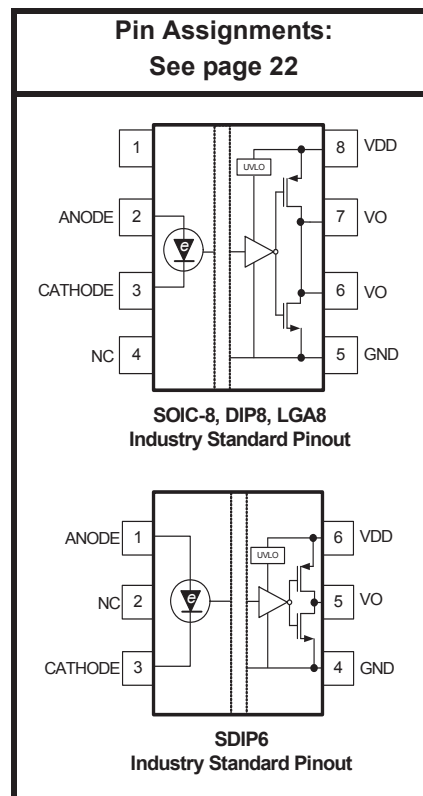
- IGBT/ MOSFET gate drives
- Industrial, HEV and renewable energy inverters
- AC, Brushless, and DC motor controls and drives
- Variable speed motor control in consumer white goods
- Isolated switch mode and UPS power supplies

Safety Regulatory Approvals

- UL 1577 recognized
 - Up to 5000 V_{rms} for 1 minute
- CSA component notice 5A approval
 - IEC 60950-1, 61010-1, 60601-1 (reinforced insulation)
- VDE certification conformity
 - IEC60747-5-2/VDE0884-10 (basic/reinforced insulation)
- CQC certification approval
 - GB4943.1

Description

The Si826x isolators are pin-compatible, drop-in upgrades for popular opto-coupled gate drivers, such as 0.6 A ACPL-0302/3020, 2.5 A HCPL-3120/ACPL-3130, HCNW3120/3130, and similar opto-drivers. The devices are ideal for driving power MOSFETs and IGBTs used in a wide variety of inverter and motor control applications. The Si826x isolated gate drivers utilize Silicon Laboratories' proprietary silicon isolation technology, supporting up to 5.0 kV_{RMS} withstand voltage per UL1577 and 10kV surge protection per IEC60747. This technology enables higher-performance, reduced variation with temperature and age, tighter part-to-part matching, and superior common-mode rejection compared to opto-coupled gate drivers. While the input circuit mimics the characteristics of an LED, less drive current is required, resulting in higher efficiency. Propagation delay time is independent of input drive current, resulting in consistently short propagation times, tighter unit-to-unit variation, and greater input circuit design flexibility. As a result, the Si826x series offers longer service life and dramatically higher reliability compared to opto-coupled gate drivers.



Patent pending

Si826x

1. Electrical Specifications

Table 1. Recommended Operating Conditions

Parameter	Symbol	Min	Typ	Max	Unit
Supply Voltage	V_{DD}	6.5	—	30	V
Input Current	$I_{F(ON)}$ (see Figure 1)	6	—	30	mA
Operating Temperature (Ambient)	T_A	-40	—	125	°C

Table 2. Electrical Characteristics ¹

$V_{DD} = 15\text{ V or }30\text{ V}$, $GND = 0\text{ V}$, $I_F = 6\text{ mA}$, $T_A = -40\text{ to }+125\text{ °C}$; typical specs at 25 °C

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
DC Parameters						
Supply Voltage ²	V_{DD}	$(V_{DD} - GND)$	6.5	—	30	V
Supply Current (Output High)	I_{DD}	$I_F = 10\text{ mA}$	—	1.8	2.4	mA
		$V_{DD} = 15\text{ V}$ $V_{DD} = 30\text{ V}$	—	2.0	2.7	mA
Supply Current (Output Low)	I_{DD}	$V_F = 0\text{ V}$; $I_F = 0\text{ mA}$	—	1.5	2.1	mA
		$V_{DD} = 15\text{ V}$ $V_{DD} = 30\text{ V}$	—	1.7	2.4	mA
Input Current Threshold	$I_{F(TH)}$		—	—	3.6	mA
Input Current Hysteresis	I_{HYS}		—	0.34	—	mA
Input Forward Voltage (OFF)	$V_{F(OFF)}$	Measured at ANODE with respect to CATHODE.	—	—	1	V
Input Forward Voltage (ON)	$V_{F(ON)}$	Measured at ANODE with respect to CATHODE.	1.6	—	2.8	V
Input Capacitance	C_I	$f = 100\text{ kHz}$,	—	15	—	pF
		$V_F = 0\text{ V}$, $V_F = 2\text{ V}$	—	15	—	
Output Resistance High (Source) ³	R_{OH}	Si826xAxx devices	—	15	—	Ω
		Si826xBxx devices ($I_{OH} = -1\text{ A}$)	—	2.6	5.1	
Output Resistance Low (Sink) ³	R_{OL}	Si826xAxx devices	—	5	—	
		Si826xBxx devices ($I_{OL} = 2\text{ A}$)	—	0.8	2.0	

Notes:

1. See "8.Ordering Guide" on page 23 for more information.
2. Minimum value of $(V_{DD} - GND)$ decoupling capacitor is $1\ \mu\text{F}$.
3. Both V_O pins are required to be shorted together for 4.0 A compliance.
4. When performing this test, it is recommended that the DUT be soldered down to the PCB to reduce parasitic inductances, which may cause over-stress conditions due to excessive ringing.
5. Guaranteed by characterization.

Table 2. Electrical Characteristics (Continued)¹V_{DD} = 15 V or 30 V, GND = 0 V, I_F = 6 mA, T_A = -40 to +125 °C; typical specs at 25 °C

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Output High Current (Source) ^{3,4}	I _{OH}	Si826xAxx devices (I _F = 0), (t _{PW_IOH} ≤ 250 ns) (see Figure 3)	—	0.4	—	A
		Si826xBxx devices (I _F = 0), (t _{PW_IOH} ≤ 250 ns), (V _{DD} - V _O = 7.5 V) (see Figure 3)	0.5	1.8	—	
Output Low Current (Sink) ^{3,4}	I _{OL}	Si826xAxx devices (I _F = 10 mA), (t _{PW_IOL} ≤ 250 ns) (see Figure 2)	—	0.6	—	A
		Si826xBxx devices (I _F = 10 mA), (t _{PW_IOL} ≤ 250 ns), (V _O - GND = 4.2 V) (see Figure 2)	1.2	4.0	—	
High-Level Output Voltage	V _{OH}	Si826xAxx devices (I _{OUT} = -100 mA)	—	V _{DD} - 0.4	—	V
		Si826xBxx devices (I _{OUT} = -100 mA)	V _{DD} - 0.5	V _{DD} - 0.25	—	
		Si826xBxx devices (I _{OUT} = 0 mA), (I _F = 0 mA)	—	V _{DD}	—	
Low-Level Output Voltage	V _{OL}	Si826xAxx devices (I _{OUT} = 100 mA), (I _F = 10 mA)	—	320	—	mV
		Si826xBxx devices (I _{OUT} = 100 mA), (I _F = 10 mA)	—	80	200	
UVLO Threshold + (Si826xxAx mode)	V _{DDUV+}	See Figure 11 on page 16. V _{DD} rising	5	5.6	6.3	V
UVLO Threshold - (Si826xxAx mode)	V _{DDUV-}	See Figure 11 on page 16. V _{DD} falling	4.7	5.3	6.0	V
UVLO lockout hysteresis (Si826xxAx mode)	V _{DDHYS}		—	300	—	mV

Notes:

1. See "8.Ordering Guide" on page 23 for more information.
2. Minimum value of (V_{DD} - GND) decoupling capacitor is 1 μF.
3. Both V_O pins are required to be shorted together for 4.0 A compliance.
4. When performing this test, it is recommended that the DUT be soldered down to the PCB to reduce parasitic inductances, which may cause over-stress conditions due to excessive ringing.
5. Guaranteed by characterization.

Si826x

Table 2. Electrical Characteristics (Continued)¹

$V_{DD} = 15\text{ V or }30\text{ V}$, $GND = 0\text{ V}$, $I_F = 6\text{ mA}$, $T_A = -40\text{ to }+125\text{ }^\circ\text{C}$; typical specs at $25\text{ }^\circ\text{C}$

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
UVLO Threshold + (Si826xxBx mode)	$V_{DD_{UV+}}$	See Figure 12 on page 16. V_{DD} rising	7.5	8.4	9.4	V
UVLO Threshold – (Si826xxBx mode)	$V_{DD_{UV-}}$	See Figure 12 on page 16. V_{DD} falling	6.9	7.9	8.9	V
UVLO lockout hysteresis (Si826xxBx mode)	$V_{DD_{HYS}}$		—	500	—	mV
UVLO Threshold + (Si826xxCx mode)	$V_{DD_{UV+}}$	See Figure 13 on page 16. V_{DD} rising	10.5	12	13.5	V
UVLO Threshold – (Si826xxCx mode)	$V_{DD_{UV-}}$	See Figure 13 on page 16. V_{DD} falling	9.4	10.7	12.2	V
UVLO lockout hysteresis (Si826xxCx mode)	$V_{DD_{HYS}}$		—	1.3	—	V
AC Switching Parameters						
Input noise filter cut-off pulse width	t_{NFC}		—	—	15	ns
Minimum pulse width	$t_{P_{MIN}}$		—	30	—	ns
Propagation delay (Low-to-High)	t_{PLH}	$C_L = 200\text{ pF}$	20	40	60	ns
Propagation delay (High-to-Low)	t_{PHL}	$C_L = 200\text{ pF}$	10	30	50	ns
Pulse Width Distortion	PWD	$ t_{PLH} - t_{PHL} $	—	17	28	ns
Propagation Delay Difference ⁵	PDD	$t_{PHL_{MAX}} - t_{PLH_{MIN}}$	-1	—	25	ns
Rise time	t_R	$C_L = 200\text{ pF}$	—	5.5	15	ns
Fall time	t_F	$C_L = 200\text{ pF}$	—	8.5	20	ns
Device Startup Time	t_{START}		—	16	30	μs
Common Mode Transient Immunity	CMTI	Output = low or high ($V_{CM} = 1500\text{ V}$), ($I_F \geq 6\text{ mA}$) (See Figure 4)	35	50	—	$\text{kV}/\mu\text{s}$

Notes:

1. See "8.Ordering Guide" on page 23 for more information.
2. Minimum value of ($V_{DD} - GND$) decoupling capacitor is $1\text{ }\mu\text{F}$.
3. Both V_O pins are required to be shorted together for 4.0 A compliance.
4. When performing this test, it is recommended that the DUT be soldered down to the PCB to reduce parasitic inductances, which may cause over-stress conditions due to excessive ringing.
5. Guaranteed by characterization.

Table 9. Absolute Maximum Ratings*

Parameter	Symbol	Min	Max	Unit
Storage Temperature	T_{STG}	-65	+150	°C
Operating Temperature	T_A	-40	+125	°C
Junction Temperature	T_J	—	+140	°C
Average Forward Input Current	$I_{F(AVG)}$	—	30	mA
Peak Transient Input Current ($< 1 \mu s$ pulse width, 300 ps)	I_{FTR}	—	1	A
Reverse Input Voltage	V_R	—	0.3	V
Supply Voltage	VDD	-0.5	36	V
Output Voltage	V_{OUT}	-0.5	36	V
Peak Output Current ($t_{PW} = 10 \mu s$, duty cycle = 0.2%) (0.6 Amp versions)	I_{OPK}	—	0.6	A
Peak Output Current ($t_{PW} = 10 \mu s$, duty cycle = 0.2%) (4.0 Amp versions)	I_{OPK}	—	4.0	A
Input Power Dissipation	P_I	—	75	mW
Output Power Dissipation	P_O	—	225	mW
Total Power Dissipation (all packages limited by thermal derating curve)	P_T	—	300	mW
Lead Solder Temperature (10 s)		—	260	°C
HBM Rating ESD		4	—	kV
Machine Model ESD		300	—	V
CDM		2000	—	V
Maximum Isolation Voltage (1 s) SOIC-8		—	4500	V_{RMS}
Maximum Isolation Voltage (1 s) DIP8		—	6500	V_{RMS}
Maximum Isolation Voltage (1 s) SDIP6		—	6500	V_{RMS}
Maximum Isolation Voltage (1 s) LGA8		—	6500	V_{RMS}

***Note:** Permanent device damage may occur if the absolute maximum ratings are exceeded. Functional operation should be restricted to the conditions specified in the operational sections of this data sheet.

Si826x

3. Functional Description

3.1. Theory of Operation

The Si826x is a functional upgrade for popular opto-isolated drivers, such as the Avago HPCL-3120, HPCL-0302, Toshiba TLP350, and others. The operation of an Si826x channel is analogous to that of an opto coupler, except an RF carrier is modulated instead of light. This simple architecture provides a robust isolated data path and requires no special considerations or initialization at start-up. The Si826x also includes a noise filter that suppresses propagation of any pulse narrower than 15 ns. A simplified block diagram for the Si826x is shown in Figure 9.

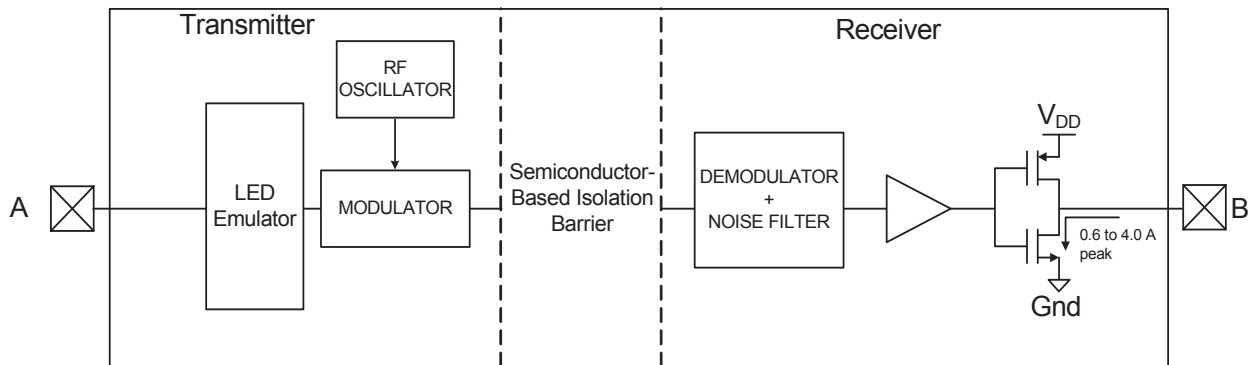


Figure 9. Simplified Channel Diagram

4. Technical Description

4.1. Device Behavior

Truth tables for the Si826x are summarized in Table 10.

Table 10. Si826x Truth Table Summary*

Input	V _{DD}	V _O
OFF	> UVLO	LOW
OFF	< UVLO	LOW
ON	> UVLO	HIGH
ON	< UVLO	LOW

***Note:** This truth table assumes V_{DD} is powered. If V_{DD} is below UVLO, see "4.3. Under Voltage Lockout (UVLO)" on page 16 for more information.

4.2. Device Startup

Output V_O is held low during power-up until V_{DD} rises above the UVLO+ threshold for a minimum time period of t_{START}. Following this, the output is high when the current flowing from anode to cathode is > I_{F(ON)}. Device startup, normal operation, and shutdown behavior is shown in Figure 10.

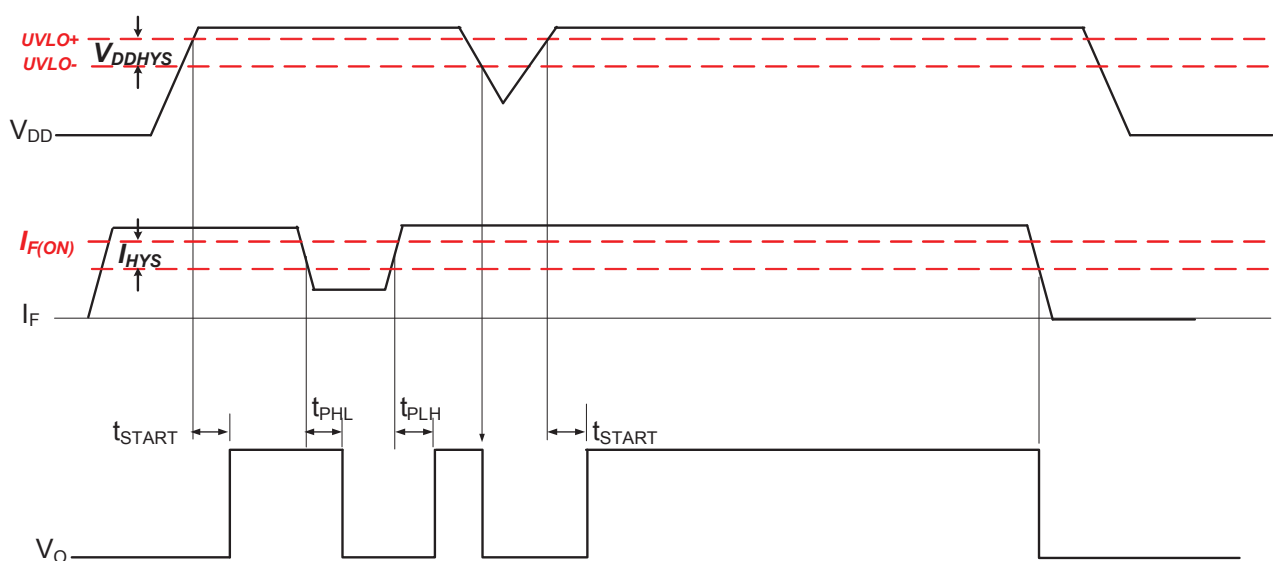


Figure 10. Si826x Operating Behavior (I_F ≥ I_{F(MIN)} when V_F ≥ V_{F(MIN)})

Si826x

4.3. Under Voltage Lockout (UVLO)

The UVLO circuit unconditionally drives V_O low when V_{DD} is below the lockout threshold. Referring to Figures 11 through 13, upon power up, the Si826x is maintained in UVLO until V_{DD} rises above $V_{DD_{UV+}}$. During power down, the Si826x enters UVLO when V_{DD} falls below the UVLO threshold plus hysteresis (i.e., $V_{DD} \leq V_{DD_{UV+}} - V_{DD_{HYS}}$).

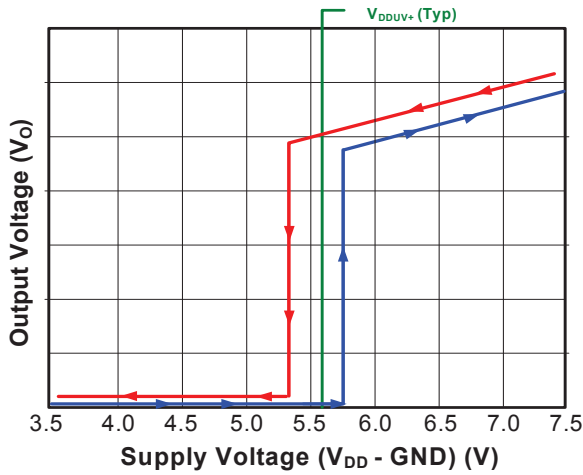


Figure 11. Si826xxAx UVLO Response (5 V)

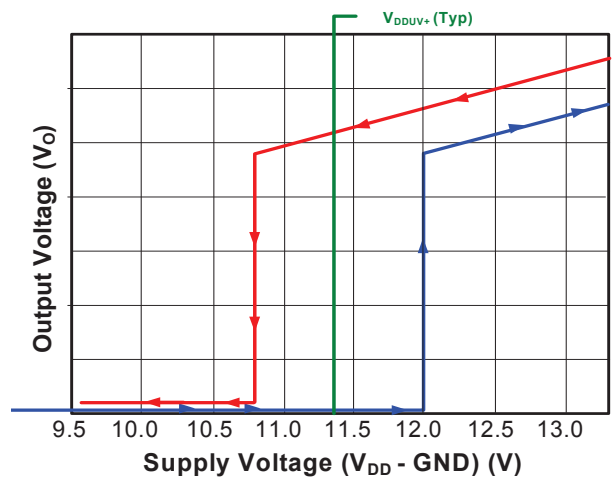


Figure 13. Si826xxCx UVLO Response (12 V)

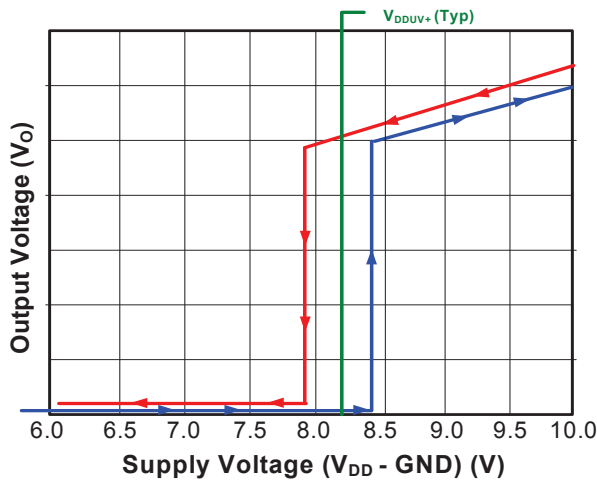
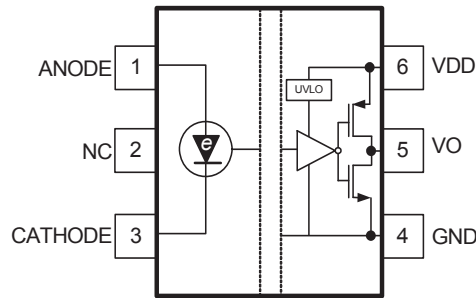


Figure 12. Si826xxBX UVLO Response (8 V)

Si826x

7. Pin Descriptions (SDIP6)



SDIP6
Industry Standard Pinout

Figure 20. Pin Configuration

Table 12. Pin Descriptions (SDIP6)

Pin	Name	Description
1	ANODE	Anode of LED emulator. V_O follows the signal applied to this input with respect to the CATHODE input.
2	NC*	No connect.
3	CATHODE	Cathode of LED emulator. V_O follows the signal applied to ANODE with respect to this input.
4	GND	External MOSFET source connection and ground reference for V_{DD} . This terminal is typically connected to ground but may be tied to a negative or positive voltage.
5	V_O	Output signal.
6	V_{DD}	Output-side power supply input referenced to GND (30 V max).

***Note:** No Connect. These pins are not internally connected. To maximize CMTI performance, these pins should be connected to the ground plane.



C4D05120A

Silicon Carbide Schottky Diode

Z-REC[®] RECTIFIER

V_{RRM}	=	1200 V
$I_F (T_c=135^\circ\text{C})$	=	8 A
Q_c	=	27 nC

Features

- 1.2kV Schottky Rectifier
- Zero Reverse Recovery Current
- High-Frequency Operation
- Temperature-Independent Switching
- Extremely Fast Switching

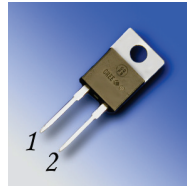
Benefits

- Replace Bipolar with Unipolar Rectifiers
- Essentially No Switching Losses
- Higher Efficiency
- Reduction of Heat Sink Requirements
- Parallel Devices Without Thermal Runaway

Applications

- Switch Mode Power Supplies
- Power Factor Correction
- Motor Drives

Package



TO-220-2



Part Number	Package	Marking
C4D05120A	TO-220-2	C4D05120

Maximum Ratings ($T_c=25^\circ\text{C}$ unless otherwise specified)

Symbol	Parameter	Value	Unit	Test Conditions	Note
V_{RRM}	Repetitive Peak Reverse Voltage	1200	V		
V_{RSM}	Surge Peak Reverse Voltage	1300	V		
V_R	DC Peak Reverse Voltage	1200	V		
I_F	Continuous Forward Current	17 8 5	A	$T_c=25^\circ\text{C}$ $T_c=135^\circ\text{C}$ $T_c=157^\circ\text{C}$	
I_{FRM}	Repetitive Peak Forward Surge Current	26 18	A	$T_c=25^\circ\text{C}, t_p=10\text{ ms}, \text{Half Sine Pulse}$ $T_c=110^\circ\text{C}, t_p=10\text{ ms}, \text{Half Sine Pulse}$	
I_{FSM}	Non-Repetitive Forward Surge Current	46 36	A	$T_c=25^\circ\text{C}, t_p=10\text{ ms}, \text{Half Sine Pulse}$ $T_c=110^\circ\text{C}, t_p=10\text{ ms}, \text{Half Sine Pulse}$	
$I_{F,Max}$	Non-Repetitive Peak Forward Current	400 320	A	$T_c=25^\circ\text{C}, t_p=10\text{ }\mu\text{s}, \text{Pulse}$ $T_c=110^\circ\text{C}, t_p=10\text{ }\mu\text{s}, \text{Pulse}$	
P_{tot}	Power Dissipation	81 35	W	$T_c=25^\circ\text{C}$ $T_c=110^\circ\text{C}$	
T_j	Operating Junction Range	-55 to +175	$^\circ\text{C}$		
T_{stg}	Storage Temperature Range	-55 to +135	$^\circ\text{C}$		
	TO-220 Mounting Torque	1 8.8	Nm lbf-in	M3 Screw 6-32 Screw	



Electrical Characteristics

Symbol	Parameter	Typ.	Max.	Unit	Test Conditions	Note
V_F	Forward Voltage	1.4 1.9	1.8 3	V	$I_F = 5\text{ A}$ $T_J = 25^\circ\text{C}$ $I_F = 5\text{ A}$ $T_J = 175^\circ\text{C}$	
I_R	Reverse Current	20 40	150 300	μA	$V_R = 1200\text{ V}$ $T_J = 25^\circ\text{C}$ $V_R = 1200\text{ V}$ $T_J = 175^\circ\text{C}$	
Q_C	Total Capacitive Charge	27		nC	$V_R = 800\text{ V}$, $I_F = 5\text{ A}$ $di/dt = 200\text{ A}/\mu\text{s}$ $T_J = 25^\circ\text{C}$	
C	Total Capacitance	390 27 20		pF	$V_R = 0\text{ V}$, $T_J = 25^\circ\text{C}$, $f = 1\text{ MHz}$ $V_R = 400\text{ V}$, $T_J = 25^\circ\text{C}$, $f = 1\text{ MHz}$ $V_R = 800\text{ V}$, $T_J = 25^\circ\text{C}$, $f = 1\text{ MHz}$	

Note:

1. This is a majority carrier diode, so there is no reverse recovery charge.

Thermal Characteristics

Symbol	Parameter	Typ.	Max.	Unit	Test Conditions	Note
$R_{\theta JC}$	Thermal Resistance from Junction to Case	1.85		$^\circ\text{C}/\text{W}$		

Typical Performance

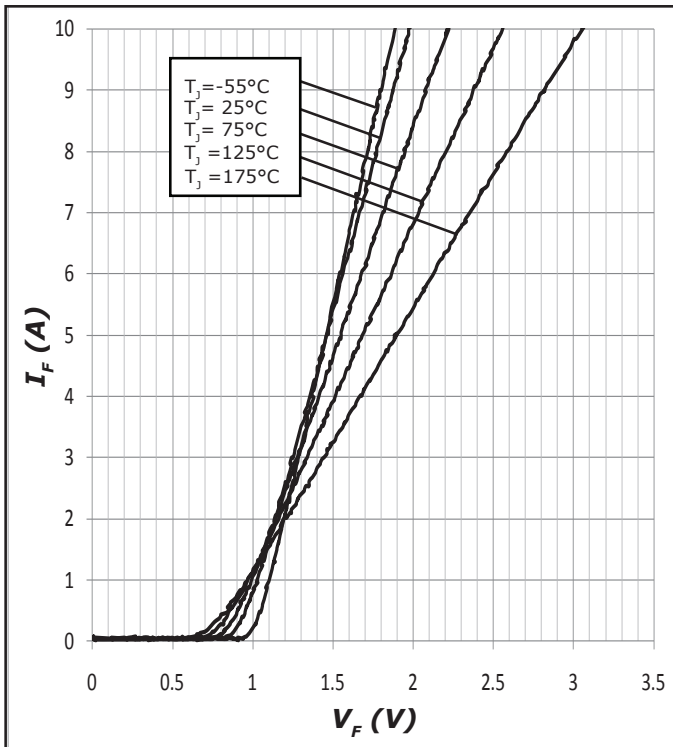


Figure 1. Forward Characteristics

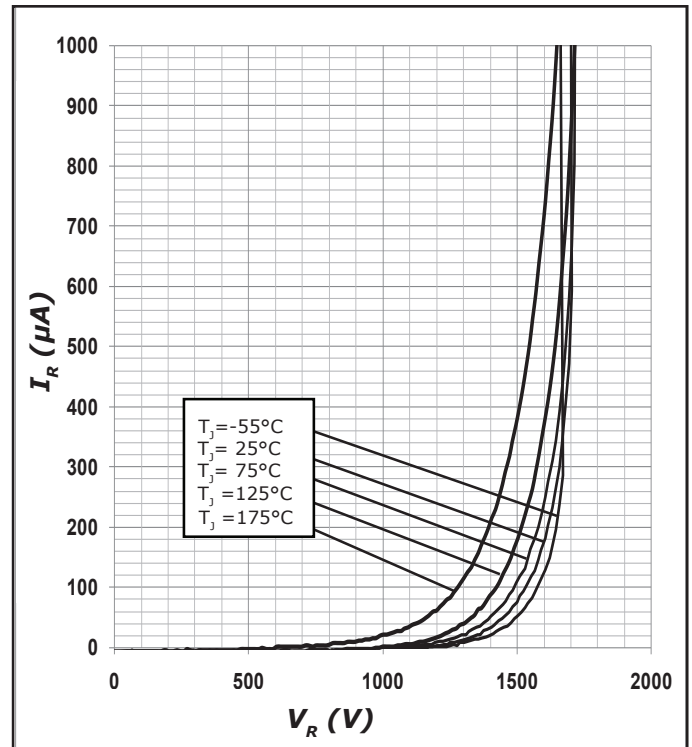


Figure 2. Reverse Characteristics

Typical Performance

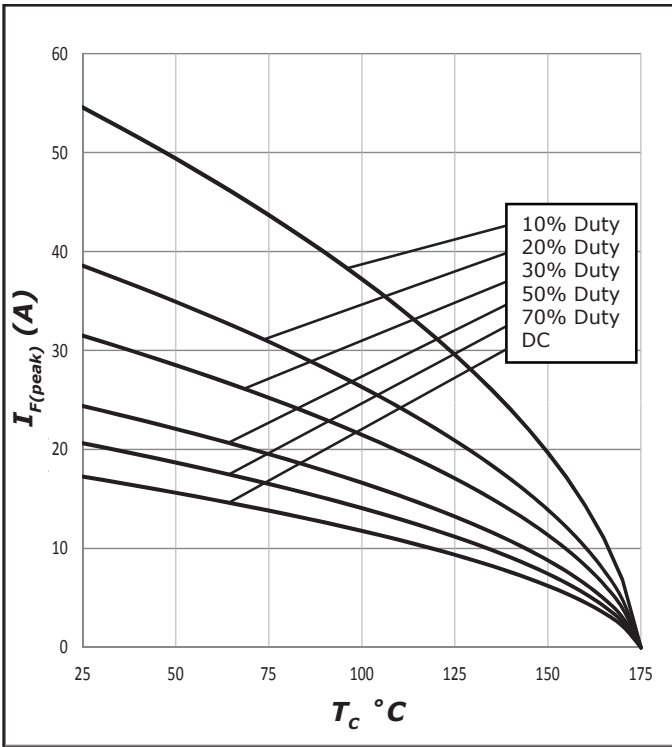


Figure 3. Current Derating

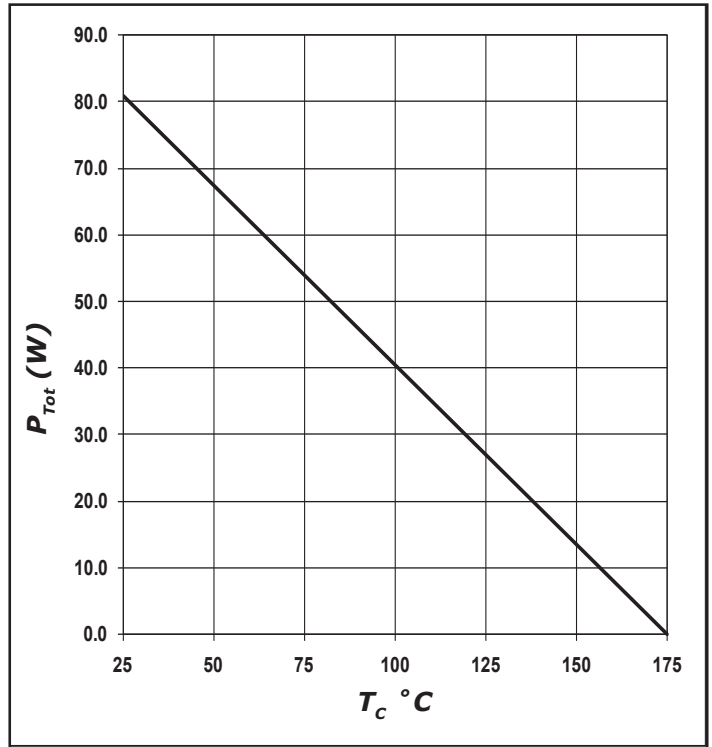


Figure 4. Power Derating

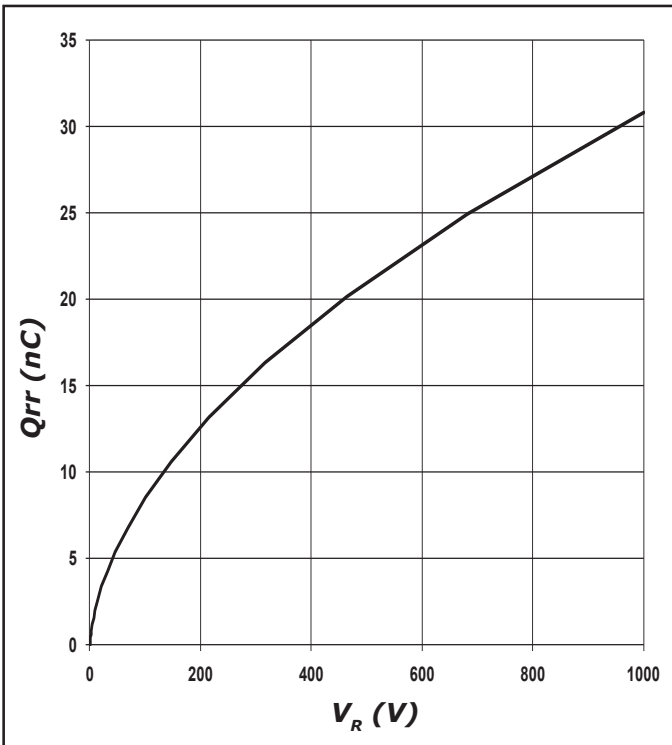


Figure 5. Recovery Charge vs. Reverse Voltage

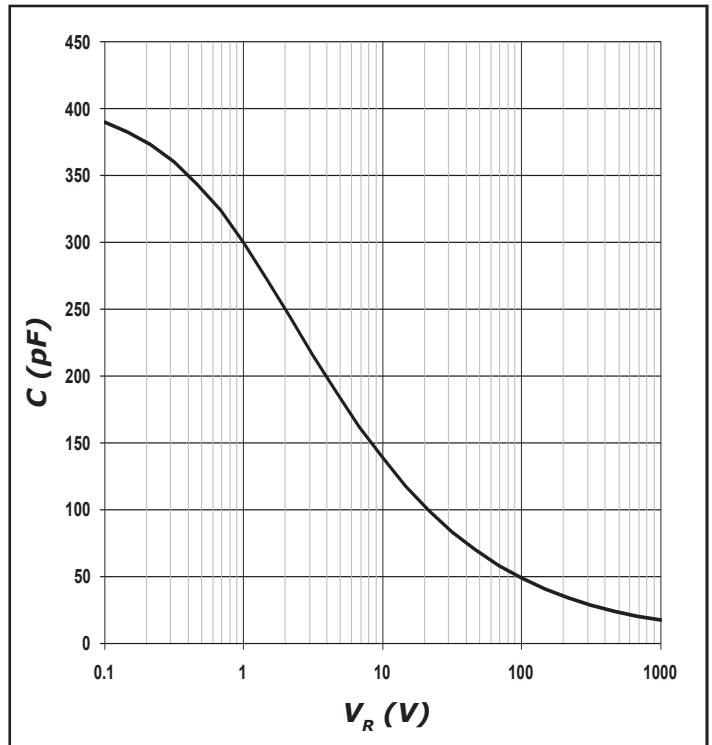


Figure 6. Capacitance vs. Reverse Voltage

Typical Performance

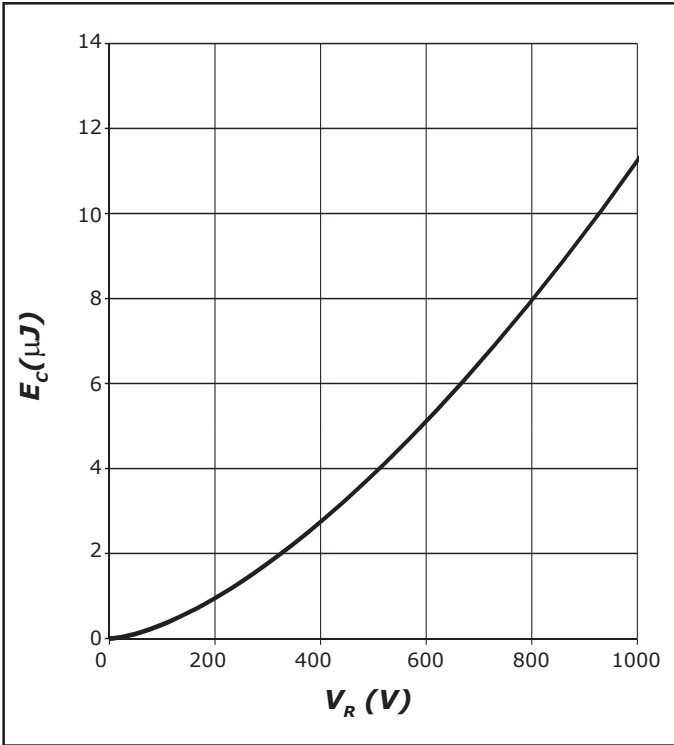


Figure 7. Typical Capacitance Stored Energy

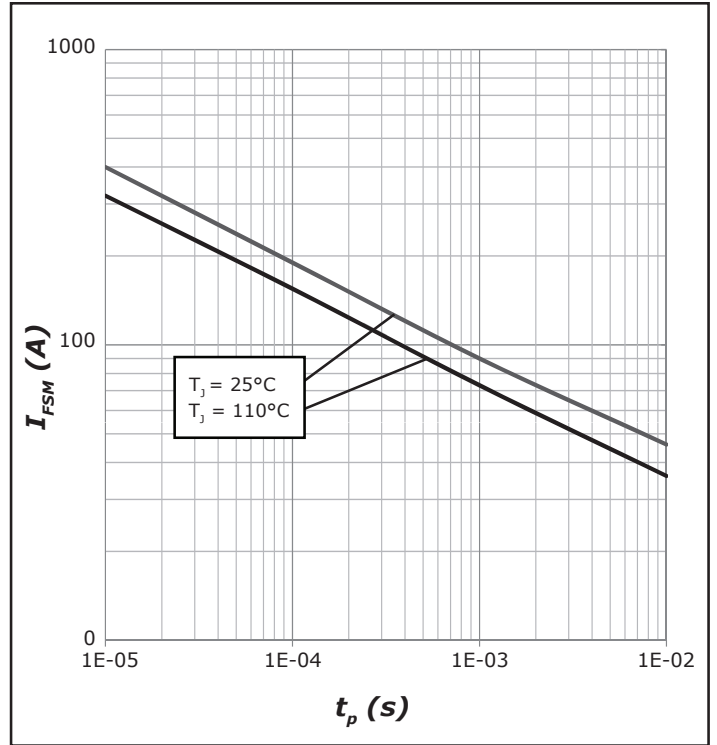


Figure 8. Non-repetitive peak forward surge current versus pulse duration (sinusoidal waveform)

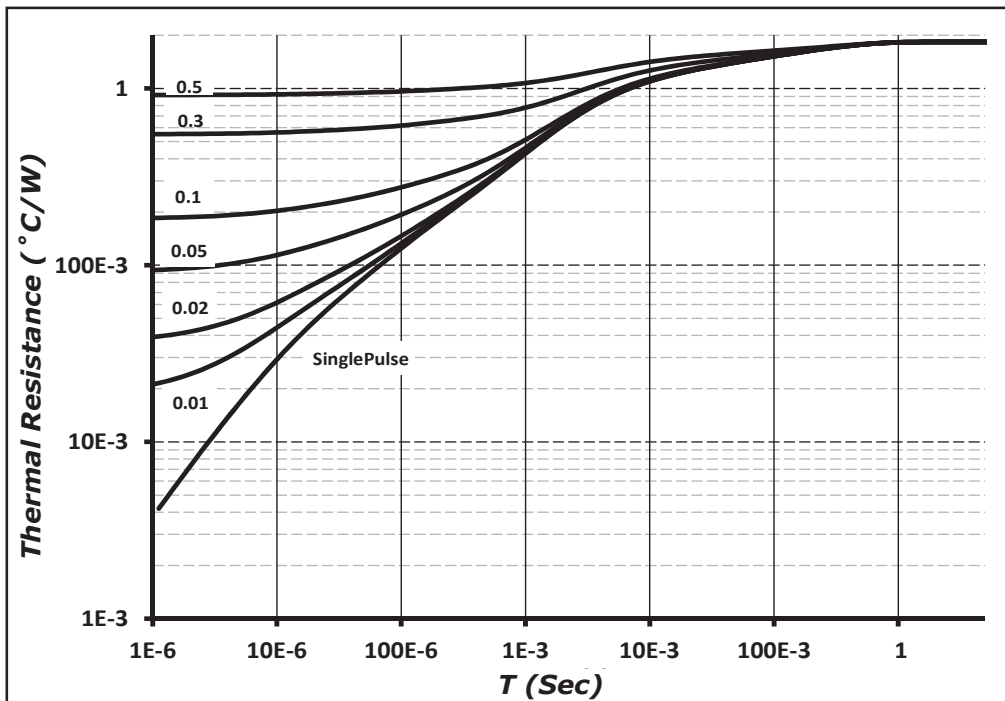


Figure 9. Transient Thermal Impedance

Merkmale

- ◆ Schaltnetzteile für Platinenmontage
- ◆ Höchste Leistungsdichte
- ◆ Gekapseltes Kunststoffgehäuse
- ◆ Universal-Netzeingang 90-264 VAC, 47-440 Hz
- ◆ Hoher Wirkungsgrad
- ◆ Eingangsfilter nach EN 55022, Klasse B und FCC, Level B
- ◆ Niedrige Restwelligkeit
- ◆ Kurzschluss- und Überlastschutz
- ◆ 3 Jahre Produktgewährleistung



Die Serie TMLM bietet ultrakompakte, vollständig gekapselte Schaltnetzteile mit höchster Leistungsdichte, welche direkt auf der Leiterkarte montiert werden können. Das macht diese Module zu einer optimalen Lösung für eine Vielzahl platzkritischer Anwendungen in der kommerziellen und industriellen Elektronik. Internationale Sicherheitszulassungen qualifizieren sie für den weltweiten Einsatz. Der Aufbau in SMD-Technologie und der hohe Wirkungsgrad garantieren eine hohe Zuverlässigkeit dieser Schaltnetzteile.

Modelle

Bestellnummer	Ausgangsleistung max.	Ausgangsspannung	Ausgangsstrom max.
TMLM 05103	4.1 Watt	3.3 VDC	1250 mA
TMLM 05105	5 Watt	5 VDC	1000 mA
TMLM 05112	5 Watt	12 VDC	420 mA
TMLM 05115	5 Watt	15 VDC	333 mA
TMLM 05124	5.5 Watt	24 VDC	230 mA
TMLM 10103	8.2 Watt	3.3 VDC	2500 mA
TMLM 10105	10 Watt	5 VDC	2000 mA
TMLM 10112	10 Watt	12 VDC	830 mA
TMLM 10115	10 Watt	15 VDC	666 mA
TMLM 10124	10 Watt	24 VDC	420 mA

Eingangsspezifikationen

Eingangsspannungsbereich	90 – 264 VAC oder 120 – 370 VDC
Netzfrequenz	47 – 440 Hz
Eingangsstrom (Leerlauf)	115 VAC / 230 VAC TMLM 05 Modelle: 110 mA / 70 mA typ. TMLM 10 Modelle: 220 mA / 150 mA typ.
Einschaltstromstoss (< 2 ms)	115 VAC / 230 VAC 10 A max. / 20 A max.
Externe Eingangssicherung (empfohlen)	1.5 A, träge

Ausgangsspezifikationen

Einstellgenauigkeit der Ausgangsspannung	± 2 %
Regelabweichungen	– Eingangsänderung: 0.3 % max. – Laständerung (5–100 %): 0.5 % max.
Minimale Last	nicht erforderlich
Restwelligkeit (20 MHz Bandbreite)	– Modelle mit Ausgang 3.3 & 5 V: < 1.5 % U _{aus} – andere Modelle: < 1.0 % U _{aus}
Überlastschutz, Strombegrenzung bei	120 – 180 % I _{aus} , Foldback
Kurzschlußsicherheit	dauernd, automatischer Neustart
Kapazitive Last	470 – 23 000 µF abhängig vom Modell

Allgemeine Spezifikationen

Temperaturbereich	– Betrieb: –25 °C...+60 °C – Lagerung: –40 °C...+85 °C
Leistungsreduktion	3.75 % / K oberhalb +50 °C
Temperaturkoeffizient	0.02 % / K
Luftfeuchtigkeit (nicht betauend)	95 % rel max.
Wirkungsgrad	72 % typ. (abhängig vom Modell)
Schaltfrequenz	125 kHz typ. (Pulsbreitenmodulation)
Überbrückungszeit	15 ms min.
Isolationsspannung (60 sec)	– Eingang / Ausgang: 3000 VAC
Leckstrom	TMLM 05 Modelle: 0.75 mA max. TMLM 10 Modelle: 0.25 mA max.
Zuverlässigkeit, kalkulierte MTBF (MIL-HDBK-217F)	> 330 000 Std. bei +25 °C
Leitungsgebundene Störungen	EN 55022, Klasse B, FCC Teil 15, Level B
Schutzklasse II	IEC / EN 60536
Sicherheitsstandards	UL 60950-1, IEC/EN 60950-1
Sicherheitszulassungen	cUL /UL File E188913 www.ul.com -> Zertifikate
Gehäusematerial	Kunststoffharz + Fiberglas (UL 94 V-0 Klasse)

Alle Spezifikationen gelten bei Nominal-Eingangsspannung, Vollast und +25 °C nach Aufwärmzeit, ausgenommen anders spezifiziert.



FEATURES

- RoHS compliant
- Basic/supplementary isolation to UL 60950²
- UL60601 (3rd Ed) recognition²
- Power density 0.81W/cm³
- Single and dual outputs
- UL 94V-0 package material
- Footprint 1.96cm²
- SIP package style
- 5.2kVDC isolation
- 3.3V, 5V, 12V & 15V inputs
- 3.3V, 5V, 9V, 12V & 15V output
- Internal SMD construction
- Fully encapsulated with toroidal magnetics
- Pin compatible with the MEV, NMV, NMK, & NMJ series
- MTTF up to 4.2 million hours

PRODUCT OVERVIEW

The MEJ2 series are single and dual output medically approved DC/DC converters in a 7 pin SIP package style offering a power upgrade path from the NMJ series SIP DC/DC converters. The MEJ2 series is UL 60950 and UL 60601 recognized, which makes it ideal for applications where safety and miniaturisation are of paramount importance.

SELECTION GUIDE

Order Code	Nominal Input Voltage	Output Voltage	Output Current	Input Current at Rated Load	Load Regulation (Typ)	Load Regulation (Max)	Ripple & Noise (Typ) ³	Ripple & Noise (Max) ³	Efficiency (Min)	Efficiency (Typ)	MTTF ²
	V	V	mA		%		mVp-p		%		kHrs
MEJ2S0303SC	3.3	3.3	606	756	14.0	17	38	55	67	70	3910
MEJ2S0305SC	3.3	5	400	784	13.0	15	50	65	70	74	3757
MEJ2S0503SC	5	3.3	606	528	10.0	15	40	55	67	70	3830
MEJ2S0505SC	5	5	400	503	8.5	10	43	55	72	75	3654
MEJ2S0509SC	5	9	222	505	8.0	11	36	50	75	78	3472
MEJ2S0512SC	5	12	167	495	8.0	12	40	55	74	77	3663
MEJ2S0515SC	5	15	133	488	7.0	10	34	45	76	79	2629
MEJ2S1203SC	12	3.3	606	207	9.5	11	43	60	70	73	3259
MEJ2S1205SC	12	5	400	214	8.0	10	43	60	75	78	3200
MEJ2S1209SC	12	9	222	205	7.0	10	35	50	75	79	2453
MEJ2S1212SC	12	12	167	207	6.5	8	35	50	76	80	2779
MEJ2S1215SC	12	15	133	205	7.0	10	32	45	76	80	2707
MEJ2S1505SC	15	5	400	171	8.5	10	44	60	73	76	2638
MEJ2S1509SC	15	9	222	165	6.5	8	35	50	74	78	2203
MEJ2S1512SC	15	12	167	164	6.5	8	38	55	74	79	2330
MEJ2S1515SC	15	15	133	166	7.0	8	36	50	74	78	2100
MEJ2D0503SC	5	±3.3	±303	535	8.5	10	26	40	67	71	3969
MEJ2D0505SC	5	±5	±200	508	7.5	9	34	50	72	76	3654
MEJ2D0509SC	5	±9	±111	510	6.5	8	27	40	76	79	3472
MEJ2D0512SC	5	±12	±83	504	5.0	8	27	40	77	80	3663
MEJ2D0515SC	5	±15	±67	492	6.5	7	20	35	76	79	2629
MEJ2D1203SC	12	±3.3	±303	205	8.0	9	37	55	72	75	3270
MEJ2D1205SC	12	±5	±200	212	7.0	8	32	45	75	79	3268
MEJ2D1209SC	12	±9	±111	206	5.5	7	27	40	77	81	2453
MEJ2D1212SC	12	±12	±83	208	5.5	7	27	40	77	81	2779
MEJ2D1215SC	12	±15	±67	203	6.0	7	24	40	78	82	2707
MEJ2D1505SC	15	±5	±200	170	7.0	9	37	50	74	78	2638
MEJ2D1509SC	15	±9	±111	163	5.5	7	26	40	76	80	2203
MEJ2D1512SC	15	±12	±83	167	5.5	7	26	40	75	80	2330
MEJ2D1515SC	15	±15	±67	167	5.5	7	23	35	75	79	2100

INPUT CHARACTERISTICS

Parameter	Conditions	Min.	Typ.	Max.	Units
Voltage range	Continuous operation, 3V input types	2.97	3.3	3.63	V
	Continuous operation, 5V input types	4.5	5	5.5	
	Continuous operation, 12V input types	10.8	12	13.2	
	Continuous operation, 15V input types	13.5	15	16.5	
Input reflected ripple	3.3V input types		100	140	mA
	5V input types		60	90	
	12V & 15V input types		22	40	

1. Calculated using MIL-HDBK-217 FN2 calculation model with nominal input voltage at full load.
 2. See safety approvals section for limitations of use.
 3. See ripple & noise test method.
 All specifications typical at T_A=25°C, nominal input voltage and rated output current unless otherwise specified.

